ISSN 1004-3365
CODEN:WEIDFK
CN 50-1090/TN

微电子学

MICROELECTRONICS

全国中文核心期刊

ISSN 1004-3365
9 771004 336204 06>

2020
第50卷 3

四川固体电路研究所 主办
Sichuan Institute of Solid-State Circuits
期刊网址：www.microelec.cn

微 电 子 学

Weidianzixue

第 50 卷　第 3 期　2020 年 6 月

目　　次

·电路与系统设计·

一种带失真抵消的高增益低噪声放大器…… 傅之遥，江金光，严培辉，刘江华(303)

基于毛刺阻塞原理的低功耗双边沿触发器……

…… 黄正峰，杨　潇，孙　芳，鲁迎春，欧阳一鸣，方祥圣，倪天明，戚昊琛，徐　奇(308)

一种低功耗高稳态电平位移电路…… 王佳妮，周泽坤，李　颂，石　跃，王　卓，张　波(315)

一种快速瞬态响应 Buck 变换器设计 …… 李　博，罗　萍，肖皓洋，杨朋博(321)

一种皮瓦级超低功耗基准电压源 …… 王彦淇，王　耀，全　智(326)

一种基于多态忆阻器的电压型神经网络电路 …… 肖　建，张　粮，张子恒，王　宇，郭宇锋，万　相，连晓娟，童　祎(331)

用于高速串行收发器的低功耗静噪检测器 …… 宋鑫宇，虞致国，刘彦航，赵琳娜，王　恬，顾晓峰(339)

一种基于闪存的温度补偿型向量矩阵乘法器…… 蒋明峰，方　毅，黄　鲁(344)

3D-IC 中基于时分复用的 TSV 蜂窝容错设计 …… 杨　兆，梁华国，束　月，左小寒，倪天明，黄正峰(349)

一种基于 VCO 量化的 MEMS 加速度计接口电路 …… 李凡阳，洪思鑫(357)

一种适用于无线供电的温度传感器 …… 李凡阳，徐亮鹏(361)

基于 ESIstream 协议的高速串行收发接口 …… 吴燕青，蒲　杰，彭嘉豪，蔡　浩(365)

一种快速稳定 AGC 放大器的研究 …… 刘登学，庞佑兵，杨　帆，杨　超(370)

·模型与算法·

非均衡表驱动线性拟合的 S 型激活函数硬件加速…… 戴忠东，张　石，张　尧(374)

·动态与综述·

宇航 VDMOS 器件单粒子辐射加固技术综述 …… 唐昭焕，谭开洲，胡刚毅，杨发顺，马　奎(379)

后摩尔时代新兴计算芯片进展 …… 武俊齐，赖　凡(384)

基于石墨烯的光电探测器研究进展 …… 李龙飞，吕颖杰，胡加杨，王德波(389)

文献计量视角下半导体材料 SiC 和 GaN 研究态势 …… 杨岳衡，唐红艳(396)

用于铜互连 CMP 工艺的络合剂研究进展 …… 孙晓琴，檀柏梅，高宝红，牛新环，刘孟瑞，高鹏程，刘玉岭(403)

·半导体器件与工艺·

NC-FinFET 器件的仿真研究 … 杨荣强，钱雅倩，粟雅娟，王颖倩，陈　睿，陈　颖，盖天洋，郭　成，屈　通，韦亚一(410)

功率 VDMOS 器件的 SEB 致 SEGR 效应研究 …… 张小林，严晓洁，唐昭焕(416)

背照式 CMOS 图像传感器的硅减薄湿法刻蚀工艺 …… 窦英男，徐　旻，刘　轩(421)

一种基于肖特基二极管的逆导型 SOI-LIGBT …… 武嘉瑜，易　波，陈星弼(428)

电容式微波功率检测系统的灵敏度特性研究…… 李龙飞，胡加杨，李方清，王德波(433)

·测试与封装·

BSOB 键合互连在厚膜混合电路中的应用研究 …… 燕子鹏，秦文龙，贺从勇(439)

蓄电池在线内阻测试技术研究 …… 苏良勇，陈　磊，袁　麟，陈　刚(444)

·产品与可靠性·

归零工作对提升产品可靠性的效用研究 …… 张世莉，陈　亮，陈亚兰(450)

进口元器件可靠性评估方法探讨 …… 唐万军，胡　波，张世莉(455)

http://www.microelec.cn　　**本期责任编辑**：戴永红

Microelectronics

Vol. 50, No. 3 Jun. 2020

Contents

• Circuit and System Design •

A High Gain Low Noise Amplifier with Distortion Cancellation …… *FU Zhiyao, JIANG Jinguang, YAN Peihui, et al*(303)

A Low Power DETFF with Glitch Resistant Capability …… *HUANG Zhengfeng, YANG Xiao, SUN Fang, et al*(308)

A Low Power and High Stability Level Shifter …… *WANG Jiani, ZHOU Zekun, LI Song, et al*(315)

Design of a Fast Transient Response Buck Converter …… *LI Bo, LUO Ping, XIAO Haoyang, et al*(321)

A Picowatt Ultra-Low Power Consumption Voltage Reference …… *WANG Yanqi, WANG Yao, QUAN Zhi*(326)

A Voltage Feedforward Neural Network Circuit Based on Multiple Resistance States Memristor …… *XIAO Jian, ZHANG Liang, ZHANG Ziheng, et al*(331)

A Low Power Squelch Detector for High Speed Serial Transceiver …… *SONG Xinyu, YU Zhiguo, LIU Yanhang, et al*(339)

A Temperature-Compensated Vector-Matrix Multiplier Based on Flash Memory …… *JIANG Mingfeng, FANG Yi, HUANG Lu*(344)

Fault Tolerant Design of TSV Honeycomb Structure Based on Time Division Multiple Access in 3D-ICs …… *YANG Zhao, LIANG Huaguo, SHU Yue, et al*(349)

A MEMS Accelerometer Interface Circuit Based on VCO Quantization …… *LI Fanyang, HONG Sixin*(357)

A Temperature Sensor for Wireless Power Supply …… *LI Fanyang, XU Liangpeng*(361)

High Speed Serial Transceiver Interface Based on ESIstream Protocol …… *WU Yanqing, PU Jie, PENG Jiahao, et al*(365)

Study on a Fast Settling AGC Amplifier …… *LIU Dengxue, PANG Youbing, YANG Fan, et al*(370)

• Modeling and Algorithms •

S-Shaped Activation Function Hardware Acceleration of the Unbalanced Table-Driven Linear Fitting …… *DAI Zhongdong, ZHANG Shi, ZHANG Yao*(374)

• Features and Review •

Review of Single-Event Irradiation Hardening Technology for Aerospace Power VDMOS …… *TANG Zhaohuan, TAN Kaizhou, HU Gangyi, et al*(379)

Progress of New Computing Chips in the More Than Moore's Era …… *WU Junqi, LAI Fan*(384)

Research Progress of Photoelectric Detector Based on Graphene …… *LI Longfei, LÜ Yingjie, HU Jiayang, et al*(389)

Research Situation of the Semiconductor Material SiC and GaN Based on Bibliometric Analysis …… *YANG Yueheng, TANG Hongyan*(396)

Research Progress on Complexing Agent for Copper Interconnect CMP Process …… *SUN Xiaoqin, TAN Baimei, GAO Baohong, et al*(403)

• Semiconductor Device and Technology •

Simulation Research on NC-FinFET Device …… *YANG Rongqiang, QIAN Yaqian, SU Yajuan, et al*(410)

Research on SEB Induced SEGR Effect of Power VDMOS Device …… *ZHANG Xiaolin, YAN Xiaojie, TANG Zhaohuan*(416)

Silicon Thinning Wet Etching Process for Back-Illuminated CMOS Image Sensor …… *DOU Yingnan, XU Min, LIU Xuan*(421)

A Reverse Conducting SOI-LIGBT Based on Schottky Diode …… *WU Jiayu, YI Bo, CHEN Xingbi*(428)

Research on Sensitivity Characteristics of Capacitive Microwave Power Detection System …… *LI Longfei, HU Jiayang, LI Fangqing, et al*(433)

• Testing and Packaging •

Application Research on BSOB Wire Bonding Interconnection of Thick Film Hybrid Circuit …… *YAN Zipeng, QIN Wenlong, HE Congyong*(439)

Research of Online Internal Resistance Test Technology on Battery …… *SULiangyong, CHEN Lei, YUAN Lin, et al*(444)

• Product and Reliability •

Research on Utility of Close Loop to Improve Product Reliability …… *ZHANG Shili, CHEN Liang, CHEN Yalan*(450)

Discussion on the Method of Reliability Evaluation for Imported Devices and Elements …… *TANG Wanjun, HU Bo, ZHANG Shili*(455)

·电路与系统设计·

一种带失真抵消的高增益低噪声放大器

傅之遥[1]，江金光[1]，严培辉[1]，刘江华[2]
（1. 武汉大学 卫星导航定位技术研究中心，武汉 430072；
2. 湖北科技学院 电子与信息工程学院，湖北 咸宁 437000）

摘　要： 提出了一种用于GPS/BD双频接收机的带失真抵消的低噪声放大器。采用部分源级电感简并结构，相较于传统全部源级简并结构，以极低代价提高了增益。通过噪声特性的理论分析，优化了噪声系数，给出了相应的参数公式。通过增加失真抵消结构，提高了电路的线性度。采用TSMC 0.18 μm CMOS工艺进行设计。仿真结果表明，该放大器的增益达18 dB，噪声系数为1.7 dB，输入3阶交调截点为−1.4 dBm。在电源电压为1.8 V时，消耗电流为4.7 mA。相比传统结构，该放大器的增益提高了2 dB，线性度提高了6 dBm，功耗提高了15%。

关键词： 低噪声放大器；失真抵消；部分源级简并
中图分类号：TN722.3　　**文献标识码：**A　　**文章编号：**1004-3365(2020)03-0303-05
DOI：10.13911/j.cnki.1004-3365.190359

A High Gain Low Noise Amplifier with Distortion Cancellation

FU Zhiyao[1], JIANG Jinguang[1], YAN Peihui[1], LIU Jianghua[2]
(1. *Global Navigation Satellite System Research Center, Wuhan University, Wuhan* 430072, *P. R. China*
2. *School of Elec. and Inform. Engineering, Hubei Univ. of Science and Technology, Xianning, Hubei* 437000, *P. R. China*)

Abstract: A high gain low noise amplifier (LNA) with distortion cancellation was presented for the applications of GPS/BD dual-band receivers. The partial source degeneration (PSD) structure was adopted. Compared with traditional source degeneration structure, higher gain could be achieved with minimum cost. Noise figure (NF) was optimized by analyzing the noise characteristic of PDS_LNA. The method of optimization and the formula of corresponding parameters were given. Distortion cancellation technology was used to enhance LNA's linearity. The LNA was designed in TSMC 0.18 μm CMOS process. Simulation result showed that the designed LNA exhibited a gain of 18 dB, a noise figure of 1.7 dB and an IIP3 of −1.4dBm at GPS/BD band. The total current consumption was 4.7 mA at a supply voltage of 1.8 V. Compared with traditional source degeneration structure, the gain and IIP3 were increased by 2 dB and 6 dBm respectively, while the power consumption was increased only by 15%.

Key words: LNA; distortion cancellation; partial source degeneration

0　引　言

全球导航卫星系统(Global Navigation Satellite Systems，GNSS)可以提供实时、全天候、全球导航定位服务，在智能手机、车载导航、物联网等领域得到广泛应用[1]。低噪声放大器(LNA)作为GNSS接收机的第1级电路，其增益、噪声系数、线性度等

收稿日期：2019-06-18；**定稿日期：**2019-09-18
基金项目：国家重点研发计划-"地球观测与导航"重点专项项目(2018YFB0505200，2018YFB0505201)；湖北科技学院校内科研发展基金项目(BK201801)
作者简介：傅之遥(1995—)，男(汉族)，湖北咸宁人，硕士研究生，研究方向为射频集成电路设计。
江金光(1967—)，男，湖北武汉人，博士，教授，研究方向为北斗射频芯片设计。通信作者。

将直接影响接收机性能。因此，本文以源级电感简并、共源共栅结构的高增益低噪声放大器作为基础，进行设计。

为提高低噪声放大器的增益和噪声，许多设计加入一些额外电路[2-5]。文献[2]、[3]中，加入了电流注入结构与负导结构，以提高增益。文献[4]采用了差分结构，以降低噪声。但是，这些电路会提高电路复杂度，增加功耗。文献[5]虽然提出了部分源级电感简并结构，但未提及噪声特性。

针对上述问题，本文采用部分源级电感简并结构，进一步分析了新结构的噪声特性，给出了噪声优化方法和相应的参数公式，以极低代价提高了增益和噪声。同时，引入了失真抵消电路，提高了线性度。

1 LNA 的结构

GPS/BD 双频接收机由天线、LNA、混频器(Mixer)和基带芯片组成，结构如图 1 所示。GPS L1 频段、BD B1 频段的频率分别为 1.575 GHz 与 1.561 GHz，中心频率较接近。考虑到低功耗，本文设计了一种源级电感简并、共源共栅结构的窄带 LNA，该 LNA 可同时接收该双频点信号。

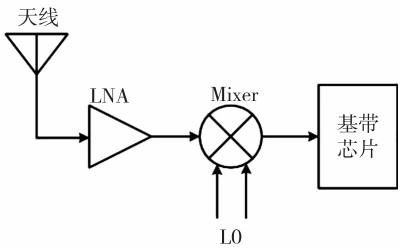


图 1 GPS/BD 双频接收机

本文设计的 LNA 如图 2 所示。LNA 分为三部分。第一部分为共源共栅源级电感简并结构。在原本源级电感简并结构的基础上，将共源级 MOS 管分为两个 MOS 管 M1、M2，仅 M1 管保留源级简并电感 L_s。这样，M2 管的栅源电压不会因源级电感而减小，从而提高了增益，但电路稳定性有所下降。C_{EXT} 与 M1 管的栅源相接，可调节 M1 管的栅源电容。通过引入额外的可调参数，实现了噪声匹配，降低了噪声[6]。

第二部分为失真抵消电路。将偏置于亚阈值区的 M4 与放大器共源级 M1、M2 并联。利用 CMOS 管 3 阶非线性系数随栅源偏置电压变化的特点，使偏置于亚阈值区 M4 的正 3 阶非线性项与偏置于饱和区 M1，M2 的负 3 阶非线性项相互抵消，从而实现 LNA 线性度的提升。

第三部分为片外输入匹配电路。采用片外匹配电路，大幅减少了芯片面积，但噪声有所增加。C_{pad} 为管脚电容，采用片外匹配时须考虑该电容。C_g、L_g 组成 L 型匹配网络，实现输入匹配。作为电路负载，C_D、L_D 谐振于 1.5 GHz，并与 C_o 一起作用，实现输出匹配。

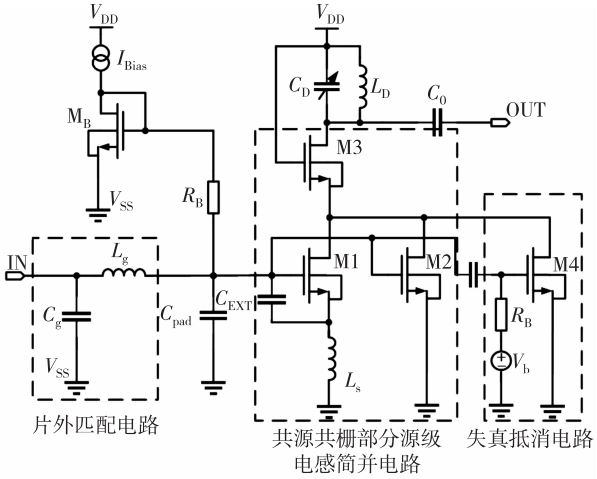


图 2 本文设计的 LNA

2 LNA 设计与实现

2.1 输入匹配

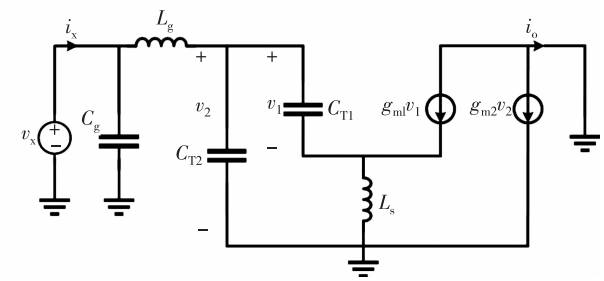
本文 LNA 的输入小信号电路及等效电路分别如图 3(a)、图 3(b)所示。图中，C_{T1} 为 M1 管的栅源电容，即 C_{gs1} 与 C_{EXT} 并联的值。C_{T2} 为 M2 管的栅源电容，即 C_{gs2} 与 C_{pad} 并联的值。R_T 为源级简并结构输入阻抗的实部。Z_S 为源内阻 R_S 与 L 型匹配电路的等效阻抗。电路输入阻抗 Z_{in} 为源级简并部分输入阻抗与 C_{T2} 的并联阻抗。源级简并部分输入阻抗为源级电感、栅源电容与阻抗实部的串联阻抗。因此，LNA 的输入阻抗可由等效电路表示。LNA 要达到输入匹配，需 $Z_{in}=Z_S$。输入阻抗为：

$$Z_{in}=j\omega C_{T2}\parallel\left(j\omega L_s+\frac{1}{j\omega C_{T1}}+\frac{g_{m1}L_s}{C_{T1}}\right)=\frac{R_T+j\omega(L_{LC}-\omega^2L_{LC}^2C_{T2}-C_{T2}R_T^2)}{(1-\omega^2L_{LC}C_{T2})^2+\omega^2R_T^2C_{T2}^2} \tag{1}$$

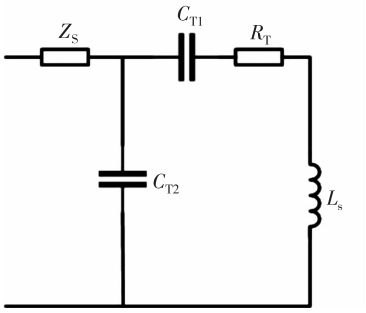
其中，$R_T=\frac{g_{m1}L_s}{C_{T1}}$，$L_{LC}=L_T-\frac{1}{\omega^2C_{T1}}$。

相比于传统结构，C_{gs2}(包含于 C_{T2} 中)同时影响输入阻抗的实部与虚部。由于 M1、M2 管的总宽度为定值，通过调节 M1、M2 管的宽度比，可实现 C_{gs2}

的调节。C_{gs2}的作用与 C_{EXT}类似，这为输入匹配引入了一个新的变量。



(a) 输入小信号电路



(b) 等效电路

图 3　本文 LNA 的输入小信号电路和等效电路

2.2　电压增益

LNA 增益由共源级 MOS 管的等效跨导来表征。在本设计中，共源级 MOS 管的等效跨导为 M1 管的等效跨导 $g_{m1,eq}$与 M2 管的跨导 g_{m2}之和。$g_{m1,eq}$的计算公式已有许多文献给出[1]。LNA 共源级 MOS 管的总跨导 g_{meff}为：

$$g_{meff}=g_{m1,eq}+g_{m2}=\frac{1}{1-\omega^2 L_s C_{T1}+j\omega g_{m1}L_s}g_{m1}+g_{m2} \tag{2}$$

可知，源级电感可使 M1 管的等效跨导减小。当保持 M1、M2 管的总宽度一定时，M2 管的宽度越大，电路的增益越高。但是，电路的稳定性会降低。设计时需折中考虑，合理分配 M1、M2 管的宽度比。

2.3　噪声系数

噪声分析的等效小信号电路如图 4 所示。图中，$i_{n,d}$为沟道热噪声电流，$i_{n,g}$为栅感应噪声电流。为简化分析，忽略了 $i_{n,d}$与 $i_{n,g}$的相关性。为分析部分源级简并结构的噪声特点，电容 C_{EXT}和 C_{pad}忽略不计。共栅级 M3 管对噪声的影响较小，忽略不计[7]。

输出噪声电流为：

$$\overline{i^2}_{n,out}=g_{meff}\times\overline{i^2}_{n,Rs}'\times Z_S+\frac{1}{2}(\overline{i^2}_{n,d1}+\overline{i^2}_{n,d2})+\left(\frac{g_{m1,eq}\times\overline{i^2}_{n,g1}}{j\omega C_{gs1}}+\frac{g_{meff}\times\overline{i^2}_{n,g2}}{j\omega C_{gs2}}\right) \tag{3}$$

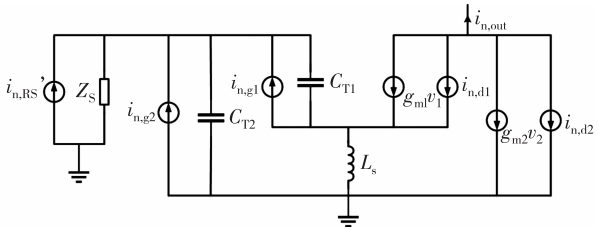


图 4　噪声分析的等效小信号电路

式中，$i_{n,d}$，$i_{n,g}$分别由 MOS 管跨导 g_m与栅源寄生电容 C_{gs}决定[8]，分别为：

$$\overline{i^2}_{n,di}=\frac{8}{3}kTg_{mi} \tag{4}$$

$$\overline{i^2}_{n,gi}=\frac{16}{15}kT\omega^2 C_{gsi}^2 \tag{5}$$

设参数 r 表示 M2、M1 管的宽度比 W_2/W_1，C_{gsT}表示 M1、M2 管的栅源寄生总电容，g_{mT}表示 M1、M2 管的总跨导。由于 C_{gsT}、g_{mT}均正比于 MOS 管的宽度，所以总宽度 W_T 不变时，C_{gsT}、g_{mT}则为定值，即总沟道热噪声 $i_{n,dT}$与栅感应电流噪声 $i_{n,gT}$不变。将上述参数代入式(3)，噪声系数则为：

$$F=1+\frac{\dfrac{\overline{i^2}_{n,gT}}{j\omega C_{gsT}}\left(1-\dfrac{1}{r+\dfrac{a}{r}+a+1}\right)+\dfrac{1}{2g_{meff}}\overline{i^2}_{n,dT}}{\overline{i^2}_{n,Rs}'\times Z_S} \tag{6}$$

式中，a 为公式化简的参数，为：

$$a=\frac{1}{1-\omega^2 L_s C_{T1}+j\omega g_{m1}L_s} \tag{7}$$

从式(6)可知，$i_{n,d}$与增益成反比。因此，可通过提高 r 来减小沟道热噪声。$i_{n,g}$则在 $r=a^{0.5}$时有最小值。a 由电路的源级电感 L_s、M1 管跨导 g_{m1}与 M1 管栅源总电容 C_{T1}共同决定。优化噪声系数时需合理选择 r。综合考虑增益、稳定性和噪声，最终确定 r 值。

2.4　线性度

采用泰勒级数展开，CMOS 管的漏级电流为：

$$i_{ds}=g_{m1}v_{gs}+g_{m2}v_{gs}^2+g_{m3}v_{gs}^3 \tag{8}$$

式中，g_{m1}为 MOS 管本身的跨导，g_{m2}、g_{m3}分别为 2 阶、3 阶非线性系数。当 g_{m3}趋于 0 时，电路的线性度提升。本文利用 g_{m3}随偏置电压的变化特性，实现 M1、M2 管的正值 g_{m3}与 M4 管的负值 g_{m3}的抵消。本文所用 MOS 管模型的 g_{m3}-V_{gs}曲线如图 5 所示。

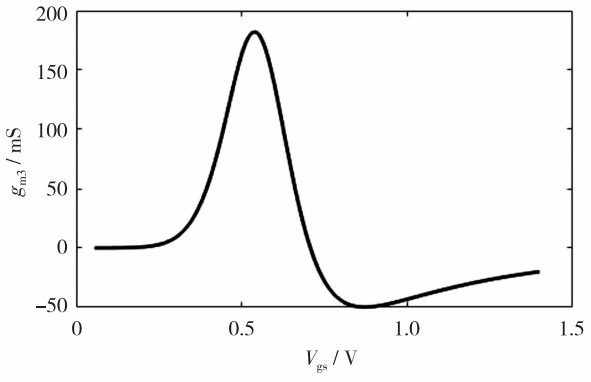


图 5 MOS 管模型的 g_{m3}-V_{gs} 曲线

M1、M2、M4 管为并联关系，输出电流 i_o 的 3 阶失真项为这 3 个管的 3 阶失真项相加，为。

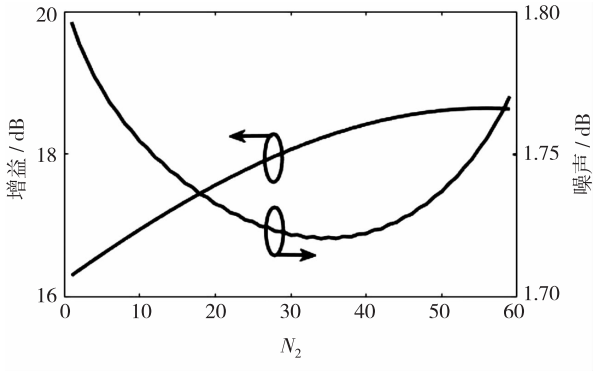
$$i_{o3}=g_{m3_1}\times v_{gs1}^3+g_{m3_2}\times v_{gs2}^3+g_{m3_4}\times v_b^3 \quad (9)$$

式中，M1、M2 管偏置在饱和区，g_{m3_1}、g_{m3_2} 均为负值。可调节失真抵消 MOS 管 M4 的偏置电压 v_b，使其工作于亚阈值区，g_{m3_4} 值为正值。合理调节 M4 管的宽度与 v_b，可抵消 M1、M2 管的 3 阶失真，从而提高线性度。在亚阈值区，g_{m3} 正值大约为负值的 3 倍，M4 管的最优宽度为共源级 M1、M2 管的 1/3 左右。

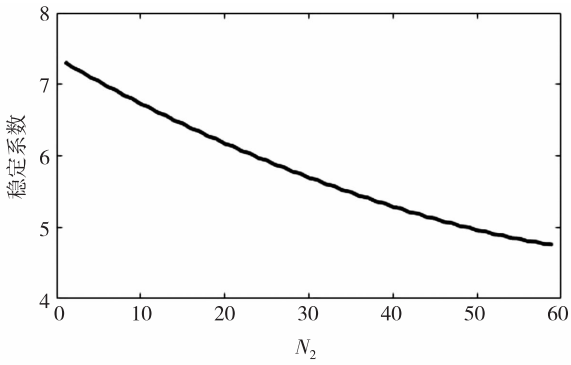
3 电路仿真与分析

本文采用 TSMIC 0.18 μm RF CMOS 工艺进行设计。MOS 管模型的 Multiplier 参数（记为 N）对应单元 MOS 管的并联数量。若单元 MOS 管的沟道宽度为 W_0，沟道长度为 L_0，则 MOS 管总沟道宽度 $W=N\times W_0$，总沟道长度 $L=L_0$。总宽度与 g_{m1} 相关。因此，需综合考虑输入匹配、增益和功耗。设计时，M1、M2 管采用相同的单元管，即 L_0、W_0 相同。N_1、N_2 分别表示 M1、M2 管的单元管并联数量。通过 N_1、N_2 控制 M1、M2 管的沟道宽度（$W_1=N_1\times W_0$，$W_2=N_2\times W_0$）。令 $N_1+N_2=60$，即总沟道宽度保持不变。对 N_2 从 1 到 59 进行扫描，相应的 r 从 1/59 到 59。增益、噪声和稳定系数与 N_2 的关系曲线分别如图 6(a)、图 6(b)所示。

可以看出，增益随着 N_2 的增加而增加，噪声则在 $N_2=35$ 时为最小值，这反映出 $i_{n,g}$ 的特性。k 随着 N_2 的增加而减少，即使在 $N_2=59$ 时仍大于 4。因此，保证了电路的稳定性。本文综合考虑增益、噪声和稳定性，最终 N_2 取为 35。相比于传统源级电感简并结构 LNA，该 LNA 的增益提高了2 dB，噪声减小了 0.1 dB，功耗提高了 5%，芯片面积基本不变。



(a) 增益、噪声与 N_2 的关系



(b) 稳定系数与 N_2 的关系

图 6 增益、噪声和稳定系数与 N_2 的关系曲线

LNA 的增益、噪声与频率的关系曲线如图 7 所示。可以看出，在 1.57 GHz 频段下，增益为 18 dB，噪声为 1.73 dB。由于采用了片外匹配电路，该噪声在可接受范围内。

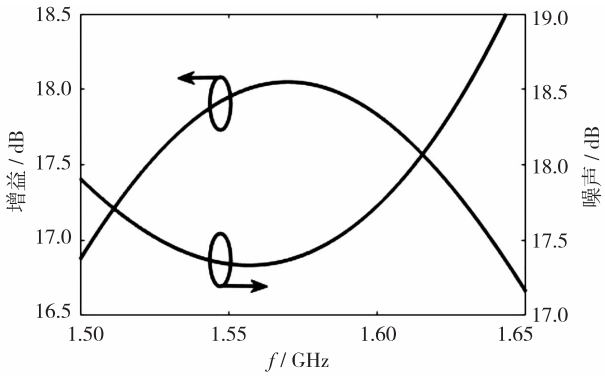


图 7 增益、噪声与频率的关系曲线

LNA 的 S_{11}、S_{22} 与频率的关系曲线如图 8 所示。可以看出，S_{11} 小于−11 dB，S_{22} 小于−18 dB，满足目标要求。

IIP3 曲线如图 9 所示。可以看出，加入失真抵消结构后，IIP3 从−7.2 dBm 提升到−1.4 dBm，功耗仅提升了 10%。在 1.8 V 电源电压下，消耗电流

为 4.7 mA。

本文与其他文献中 LNA 的参数对比如表 1 所示。可以看出，相较于传统结构，本文 LNA 的增益提高了 2 dB，线性度提高了 6 dBm，功耗仅提高了 15%。与其他类似结构相比，本文 LNA 的噪声、线性度均较优。

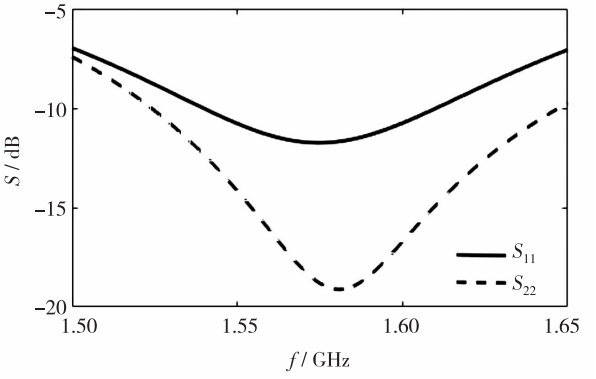


图 8　S_{11}、S_{22} 与频率的关系曲线

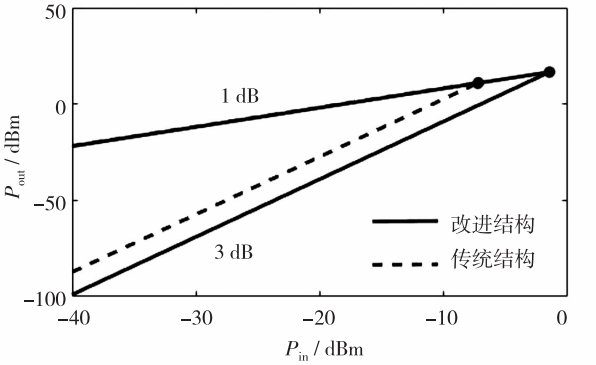


图 9　IIP3 仿真曲线

表 1　本文与其他文献中 LNA 的参数对比

参数	本文	传统结构	文献[1]	文献[2]	文献[9]
工艺/μm	0.18 CMOS	0.18 CMOS	0.13 CMOS	0.18 CMOS	0.18 CMOS
频率/GHz	1.57	1.57	1.8	2.4	2.4
S_{11}/dB	−11	−16	−11	−15	−21
S_{22}/dB	−18	−19	−8.4	-	-
增益/dB	18	16	14.5	31	34.9
噪声/dB	1.74	1.82	1.75	2.66	1.96
IIP3/dBm	−1.46	−7.2	−5.8	−2.5	−3.8
功耗/mW	8.5	7.4	7.5	9.75	1.8

4　结　论

基于 TSMC 0.18 μm RF CMOS 工艺，本文设计了一种带失真抵消的低噪声放大器。采用部分源级电感简并结构，分析了噪声特性，以极低的代价实现了增益和噪声的提升。加入了失真抵消结构，LNA 的线性度得到明显提高。仿真结果表明，相比于传统结构，该 LNA 以 15%的功耗提升代价实现了 2 dB 的增益提升、0.1 dB 的噪声降低和 6 dBm 的 IIP3 提升。

参 考 文 献：

[1] HALAUKO A, BOREJKO T, PLESKACZ W A, et al. Low voltage LNA implementations in 28 nm FD-SOI technology for GNSS applications [C] // 22nd Int Conf MIXDES. Torun, Poland. 2015: 354-358.

[2] ALBATAINEH Z, MOHEIDAT J, HAMADA Y. Design of high gain 2.4 GHz CMOS LNA amplifier for wireless sensor network applications [C] // 2017 10th Jordanian Int Electric and Electron Engineer Conf (JIEEEC). Amman, Jordan. 2017: 1-5.

[3] WANG T P, CHIANG S H. A high-gain low-power low-noise-figure differential CMOS LNA with 33% current-reused negative-conductance accommodation structure [C] // 28th IEEE ISOCC. Beijing, China. 2015: 78-81.

[4] WU J, JIANG P, CHEN D, et al. A dual-band GNSS RF front end with a pseudo-differential LNA [J] // IEEE Trans Circ & Syst II: Expr Bri, 2011, 58(3): 134-138.

[5] TAVORA A, CAPOVILLA C E, KRETLY L C. A new circuit topology for LNAs using partial source degeneration with double transistor connection to improve gain and input impedance matching flexibility [C] // IEEE Int Conf Microwaves, Commun, Anten & Elec Syst. Tel-Aviv, Israel. 2008: 1-6.

[6] ANDREANI P, SJOLAND H. Noise optimization of an inductively degenerated CMOS low noise amplifier [J]. IEEE Trans Circ & Syst II: Analog Digital Signal Process, 2001, 48(9): 835-841.

[7] RAZAVI B. Design of analog CMOS integrated circuits [M]. New York: MeGraw-Hill, 2001: 233.

[8] GRAY P R, HURST P J, LEWIS S H, et al. Analysis and design of analog integrated circuits [M]. 5th ed. New York : Wiley, 2009: 746-747.

[9] 耿志卿. 一种 2.4 GHz 低功耗可变增益低噪声放大器 [J]. 微电子学, 2019, 49(1): 22-28.

基于毛刺阻塞原理的低功耗双边沿触发器

黄正峰[1]，杨　潇[1]，孙　芳[1]，鲁迎春[1]，欧阳一鸣[2]，方祥圣[3]，倪天明[4]，戚昊琛[1]，徐　奇[1]
（1. 合肥工业大学 电子科学与应用物理学院，合肥 230009；2. 合肥工业大学 计算机与信息学院，合肥 230009；
3. 安徽行政学院 信息工程系，合肥 230009；4. 安徽工程大学 电气工程学院，芜湖 安徽 241000）

摘　要： 当输入信号存在毛刺时，双边沿触发器的功耗通常会显著增大，为了有效降低功耗，提出一种基于毛刺阻塞原理的低功耗双边沿触发器。在该双边沿触发器中，采用了钟控 CMOS 技术 C 单元。一方面，C 单元能有效阻塞输入信号存在的毛刺，防止触发器锁存错误的逻辑值。另一方面，钟控 CMOS 技术可以降低晶体管的充放电频率，进而降低电路功耗。相比其他现有双边沿触发器，该双边沿触发器在时钟边沿只翻转一次，大幅度减少了毛刺引起的节点冗余跳变，有效降低了功耗。与其他 5 种双边沿触发器相比，该双边沿触发器的总功耗平均降低了 40.87%～72.60%，在有毛刺的情况下，总功耗平均降低了 70.10%～70.29%，仅增加 22.95%的平均面积开销和 5.97%～6.81%的平均延迟开销。

关键词： 双边沿触发器；毛刺；低功耗；钟控 CMOS；时钟树
中图分类号：TN432　　**文献标识码：**A　　**文章编号：**1004-3365(2020)03-0308-07
DOI：10.13911/j.cnki.1004-3365.190392

A Low Power DETFF with Glitch Resistant Capability

HUANG Zhengfeng[1], YANG Xiao[1], SUN Fang[1], LU Yingchun[1], OUYANG Yiming[2], FANG Xiangsheng[3], NI Tianming[4], QI Haochen[1], XU Qi[1]
(1. *School of Electronic Science and Applied Physics, Hefei Univ. of Technol., Hefei* 230009, *P. R. China*; 2. *School of Computer and Information, Hefei Univ. of Technol., Hefei* 230009, *P. R. China*; 3. *Department of Information Engineering, Anhui Administration Institute, Hefei* 230009, *P. R. China*; 4. *College of Electrical Engineering, Anhui Polytechnic Univ., Wuhu, Anhui* 241000, *P. R. China*)

Abstract: According to the problem that the power consumption of most existing double edge-triggered flip-flops (DETFF) will increase significantly when there are glitches in the input data, a new type of low power DETFF with glitch resistant capability was proposed. The new DETFF used the C-elements with the clock-gating technology. On the one hand, the C-element had the function of filtering input glitches, which could effectively mask the glitches of the input data and reduce the impact of input glitches on the circuit. On the other hand, the clock-gating technology could reduce the charge and discharge frequency of the transistor to reduce the power consumption. Compared with other existing DETFFs, the proposed DETFF only flipped once on the clock edge, which greatly reduced the node redundancy transitions caused by the glitches and effectively reduced the power consumption overhead. Compared with the other five kinds of DETFFs, the total power consumption of the proposed one was reduced by 40.87%～72.60% on average, and the total power consumption with glitches was reduced by 70.10%～70.29% on average, which only increased the average area overhead by 22.95% and the average delay overhead by 5.97%～6.81%.

Key words: double edge-triggered flip-flop; glitch; lower power; clock-gating CMOS; clock tree circuit

收稿日期：2019-07-05；**定稿日期：**2019-08-05
基金项目：国家自然科学基金资助项目（61874156，61874157，61904001，61904047）；安徽行政学院科研团队资助项目（YJKT1417T01）；安徽省自然科学基金资助项目（1908085QF272）
作者简介：黄正峰（1978—），男（汉族），博士，教授，硕士生导师，CCF 高级会员，主要研究方向为 SoC 芯片抗辐射加固。
杨　潇（1996—），男（汉族），硕士研究生，主要研究方向为硬件容错。
鲁迎春（1979—），男（汉族），硕士，讲师，研究方向为容错电路设计。通信作者，E-mail：2005800125@hfut.edu.cn。

0　引　言

近年来，集成电路技术发展迅猛，集成电路工艺尺寸不断缩小，电路规模不断扩大，晶体管集成数目随之不断增加，集成电路的功耗问题日益突出。在同步数字超大规模集成电路的设计中，时钟系统主要由时钟树电路和时序电路组成。其中，时钟树的功耗约占电路总功耗的 40%[1]。时序单元主要包含触发器和锁存器，其功耗在电路总功耗中占有很大比重。因此，关于低功耗高性能触发器的研究显得尤为重要。

时钟树的输出负载大，晶体管尺寸相对较大，功耗也较大[2-3]。本文采用钟控 CMOS 技术来减少电路内部节点的冗余跳变，降低电路节点的充放电频率，从而达到降低功耗的目的[4-6]。

CMOS 电路功耗主要来自电路节点的充放电。也就是说，动态功耗在数字电路系统中起着决定性作用。电路动态功耗可以表示为[7]：

$$P=0.5C_{\mathrm{L}}V_{\mathrm{DD}}^{2}f_{\mathrm{clk}}E_{\mathrm{sa}} \tag{1}$$

式中，C_{L} 为节点的物理电容，V_{DD} 为电源电压，f_{clk} 为时钟频率，E_{sa} 为开关活动性，即每个时钟周期中的平均输出跳变数。

触发器分为单边沿触发器(SETFF)和双边沿触发器(DETFF)。相对于单边沿触发器，双边沿触发器在时钟的上升沿和下降沿均能采样数据。双边沿触发器的工作效率是单边沿触发器的 2 倍[7]。相对于单边沿触发器，输入信号相同时，双边沿触发器只需 50%的时钟频率就可实现等效的电路功能。或者在相同的时钟频率下，双边沿触发器的数据吞吐量是单边沿触发器的 2 倍[8-9]。

在数字集成电路的数据信号传输中，通常存在大量的毛刺。毛刺引起的功耗很大，约占总功耗的 20%～70%[10]。因此，阻塞毛刺可以有效降低功耗。

文章第 1 节概述了三种典型的双边沿触发器。第 2 节完成了三种双边沿触发器的仿真。第 3 节详细阐述了提出的双边沿触发器，包括电路结构、工作原理和电路仿真。第 4 节综合比较了 6 种双边沿触发器的电路性能。第 5 节给出总结。

1　现有的双边沿触发器

1.1　MUX 型双边沿触发器

图 1 所示为传统的 MUX 型双边沿触发器，本文称为 MUX-DET-1[11]。MUX-DET-1 包括数据选择器 MUX、2 个反相器组成的时钟树、2 个锁存器(LA1 和 LA2)。

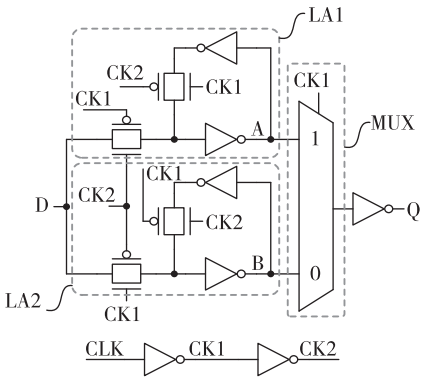


图 1　MUX-DET-1 电路

MUX-DET-1 的缺点是：当输入信号存在大量毛刺时，电路功耗会大幅增加。MUX-DET-1 采用了 2 个锁存器(LA1 和 LA2)和 1 个数据选择器 MUX。这 2 个锁存器分别在时钟信号 CLK 为高电平和低电平时锁存数据。数据选择器 MUX 将处于保持模式的锁存器逻辑值进行选择输出。

MUX-DET-1 的缺点是：处于透明模式下，锁存器的状态会随着输入信号的改变而实时改变，而锁存器的跳变是冗余跳变。因此，当输入信号存在毛刺时，处于透明模式下的锁存器会随着毛刺产生更多的冗余跳变，从而增加电路功耗。

图 2 所示也是文献[11]提出的结构，本文称为 MUX-DET-2。MUX-DET-2 是由锁存器(LA1 和 LA2)和数据选择器 MUX 组成的。

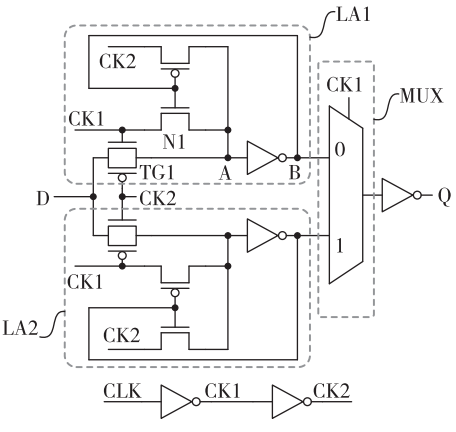


图 2　MUX-DET-2 电路

在 MUX-DET-2 的 2 个锁存器的反馈路径中，输入信号控制着时钟信号的传递，造成时钟树的输出负载较大[12-13]，时钟树功耗和电路整体功耗都会较大。另一方面，MUX-DET-2 存在着电平冲突的

问题[7]。例如，当 CLK 和 D 均为“0”时，节点 A 会同时被写入“0”和“1”，造成电平冲突。同理，当 CLK 和 D 均为“1”时，锁存器 LA2 中也会存在电平冲突的问题。这将会大幅增加 MUX-DET-2 的功耗。

1.2 C 单元型双边沿触发器

图 3 所示为文献[13]提出的 C 单元型双边沿触发器，本文称为 CE-DET-1。CE-DET-1 包含时钟树、传输门、C 单元和保持器。相对于 MUX 型双边沿触发器，CE-DET-1 采用了两输入 C 单元，减少了电路的时钟负载，有效降低了时钟树功耗。

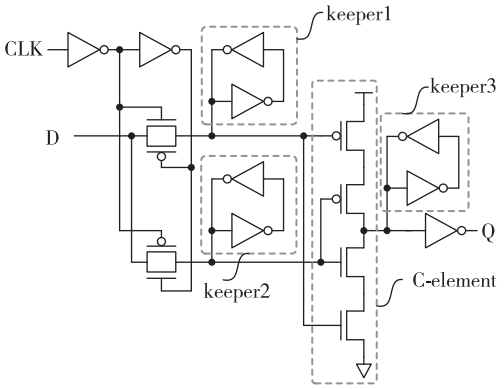


图 3 CE-DET-1 电路

但是，CE-DET-1 和 MUX-DET-1 存在同样的缺点：2 个内部锁存器会随着输入毛刺产生冗余跳变，并且 CE-DET-1 包含 3 个保持器，这 3 个保持器由 2 个反相器组成，始终处于工作状态，将会持续消耗电路能量。这对于低功耗双边沿触发器的设计十分不利。

为了降低输入信号毛刺引起的电路功耗，一些双边沿触发器在其内部锁存器中采用了 C 单元，可以阻塞输入毛刺传播到电路的内部节点。这对降低电路功耗起到了积极的作用。

C 单元具有阻塞毛刺的功能。两输入 C 单元的电路结构如图 4 所示，真值表如表 1 所示。当 C 单元的两个输入状态相同时，C 单元的功能是将输入信号取反；当 C 单元的两个输入不相同时，C 单元的输出保持不变。当 C 单元中一路数据输入存在毛刺，另外一路数据输入正确的时候，由表 1 可知，这并不会对 C 单元的输出产生影响[14-15]，毛刺也不会传输到下一级电路。

图 5 所示为文献[14]提出的基于 C 单元的双边沿触发器，本文称为 CE-DET-2。CE-DET-2 包含内部锁存器 A 和 B，以及输出 C 单元。与 CE-DET-1 不同的是，CE-DET-2 的 2 个内部锁存器是由 C 单元构成的，解决了电路内部节点随输入毛刺产生冗余跳变的问题。

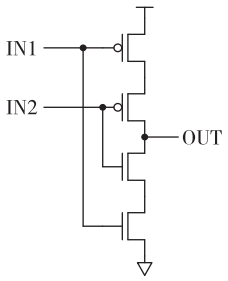


图 4 两输入 C 单元的电路结构

表 1 两输入 C 单元的真值表

IN1	IN2	OUT
0	0	1
1	1	0
0	1	保持
1	0	保持

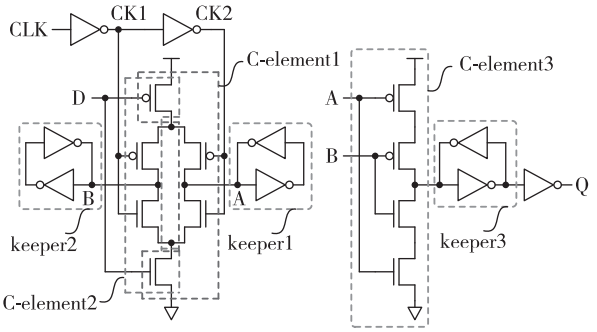


图 5 CE-DET-2 电路

CE-DET-2 的工作原理为：只有当 A 和 B 的状态相同时，输出信号 Q 的状态才会发生翻转；当输入信号 D 与时钟信号 CLK 相同时，A 的状态为 DB（DB 为 D 的反相），B 保持上一状态；时钟边沿到来后，A 仍保持在 DB，此时 B 的状态也为 DB，所以输出端 Q 输出 D。

CE-DET-2 的缺点是，无论时钟信号 CLK 与输入信号 D 如何翻转，保持器 keeper1、keeper2 和 keeper3 始终处于工作状态，这在一定程度上增大了电路的功耗。CE-DET-2 采用了 C 单元，使得电路延迟偏大。

1.3 脉冲式双边沿触发器

图 6 所示电路为文献[16]提出的脉冲式双边沿脉冲触发器，本文称为 PULSE-DET。PULSE-DET 由脉冲发生器和锁存器组成。该脉冲发生器

是一种基于传输门的异或逻辑[2]，它在时钟上升沿和下降沿分别产生一个采样脉冲。锁存器只有在采样脉冲到来的时候才会采集数据，其他时间均处于保持模式。PULSE-DET 的结构虽然简单，但由脉冲发生器组成的时钟树电路和整体电路的功耗均较大。

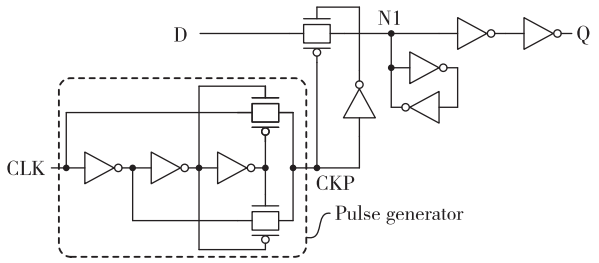


图 6　PULSE-DET 电路

2　现有双边沿触发器的仿真

本文基于 Hspice 软件，对前文所述的双边沿触发器进行了仿真。仿真环境为：采用 45 nm PTM 工艺[17]，电源电压为 1 V，温度为室温 25 ℃，时钟频率为 250 MHz，时钟周期为 4 ns。

图 7 所示为 MUX-DET-1 电路的仿真波形。CLK 为时钟信号，D 为输入信号，Q 为输出信号，A 和 B 分别是锁存器 A 和锁存器 B 的输出值。在时钟信号的高电平和低电平期间，对输入信号 D 总共注入 8 个毛刺。从仿真结果来看，MUX-DET-1 可以实现双边沿触发功能。毛刺会传输到锁存器 A 和锁存器 B 中，使锁存器 A 和锁存器 B 产生冗余跳变。这在一定程度上增加了 MUX-DET-1 的功耗。

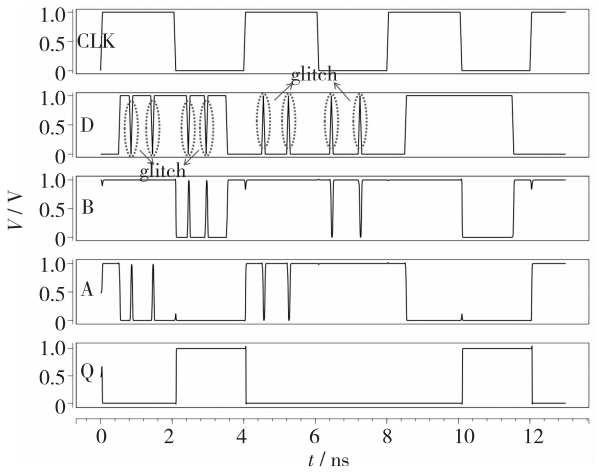


图 7　MUX-DET-1 电路的仿真波形

图 8 所示为 CE-DET-2 电路的仿真波形。其中，CLK 和 D 分别与图 7 的 CLK 和 D 相同。从图中可以看到，在输入信号与时钟信号相同的情况下，CE-DET-2 可以实现双边沿触发功能。在时钟边沿之间，CE-DET-2 电路的 2 个内部节点 A 和 B 的状态不会随着输入毛刺发生多次翻转。但是，A 和 B 的值分别会一直锁存在 2 个保持器当中，导致功耗较大。

图 9 所示为 PULSE-DET 电路的仿真波形。仿真条件保持一致，CLK 和 D 也保持一致，CKP 是脉冲发生器产生的脉冲信号，N1 是锁存器内部节点。PULSE-DET 也同样具有双边沿触发功能。

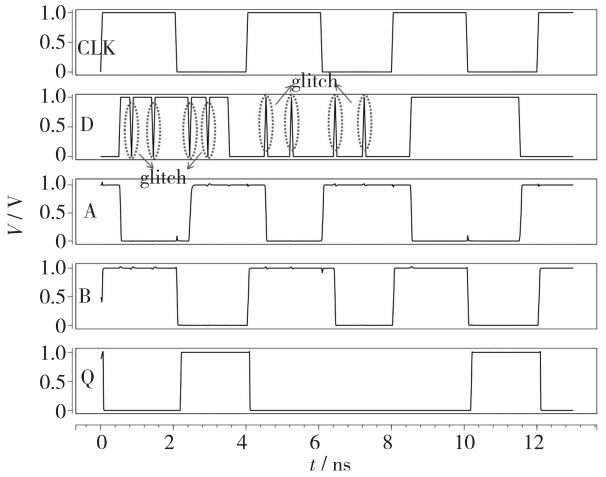


图 8　CE-DET-2 电路的仿真波形

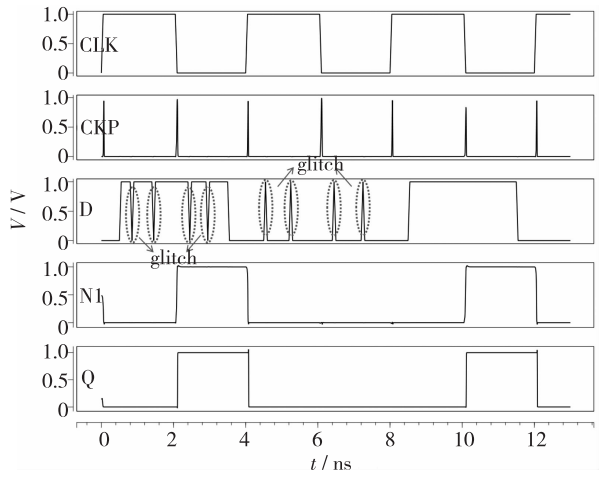


图 9　PULSE-DET 电路的仿真波形

3　本文提出的双边沿触发器

3.1　电路结构和工作原理

3.1.1　电路结构

为了克服现有双边沿触发器的缺点，本文提出基于毛刺阻塞原理的低功耗双边沿触发器 CE-DET-3，其电路结构如图 10 所示。CE-DET-3 包含

内部锁存器 LA、LB 和输出 C 单元。这 3 个锁存器都是由 C 单元和反馈回路组成。时钟树是由反相器 INV1 和 INV2 组成，用于产生时钟信号 CK1 和 CK2。

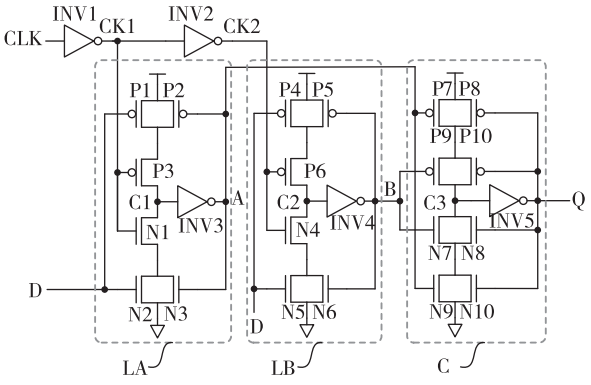


图 10 本文提出的双边沿触发器 CE-DET-3

3.1.2 工作原理

CE-DET-3 的工作原理如图 11 所示。在时钟边沿之间，输入信号 D 发生改变时，CE-DET-3 的输出信号 Q 保持不变。

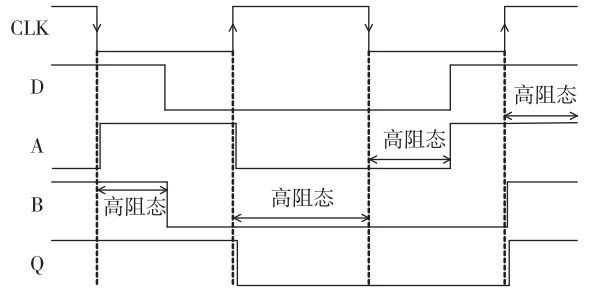


图 11 CE-DET-3 工作原理波形图

图 11 中，在 CLK 的第一个下降沿和第一个上升沿之间，在 D 翻转之前，A 保持在状态“1”，B 处于高阻态，此时输出 Q 为“1”；D 发生翻转，A 仍保持在“1”，B 保持在“0”，由 C 单元可知，输出 Q 依然为“1”。当输入信号 D 保持不变时，时钟信号无论如何翻转，输出信号 Q 都不会翻转。在 CLK 的第二个下降沿之前，D 和 A 均为“0”，B 处于高阻态，输出 Q 为“0”；在 CLK 的第二个下降沿之后，D 保持“0”不变，此时 B 为“1”，A 处于高阻态，故输出 Q 仍保持为“0”。只有当时钟边沿到来且 Q 与 D 不同时，输出 Q 才会翻转到 D。

在节点 A 和 B 中至少有一个的状态总保持为 D，而不处于 D 的节点会保持上一状态或者处于高阻态。当时钟边沿到来时，不处于 D 的节点会翻转到 D，此时 A 和 B 的状态就同为 D，那么输出 Q 的状态就会变为 D，达到双边沿触发的效果。其中，高阻态也就是相应锁存器处于截止的状态，这并不会影响 CE-DET-3 的静态特性。这是采用了钟控 CMOS 技术而达到的效果，减少了电路的冗余跳变，降低了电路功耗。

表 2 为节点 A、B 和 Q 的输出真值表。Q 代表 Q 的当前输出状态，保持不变代表 Q 保持前一时钟电平时的输出状态，高阻态代表锁存器处于截止状态。在锁存器 LA 和锁存器 LB 中，输入信号 D 同为它们的数据输入信号之一，所以无论时钟信号 CLK 如何切换，节点 A 和 B 的输出状态至多只有一个处于高阻态。由两输入 C 单元可知，输出 C 单元的一个输入信号处于高阻态并不会影响其输出状态，此时输出 C 单元的输出处于保持状态。只有当锁存器 LA 和 LB 的输出状态相同时，CE-DET-3 的输出状态才与输入信号相同。

表 2 节点 A、B 和 Q 的状态真值表

A	B	Q
0	0	0
0	1	保持不变
1	0	保持不变
1	1	1
高阻态	1	保持不变
高阻态	0	保持不变
1	高阻态	保持不变
0	高阻态	保持不变

锁存器 LA、锁存器 LB 和输出 C 单元均由反馈回路构成，反馈回路可使这 3 个锁存器有效锁存其输出状态，从而保持 CE-DET-3 的静态特性。构成反馈回路的晶体管包括锁存器 LA 中的 P2 与 N3 管、锁存器 LB 中的 P5 与 N6 管，以及输出 C 单元中的 P8、P10、N8、N10 管。这些晶体管增强了 C 单元的上拉和下拉能力，使得数据通过 C 单元的延迟明显降低，从而进一步降低整体电路的传输延迟。

3.2 CE-DET-3 的仿真结果

本文基于 Hspice 软件，对 CE-DET-3 进行仿真，仿真环境和条件与第 2 节一致，得到的仿真波形如图 12 所示。其中，CLK 和 D 的仿真结果与第 2 节保持一致。时钟信号 CLK 共有七个时钟边沿，分别为(1)～(7)。在第五个时钟边沿之前，分别注入 8 个毛刺。

可以看到，CE-DET-3 能正确实现双边沿触发功能。还可以看出，在时钟边沿之间，无论输入信号 D 如何翻转，锁存器 LA 或 LB 的输出状态至多翻转一次，不会多次翻转。因此，当输入信号存在毛刺时，这不会对锁存器 LA 和 LB 产生太大的影响。例如，在 4 ns 与 6 ns 之间，锁存器 LB 锁存的状态只翻转一次，而锁存器 LA 的锁存状态一直保持不变。

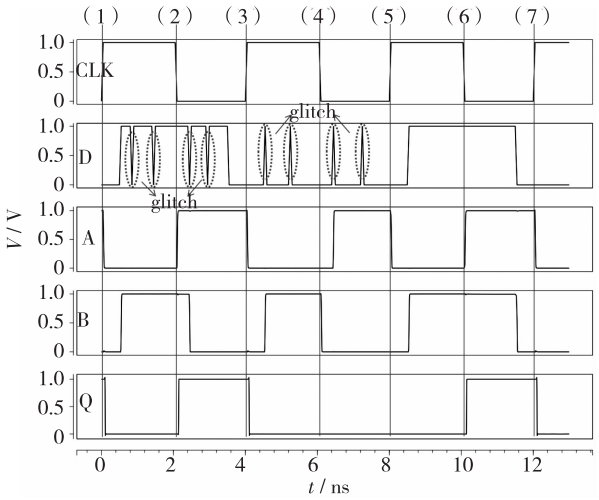


图 12　CE-DET-3 电路的仿真波形

这说明 CE-DET-3 拥有阻塞毛刺能力，输入信号 D 存在的毛刺不会直接传输到 A 和 B 两个内部节点中。因此，输入毛刺并不会增加该电路内部节点的冗余跳变，降低了电路内部节点翻转概率，达到降低电路功耗的目的。

4　实验结果及分析

本文基于 45 nm PTM 工艺，对相关双边沿触发器进行 Hspice 仿真，得到的实验结果列于表 3。电源电压为 1 V，时钟频率为 250 MHz，温度为 25 ℃。

表 3 中，T 代表晶体管数目，CTP 代表时钟树功耗，TP 代表总功耗，D 代表时钟信号 CLK 到输出信号 Q 的延迟，PDP 代表电路的功耗延迟积，G2/1 代表在一个时钟周期中有两个毛刺情况下的总功耗，G4/1 代表在一个时钟周期中有四个毛刺情况下的总功耗。E 代表数据开关活动性，表示在一定时间内输出信号翻转次数与时钟触发沿的个数之比。例如，$E_{0.5}$ 代表每经过两个时钟触发沿，输出信号才改变一次。Average 表示前五种双边沿触发器各项性能的平均值，Δ 表示 CE-DET-3 的各项性能相对于 Average 增加的百分比。

从表 3 可知，MUX-DET-2 与 PULSE-DET 的时钟树功耗较大。在 MUX-DET-2 中，由于时钟负载大，并且部分时钟信号直接与晶体管的源极相连，时钟树功耗偏大。在 PULSE-DET 中，由脉冲发生器构成的时钟树的花费代价较大，占用资源多，使得时钟树功耗偏大。而 CE-DET-3 采用了 C 单元，减少了时钟负载，降低了时钟树功耗，相对于平均时钟树功耗，降低了 80.76%。

表 3　6 种结果的性能参数比较

DETFF	MUX-DET-1	MUX-DET-2	CE-DET-1	CE-DET-2	PULSE-DET	Average	CE-DET-3	Δ
# of T	26	22	26	28	20	24.40	30	22.95%
CTP($E_{0.5}$)/μW	2.04	39.26	1.85	1.90	3.54	9.72	1.87	−80.76%
TP($E_{0.1}$)/μW	2.46	8.13	2.33	2.42	3.60	3.79	2.24	−40.87%
TP($E_{0.5}$)/μW	2.93	41.05	3.64	3.87	3.98	11.09	3.04	−72.60%
TP(E_1)/μW	3.93	30.92	5.24	5.62	4.35	10.01	3.97	−60.35%
D($E_{0.1}$)/ps	39.49	40.62	115.14	116.79	48.66	72.14	76.45	5.97%
D($E_{0.5}$)/ps	39.05	40.39	115.17	117.07	48.79	72.09	76.52	6.14%
D(E_1)/ps	38.93	40.26	113.69	117.08	48.71	71.73	76.62	6.81%
PDP($E_{0.1}$)/fJ	97.14	330.24	268.27	282.63	175.17	230.69	171.24	−25.77%
PDP($E_{0.5}$)/fJ	114.41	1680.17	419.21	453.06	194.18	572.21	232.62	−59.35%
PDP(E_1)/fJ	152.99	1244.83	595.73	657.98	211.88	572.68	304.18	−46.89%
(G2/1) /μW	3.93	37.55	4.51	4.43	4.09	10.90	3.26	−70.10%
(G4/1) /μW	4.76	37.02	5.22	4.78	4.10	11.18	3.32	−70.29%

数据开关活动性越大，大部分触发器的总功耗也会越大。相比于前五种双边沿触发器，CE-DET-3 在

三种开关活动性中的总功耗较小。其中，CE-DET-3 的总功耗在数据开关活动性为 0.1 时最小，MUX-DET-2 的总功耗在各数据开关活动性情况下均最大，而且 MUX-DET-2 在不同数据开关活动性时的功耗会有跳变，这是由于存在电平冲突。相对于平均总功耗，CE-DET-3 的总功耗降低了 40.87%～72.60%。

表 3 中，MUX-DET-1 的延迟最小，CE-DET-1 和 CE-DET-2 的延迟较大，这是因为 CE-DET-1 和 CE-DET-2 的设计都采用了 C 单元。CE-DET-3 虽然采用了 C 单元，但其延迟相对 CE-DET-1 和 CE-DET-2 来说要低得多。这是因为 CE-DET-3 拥有反馈回路，而构成反馈回路的部分晶体管（P2、N3、P5、N6、P8、P10、N8、N10）增加了 C 单元的上拉和下拉能力，与相同晶体管尺寸的 C 单元相比，拥有这种反馈回路的 C 单元的延迟更低。相对于平均延迟，CE-DET-3 的延迟只增加了 5.97%～6.81%。

在电路的功耗延迟积（PDP）方面，MUX-DET-1 的 PDP 最低，MUX-DET-2 的 PDP 最大。相对于平均功耗延迟积，CE-DET-3 的功耗延迟积降低了 25.77%～59.35%。

当有输入毛刺时，MUX-DET-1 受毛刺的影响较大。当毛刺增多时，电路总体功耗随之显著增大。因为输入毛刺会引起内部锁存器翻转，导致数据通路的功耗增加幅度较大。CE-DET-2 使用了 C 单元，阻塞了输入端毛刺和内部锁存器之间的数据通路，所以受毛刺的影响不大。但是，CE-DET-2 存在着 3 个保持器，而且无论时钟信号和输入信号如何变化，这 3 个保持器将始终处于工作状态，导致 CE-DET-2 的功耗较大。CE-DET-3 采用了钟控 CMOS 技术，减少了电路中的冗余跳变，降低了电路的整体功耗。由表 3 可知，CE-DET-3 在 G2/1 和 G4/1 情况下的功耗都是最小的。相对于存在毛刺时电路的平均总功耗，CE-DET-3 的总功耗降低了 70.10%～70.29%。

随着输入毛刺的增多，CE-DET-3 的功耗会比其他几种双边沿触发器低得多。总之，即使在输入信号存在较多毛刺的情况下，CE-DET-3 依然具有较低的时钟树功耗和总功耗。

5 结 论

为了有效降低双边沿触发器的功耗，本文提出了基于毛刺阻塞原理的低功耗双边沿触发器 CE-DET-3。CE-DET-3 减少了时钟负载，可以有效降低时钟树功耗，并且结合了钟控 CMOS 技术，减少了电路节点的冗余跳变，进一步降低了电路的整体功耗。与以前的双边沿触发器相比，CE-DET-3 在时钟树功耗、总功耗、速度以及阻塞毛刺能力方面均具有很大的优势，拥有良好的综合性能。

参 考 文 献：

[1] DAI Y Y, SHEN J Z. An explicit-pulsed double-edge triggered JK flip-flop [C] // Int Conf Wireless Commun & Signal Process. Nanjing, China. 2009: 1-4.

[2] ZHAO P, MCNEELY J, GOLCONDA P, et al. Low-power clock branch sharing double-edge triggered flip-flop [J]. IEEE Trans VLSI Syst, 2007, 15(3): 338-345.

[3] KIM C, KANG S M. A low-swing clock double-edge triggered flip-flop [J]. IEEE J Sol Sta Circ, 2007, 37(5): 648-652.

[4] WANG X, ROBINSOM W H. Asynchronous data sampling within clock-gated double edge-triggered flip-flops [J]. IEEE Trans Circ Syst I: Regu Pap, 2013, 60(9): 2401-2411.

[5] WANG X, ROBINSON W H. A low-power double edge-triggered flip-flop with transmission gates and clock gating [C] // 53rd IEEE Int Midwest Symp Circ & Syst. Seattle, WA, USA. 2010: 205-208.

[6] LANG T, MUSOLL E, CORTADELLA J. Individual flip-flops with gated clocks for low power datapaths [J]. IEEE Trans Circ Syst II: Anal & Digi Signal Process, 1997, 44(6): 507-516.

[7] TIWARI S C, SINGH K, GUPTA M. A low power high density double edge triggered flip flop for low voltage systems [C] // Int Conf Advan Recent Technol Commun & Comput. Kottayam, India. 2010: 377-380.

[8] NEDOVIC N, OKLOBDZIJA V G. Dual-edge triggered storage elements and clocking strategy for low-power systems [J]. IEEE Trans VLSI Syst, 2005, 13(5): 577-590.

[9] YU C C. Low-power double edge-triggered flip-flop circuit design [C] // 3rd Innovat Comput Inform & Control Int Conf. Dalian, China. 2008: 566.

[10] KIM S, KIM J, HWANG S Y. New path balancing algorithm for glitch power reduction [J]. IEEE Proceed Circ Dev & Syst, 2001, 148(3): 151-156.

[11] PEDRAM M, WU Q, WU X. A new design of double edge triggered flip-flops [C] // Asian & South Pacific Des Autom Conf. Yokohama, Japan. 1998: 417-421.

（下转第 320 页）

一种低功耗高稳态电平位移电路

王佳妮[1]，周泽坤[1]，李 颂[1]，石 跃[2]，王 卓[1]，张 波[1]
（1. 电子科技大学 电子薄膜与集成器件国家重点实验室，成都 610054；
2. 成都信息工程大学 通信工程学院，成都 610225）

摘 要： 提出了一种新型低功耗、高稳态电平位移电路。该电路能将 5 V 输入电压转换为 10 V 输出电压，在电路的初态和电平转换过程中均保持高稳态。采用瞬态增强结构，能加速电平信号之间的转换，有效地减小了传输延迟，提高了电路稳定性。瞬态增强结构在稳定状态时不发挥作用，减小了静态功耗，获得了低功耗。基于标准 0.35 μm BCD 工艺和多 5 V LDMOS 耐压器件，对该电平位移电路在 5 MHz 频率下进行验证。结果表明，动态功耗仅为 24.8 μA，上升沿响应速度仅为 12.7 ns，下降沿响应速度仅为 22.8 ns。该电路具有可靠性高、功耗低的优点。

关键词： 电平位移；瞬态增强；高稳态；低功耗
中图分类号：TN433 **文献标识码：**A **文章编号：**1004-3365(2020)03-0315-06
DOI：10.13911/j.cnki.1004-3365.190374

A Low Power and High Stability Level Shifter

WANG Jiani[1], ZHOU Zekun[1], LI Song[1], SHI Yue[2], WANG Zhuo[1], ZHANG Bo[1]
(1. *State Key Lab. of Elec. Thin Films and Integr. Dev., Univ. of Elec. Sci. & Technol. of China, Chengdu* 610054, *P. R. China*;
2. *College of Communication Engineering, Chengdu University of Information Technology, Chengdu* 610225, *P. R. China*)

Abstract: A novel low power and high stability level shifter was proposed. The circuit could convert an input voltage of 5 V to an output voltage of 10 V, while maintaining high stability during both the initial state and the voltage conversion process. A transient enhancement structure was used to accelerate the conversion between level signals, effectively reduce the transmission delay and improve the stability of the circuit. The transient enhancement structure did not work in the stable state, which decreased the static power consumption and achieved low power consumption. Based on the standard 0.35 μm BCD process and multi-5 V LDMOS high voltage devices, the proposed level shift circuit was verified at 5 MHz frequency. The results showed that the dynamic power consumption was only 24.8 μA, the response speed at the rising edge was only 12.7 ns, and the response speed at the falling edge was only 22.8 ns. This circuit had the advantages of high reliability and low power consumption.

Key words: level shifter; transient enhancement; high stability; low power

0 引 言

在多电源电压的系统中，电平位移电路在驱动电路中的作用是实现具有不同电源电压范围的控制信号的转换，即在低压控制信号与高压控制信号之间进行转换，实现低压逻辑对高压功率输出级的控制[1]。电平位移电路作为连接控制电路与输出驱动级的关键电路，其性能直接影响系统性能及可靠性。传统电平位移电路在速度、功耗、稳定性和面积等方面不能实现很好的综合平衡，存在初态紊乱、传输延迟大、功耗高等问题。文献[2]采用动态控制信号，

收稿日期：2019-06-26；**定稿日期：**2019-08-06
基金项目：国家自然科学基金资助项目(61674025,61306035)；中央高校基础研究基金资助项目(ZYGX2016J056)；"气象信息与信号处理"省高校重点实验室基金资助项目(QXXCSYS201504,QXXCSYS201603)
作者简介：王佳妮(1996—)，女(汉族)，四川成都人，硕士研究生，研究方向为模拟集成电路设计。

提高了响应速度，降低了功耗，但增加了电路复杂性和传输延迟。文献[3]采用高压电容器，提高了速度，但为获得合理的电容值，需要大面积的电容。文献[4]电路的静态电流较大，功耗过大。文献[5]采用多阈值 CMOS，获得了高稳态响应和低功耗，但仅适用于低电压源，转换延迟较大。

针对上述问题，本文设计了一种适用于高电源轨的低功耗、高稳态的电平位移电路。采用小电流静态支路，以提供初态，降低了部分静态功耗。采用全 MOS 结构，无额外电容面积，提高了电路的瞬态稳定性，优化了系统的性能。

1 传统电平位移电路

1.1 基于交叉耦合的电平位移电路

传统的基于交叉耦合的电平位移电路如图 1 所示。采用交叉耦合结构，可加速控制信号的转换。V_{in}为输入逻辑信号，V_{DDL}为低压控制信号的电源电压，V_{DDH}为高压电源电压信号。低压控制信号通过 INV 反相器在 MN1、MN2 管的栅极构成一对互补的逻辑控制信号。电路的工作原理如下。

当输入信号 V_{in}为 V_{DDL}时，MN1 管开启，MN2 管关断，MN1 管对 A 点进行放电，逐渐开启 MP2 管，对 B 点进行充电，直至 V_{DDH}。在这个过程中，MP1 管关断。当输入信号 V_{in}为 0 时，进行与上述相反的操作。当从 V_{DDL}转换到 V_{DDH}时，随着 V_{DDL}的减小，电路的下拉能力变弱，整体转换变得困难。

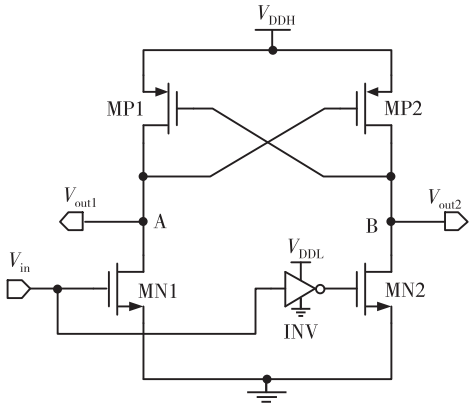


图 1 基于交叉耦合的电平位移电路

该电路结构的缺点是上拉网络与下拉网络之间存在竞争。当 V_{DDL}降低至约一个阈值电压时，MN1、MN2 管的下拉能力变弱，无法与 MP1、MP2 组成的上拉管进行竞争，导致输出无法正确翻转。解决这个问题的一种方法是，增加 NMOS 管的尺寸，但这会导致功耗和延迟的增加[6]。另一种方法是，下拉管采用低阈值的晶体管，上拉管采用高阈值的晶体管[7]。同样，这会增加整体电平位移电路的转换延迟时间，提高工艺复杂度。

1.2 基于电流镜的电平位移电路

基于电流镜的电平位移电路如图 2 所示。采用很低的输入电平 V_{DDL}，能够实现快速的电平转换，该结构的优点是低的竞争性，上拉结构与下拉结构工作几乎没有重叠。缺点是，当输入的电平为 V_{DDL}时，通过 MP1 与 MN1 的电流较大，且维持时间较长，导致静态功耗增加[8]。为了降低静态功耗，可加一个动态电流发生器，它只在电平转换时起作用，但这又会导致传输延迟增加。

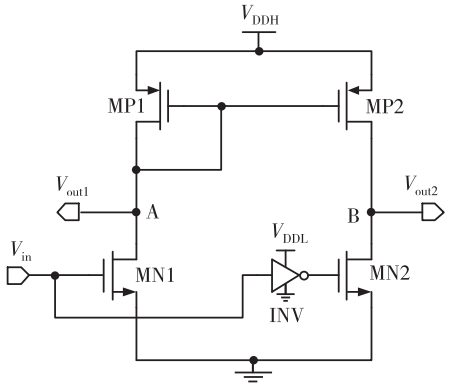


图 2 基于电流镜的电平位移电路

2 新型电平位移电路

新型的电平位移电路如图 3 所示。该新结构引入了瞬态增强结构，即 MP3 与 MP4 管、MP5 与 MP6 管构成的两个瞬态增强结构。在电平跳变时，电路可实现快速转换，并在稳定后退出，实现了低功耗。MP1 与 MP2 构成正反馈结构，加速电平的转换，实现快速响应。该电平位移电路能够快速、稳定地将 0～V_{DDL}的输入控制信号转换为 0～V_{DDH}的输出控制信号。

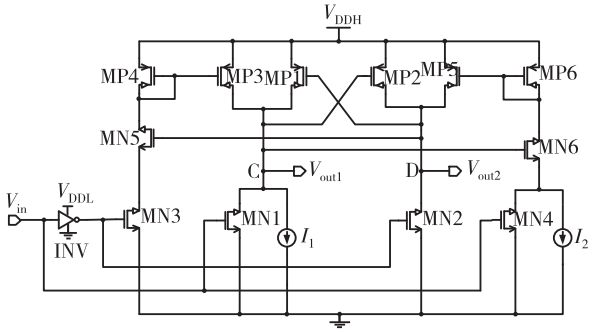


图 3 新型电平位移电路

电流源 I_1 与 I_2 的作用是确定电路的初始态。在电路上电的过程中，V_{in} 相对于供电电压的状态不确定，使得 MN1、MN2、MN3、MN4 管工作状态也无法确定。如果没有电流源 I_1、I_2 的存在，输出 V_{out1}、V_{out2} 则为不确定状态，输出状态紊乱。此时，I_2 通过 MP5、MP6 电流镜对 V_{out2} 节点进行充电，将 V_{out2} 拉高，I_1 对 V_{out1} 节点放电，将 V_{out1} 拉低，这样就可确定电路的初始状态，保证了电路的高可靠性。

2.1　输入翻高时的状态转换过程

当 V_{in} 为 0 时，V_{out1} 为 V_{DDH}，V_{out2} 为 0。当 V_{in} 跳变为 V_{DDL} 时，MN1、MN4 管开启，MN2、MN3 管关断。电平转换过程可以分为 3 个阶段，过程示意图如图 4 所示。

当 V_{in} 为 0 时，电路有三条从 V_{DDH} 到 GND 的通路可产生静态电流，分别为：1）MP1 深线性区流过的电流 I_1；2）MN2 深线性区通过 MP5、MP6 电流镜流过的电流 I_2；3）流过 MP6、MN6 的 I_2。总的静态电流 I_q 为：

$$I_q = I_1 + 2I_2 \tag{1}$$

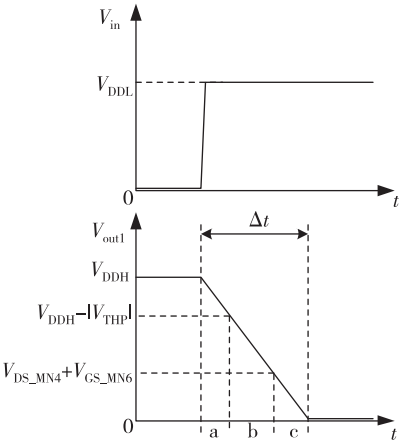


图 4　V_{in} 从 0 跳变为 V_{DDL} 的逻辑示意图

当 $V_{DDH}-|V_{THP}| \leqslant V_{out1} < V_{DDH}$ 时，MN6 管仍处于开启状态，MN2 管电流出现下降趋势，直至消失。MN4 管则逐渐开启，电流出现上升趋势，直至稳定，使 MN6、MP6 管通过的电流增加为 MN4 和 I_2 上的电流。这一支路的电流通过 MP5、MP6 电流镜对节点 D 进行充电，拉高 V_{out2} 的电压。此时，上拉 V_{out2} 的最大电流为：

$$I_{max,up} = I_{MP5} + I_2 \tag{2}$$

同时，MN1 管逐渐开启，产生下拉电流，由 MN1 和 I_1 上的电流对节点 C 进行放电，拉低 V_{out1} 的电压。此时，下拉 V_{out1} 的最大电流为：

$$I_{max,down} = I_{MN1} + I_1 \tag{3}$$

当 $V_{DS_MN4}+V_{GS_MN6} \leqslant V_{out1} < V_{DDH}-|V_{THP}|$ 时，MP2、MN6 管均开启，流过 MP2 管的电流与流过 MP5 管的电流共同对节点 D 充电，抬高 V_{out2} 的电位。同时，在 V_{out2} 电位抬高时，流过 MP1 管的电流减小，避免了因 MP1 管上拉能力高于 MN1 管下拉能力而致 V_{out1} 电位不能下降的情况。在瞬态时，电路具有高稳定性。V_{out1} 电位下降后，使得流过 MP2 管的电流增大，加速了 V_{out2} 节点的电位上升，形成正反馈过程。

节点 D 由两股电流上拉，节点 C 只由一股电流下拉（相对于 MOS 管的源漏电流，I_1 很小），所以造成上拉与下拉不平衡，避免电路进入亚稳态。在 $V_{DS_MN4}+V_{GS_MN6} \leqslant V_{out1} < V_{DDH}$ 期间（如图 4 中的 a、b 阶段），电路实现了瞬态增强机制，使 V_{out1} 加速下降，V_{out2} 加速上升。在此阶段，对 V_{out2} 上拉的电流为：

$$I_{max,up} = I_{MP2} + I_{MP5} \tag{4}$$

对 V_{out1} 下拉的电流为：

$$I_{max,down} = I_{MN1} + I_1 \approx I_{MN1} \tag{5}$$

当 $V_{out1} < V_{DS_MN4}+V_{GS_MN6}$ 时，MN6、MN4 管的电流出现下降趋势，直至关断。此时，流过 MP2 的电流对节点 D 进行充电，直至节点 D 电压达到 V_{DDH}。V_{out1} 电压降低可增加 MP2 的电流。当 V_{out2} 的电压被拉高至 $V_{DDH}-|V_{THP}|$ 时，MP1 管关断，MN1 管电流减小，但仍继续对节点 C 放电，直至 V_{out} 电压为 0。最终，V_{in} 稳定在 V_{DDL} 时，V_{out1} 为 0，V_{out2} 为 V_{DDH}。

2.2　输入翻低时的状态转换过程

当 V_{in} 为 V_{DDL} 时，V_{out1} 为 0，V_{out2} 为 V_{DDH}。当 V_{in} 跳变为 0 时，MN2、MN3 管开启，MN1、MN4 管关断。电平转换过程同样可以分为 3 个阶段，逻辑示意图如图 5 所示。当 V_{in} 为 V_{DDL} 时，MN1 在深线性区和 I_1 一起连接 V_{out1} 到 GND，MP2 在深线性区连接 V_{out2} 到 V_{DDH}。

当 $V_{DDH}-|V_{THP}| \leqslant V_{out2} < V_{DDH}$ 时，MP1 管关断，MN5 管仍处于开启状态，MN1 管电流出现下降趋势，直至消失。MN3 管逐渐开启，电流出现上升趋势，直至稳定，使 MN5、MP4 管这一支路的电流通过 MP3、MP4 电流镜对节点 C 进行充电，拉高 V_{out1} 的电压。此时，上拉 V_{out1} 的最大电流为：

$$I_{max,up} = I_{MP3} \tag{6}$$

MN2 管逐渐开启后，产生下拉电流，对节点 D 进行放电，拉低 V_{out2} 的电压。此时，下拉 V_{out2} 的最大电流为：

$$I_{\max,\mathrm{down}}=I_{\mathrm{MN2}} \tag{7}$$

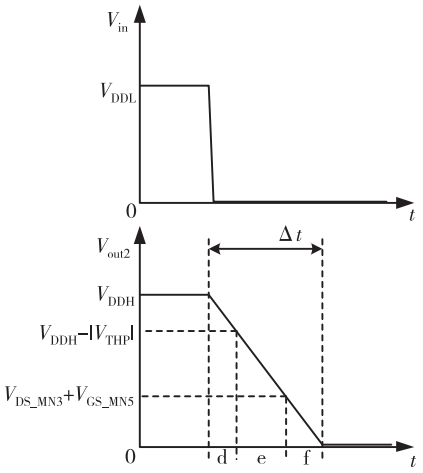


图 5 V_{in}从V_{DDL}跳变为 0 的逻辑示意图

当$V_{\mathrm{DS_MN3}}+V_{\mathrm{GS_MN5}}\leqslant V_{\mathrm{out2}}<V_{\mathrm{DDH}}-|V_{\mathrm{THP}}|$时，MP1、MN5 管均开启，流过 MP1 管的电流与流过 MP3 管的电流共同对节点 C 充电，抬高V_{out1}的电压。同时，在V_{out1}电压太高时，会减小流过 MP2 管的电流，避免因 MP2 管上拉能力高于 MN2 管下拉能力而导致V_{out2}电压不能下降的情况。在瞬态时，电路具有高稳定性。V_{out2}电位下降后，使得流过 MP1 管的电流增大，使V_{out1}节点电位加速上升，形成正反馈过程。

节点 C 由两股电流上拉，节点 D 只由一股电流下拉，造成上拉与下拉不平衡，避免电路进入亚稳态。在$V_{\mathrm{DS_MN3}}+V_{\mathrm{GS_MN5}}\leqslant V_{\mathrm{out2}}<V_{\mathrm{DDH}}$期间（如图 5 中 d、e 阶段），电路实现了瞬态增强机制，使V_{out2}加速下降，使V_{out1}加速上升。期间对V_{out1}上拉的电流为：

$$I_{\max,\mathrm{up}}=I_{\mathrm{MP1}}+I_{\mathrm{MP3}} \tag{8}$$

对V_{out2}下拉的电流为：

$$I_{\max,\mathrm{down}}=I_{\mathrm{MN2}} \tag{9}$$

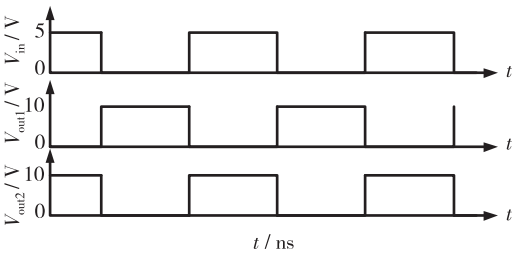
当$V_{\mathrm{out2}}<V_{\mathrm{DS_MN1}}+V_{\mathrm{GS_MN5}}$时，MN5 管上的电流出现下降趋势，直至关断。此时，流过 MP1 管的电流对节点 C 充电，直至V_{out1}电压达到V_{DDH}。V_{out2}电压降低，可增加 MP1 的电流，MN6 管上的电流逐渐上升，直至管子开启。当V_{out1}的电压达到$V_{\mathrm{DDH}}-|V_{\mathrm{THP}}|$时，MP2 管关断，MN2 管电流减小，但仍继续对 D 点进行放电，直至V_{out2}电压为 0。最终，V_{in}稳定在V_{DDH}时，V_{out1}为V_{DDH}，V_{out2}为 0。

本文电路通过 MP3 与 MP4、MP5 与 MP6 构成的瞬态增强结构和 MP1 与 MP2 构成的正反馈结构，实现了电平位移电路的快速响应、高可靠性、低功耗和稳定转换。

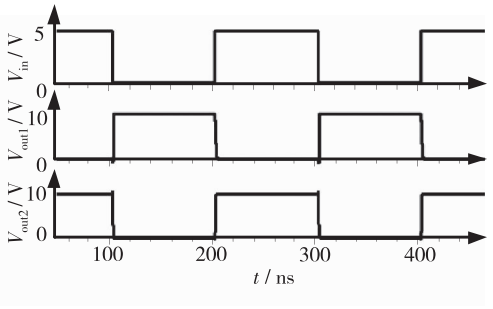
3 电路仿真与对比

本文低功耗高稳态电平移位电路中，除了输入反相器采用常压 CMOS 器件，其他部分都采用了 LDMOS 器件。基于标准的 0.35 μm BCD 工艺，进行了设计与仿真。

新型电平位移电路的理论波形和瞬态仿真波形如图 6 所示。输入方波信号的高电平V_{DDL}为 5 V，输入方波的信号频率为 5 MHz，输出信号的高电平V_{DDH}为 10 V。V_{out1}与V_{out2}为电平转换后的一对相反的逻辑信号。可以看出，I_1、I_2 电流很小，均为 nA 级。



（a）理论波形



（b）瞬态仿真波形

图 6 本文电路的理论波形和瞬态仿真波形

输入电压V_{in}为 0～5 V 时，V_{out1}与V_{out2}为一对互补的输出信号，在 27 ℃下，当V_{in}信号由低电平跳变到高电平时，V_{out1}被快速拉低，V_{out2}被快速拉高。

输入信号由 0 V 跳变为 5 V 时的瞬态仿真波形如图 7 所示。可以看出，在开启后的一段时间内，MN1、MN4 管上的电流逐渐增大。原因是 MN6 管的开启使得 MN4 管上仍有电流，经 MP6 管镜像后，瞬态增强结构 MP5、MP2 会同时对 D 点和V_{out2}上拉，在电平跳变时实现快速转换，并在电路稳定后退出，从而实现低功耗。这就验证了该电路的瞬态增强机制。

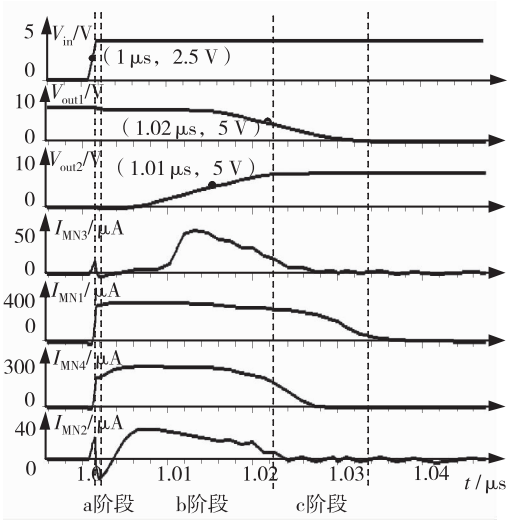


图 7　V_{in}从 0 V 跳变为 5 V 的仿真波形

输入信号由 5 V 跳变为 0 V 的瞬态仿真波形如图 8 所示。可以看出，在开启后一段时间内，MN2、MN3 管上的电流逐渐增大。原因是 MN5 管的开启使得 MN3 上仍有电流，经 MP4 管镜像后，瞬态增强结构 MP3、MP1 同时对 C 点和 V_{out1} 上拉，在电平跳变时实现快速转换，并在电路稳定后退出，实现低功耗。

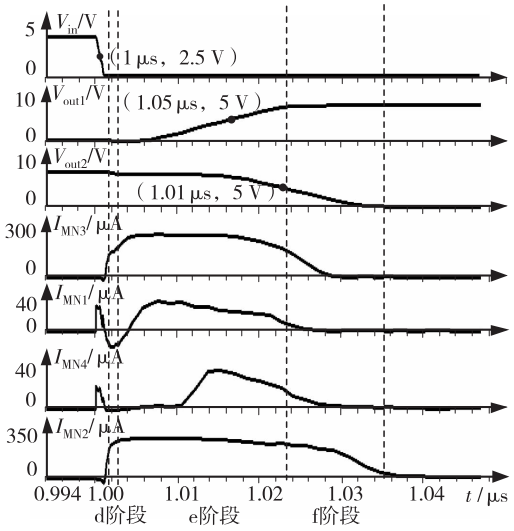
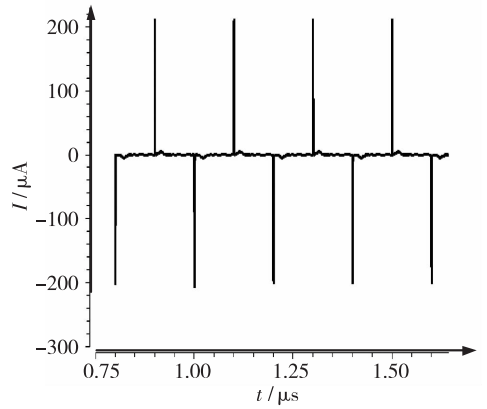
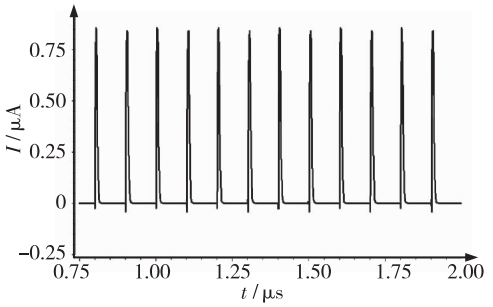


图 8　V_{in}从 5 V 跳变为 0 V 的仿真波形

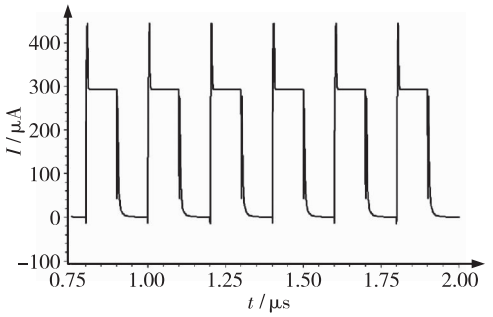
对各类电平位移电路的功耗电流进行比较，如图 9 所示。I_{VDDH} 表示功耗。在 5 MHz 频率下，本文新型电路的功耗为 24.8 μA。输入电压为 5 V 时，输出电压为 10 V。相同工艺、器件条件下，传统交叉耦合型电路的功耗为 120.9 μA，基于电流镜型电路的功耗为 156.4 μA。本文电路的功耗大幅降低，比基于电流镜型电路的功耗降低了 85%。



（a）本文新型电路



（b）传统交叉耦合型



（c）基于电流镜型

图 9　各类电平位移电路的功耗电流比较

本文电路加入了瞬态增强电路，实现了高可靠性，减小了静态电流，降低了功耗。但因为是多 LDMOS 结构，面积较大，栅漏电容较大，造成开关速度有一定降低。本文电路仍有小电流源的静态功耗。

4　结　论

本文设计了一种新型低功耗高稳态的电平位移电路。采用瞬态增强结构，有效提高了电路的可靠性，降低了功耗。本文基于 HHNEC 0.35 μm BCD 工艺，采用多 LDMOS 耐压器件，对该电路进行了仿真验证。结果表明，本文电平位移电路的动态功耗为 24.8 μA，仅为基于电流镜型电路功耗的 15%。上

升沿响应速度为 12.7 ns，下降沿响应速度为 22.8 ns。该电路具有初态稳定、可靠性高、功耗低的特点。

参 考 文 献：

[1] GARCIA J C, MONTIEL-NELSON J, NOOSHABADI S. High performance bootstrapped CMOS dual supply level shifter for 0.5 V input and 1 V output [C] // IEEE 12th Euro Micro Conf Dig Syst Des, Archit, Meth & Tool. Patras, Greece. 2009: 311-314.

[2] DOUTRELOIGNE J. A fully integrated ultra-low-power high-voltage driver for bistable LCDs [C] // Int Symp VLSI Des, Autom & Test. Taiwan, China. 2006: 267-270.

[3] CHEBLI R, SAWAN M, SAVARIA Y, et al. High performance bootstrapped CMOS dual supply level shifter for 0.5 V input and 1 V output [C] // IEEE Int Symp Circ & Syst. New Orleans, LA, USA. 2007: 3343-3346.

[4] BUYLE J, DE GEZELLE V, BAKEROOT B, et al. A new type of level-shifter for n-type high side switches used in high-voltage switching ADSL line-drivers [C] // IEEE Int Symp Circ & Syst. St. Julien's, Malta. 2008: 954-957.

[5] LANUZZA M, CORSONELLO P, PERRI S. Fast and widerange voltage conversion in multisupply voltage designs [J]. IEEE Trans VLSI Syst, 2015, 23 (2): 388-391.

[6] MAGHSOUDLOO E, REZAEI M, SAWAN M, et al. A power efficient wide-range signal level-shifter [C] // IEEE Proc NEWCAS. Grenoble, France. 2015: 1-4.

[7] CORSONELLO P, PERRI S, FRUSTACI F. Exploring well configurations for voltage level converter design in 28 nm UTBB FDSOI technology [C] // IEEE Proc ICCD. New York, NY, USA. 2015: 499-504.

[8] ZHOU J, WANG C, LIU X, et al. An ultra-low voltage level shifter using revised Wilson current mirror for fast and energy-efficient wide-range voltage conversion from sub-threshold to I/O voltage [J]. IEEE Trans Circ Syst I: Reg Pap, 2015, 62(3): 697-706.

（上接第 314 页）

[12] KHAN I A, SHAIKH D, BEG M T. 2 GHz low power double edge triggered flip-flop in 65 nm CMOS technology [C] // IEEE Int Conf Signal Process, Comput & Control. Solan, India. 2012: 1-5.

[13] DEVARAPALLI S V, ZARKESH-HA P, SUDDARTH S C. A robust and low power dual data rate (DDR) flip-flop using C-elements [C] // 11th ISQED. San Jose, CA, USA. 2010: 147-150.

[14] LAPSHEV S, HASAN S M R. New low glitch and low power DET flip-flops using multiple C-elements [J] IEEE Trans Circ Syst I: Regu Pap, 2016, 63(10): 1673-1681.

[15] SHAMS M, EBERGEN J C, ELMASRY M I. Modeling and comparing CMOS implementations of the C-element [J] IEEE Trans VLSI Syst, 1998, 6 (4): 563-567.

[16] TSCHANZ J, NARENDRA S, CHEN Z, et al. Comparative delay and energy of single edge-triggered and dual edge-triggered pulsed flip-flops for high-performance microprocessors [C] // Int Symp Low Power Elec & Des. Huntington Beach, CA, USA. 2001: 147-152.

[17] Predictive technology model (PTM) for SPICE [EB/OL]. http://ptm.asu.edu, 2012.

一种快速瞬态响应 Buck 变换器设计

李 博，罗 萍，肖皓洋，杨朋博
（电子科技大学 电子薄膜与集成器件国家重点实验室，成都 610054）

摘 要： 提出了一种基于锁相环锁频锁相 ACOT 控制模式的 Buck 变换器。该变换器具有快速瞬态响应的特点。分析发现，在负载阶跃时，传统 ACOT 控制模式 Buck 变换器受到最小关断时间和锁相环速度的限制，不能完全发挥其瞬态响应快的优势。设计了一种根据设定的开关频率可自适应调节环路参数的 Buck 变换器，它在较宽的开关频率下具有快速的瞬态响应特性。采用 0.18 μm BCD 工艺对提出的 Buck 变换器进行仿真验证。结果表明，负载电流从 1 A 跳变到 5 A 时，输出电压下冲恢复时间减小为 1.68 μs。

关键词： Buck 变换器；自适应恒定导通时间；快速瞬态响应
中图分类号：TN86；TN433 **文献标识码：**A **文章编号：**1004-3365(2020)03-0321-05
DOI：10.13911/j.cnki.1004-3365.190386

Design of a Fast Transient Response Buck Converter

LI Bo, LUO Ping, XIAO Haoyang, YANG Pengbo
(*State Key Lab. of Elec. Thin Films and Integr. Dev., Univ. of Elec. Sci. and Technol. of China, Chengdu* 610054, *P. R. China*)

Abstract: A buck converter based on phase-locked loop frequency-locked ACOT control was introduced, which had the characteristics of fast transient response. It was analyzed that the traditional ACOT-controlled buck converter was limited by the minimum off-time and the speed of the phase-locked loop during the load step, and couldn't fully exploit the advantage of fast transient response. A buck converter was proposed, which could adaptively adjust the loop parameters according to the set switching frequency. The proposed converter had fast transient response characteristics at a wide switching frequency. The buck converter was simulated and verified by a 0.18 μm BCD process. The results showed that, when the load current changed from 1 A to 5 A, the output voltage undershoot recovery time was reduced to 1.68 μs.

Key words: buck converter; adaptive constant on-time; fast transient response

0 引 言

随着便携式电子设备（如手机、平板、相机等）的性能飞速提升，系统对 DC-DC 变换器的要求越来越高，需要 DC-DC 变换器具有高效率、小封装、快速瞬态响应等特点[1-2]。电子设备的负载电流随时可变，因此负载瞬态响应是一项重要指标。恒定导通时间（Constant on time，COT）模式电流模 Buck 变换器因具有瞬态响应快、轻载效率高、补偿简单等优点而被广泛应用。

传统 COT 控制模式 Buck 变换器的上管导通时间 T_{ON} 恒定，在不同输入输出情况下，开关频率会发生变化。设置 T_{ON} 与输入电压成反比，与输出电压成正比，使得开关频率恒定，这就是自适应恒定导通时间（Adaptive Constant On Time，ACOT）模式[3]。该模式不需要时钟控制，在负载从轻载跳变为重载时，系统可按最小关断时间 T_{OFFMIN} 进行开关

收稿日期：2019-07-02；**定稿日期：**2019-07-29
作者简介：李 博（1994—），男（汉族），河南灵宝人，硕士，研究方向为模拟集成电路和 DC-DC 变换器。
罗 萍（1968—），女（汉族），四川成都人，教授，博导，研究方向为智能功率集成电路与系统。通信作者，E-mail：pingl@uestc.edu.cn。

动作，提升瞬态开关频率，使电感电流快速升高到负载所需值，加快了瞬态响应速度。但是，受到功率管导通电阻和寄生参数等的影响，开关频率不会恒定不变。有文献利用锁相环进行锁频锁相[4]，但难以在较宽工作频率下锁频锁相，瞬态响应在高开关频率和低占空比下不太理想。本文基于 0.18 μm BCD 工艺，设计了一种基于锁相环锁频锁相的快速瞬态响应 ACOT 控制的 Buck 变换器。

1　传统锁相环锁频锁相方案

基于锁相环锁频锁相的传统谷值电流模 ACOT 模式 Buck 变换器的结构如图 1 所示。

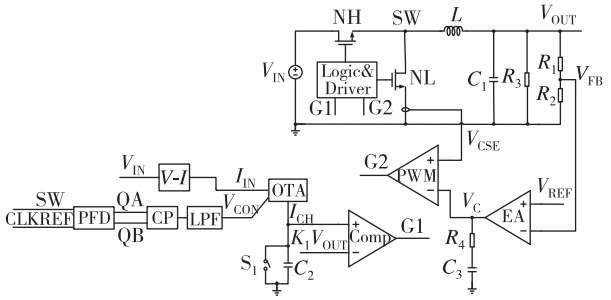


图 1　基于锁相环锁频锁相的传统 Buck 变换器

鉴频鉴相器(PFD)检测 SW 点波形和基准时钟信号 CLKREF 波形的频率差与相位差，输出脉冲信号 QA 和 QB，以此作为电荷泵(CP)的输入信号。CP 根据脉冲信号对低通滤波器(LPF)注入或抽出电流，以改变 LPF 上的电压 V_{CON}。电源电压 V_{IN} 经电压-电流(V-I)转换电路转换为电流信息 I_{IN}。$I_{IN}=V_{IN}/R_D$，其中 R_D 为转换电流系数。I_{IN} 输入到跨导放大器(OTA)中，经 V_{CON} 的调节，输出电流 I_{CH}。$I_{CH}=K_2I_{IN}$，其中 K_2 包含 V_{CON} 信息。

当功率下管(NL)导通时，电感电流减小，下管电流采样信息 V_{CSE} 也减小。当 V_{CSE} 下降到误差比较器(EA)的输出 V_C 时，PWM 输出信号翻转，送至逻辑模块中，功率下管关闭，I_{CH} 开始对电容 C_2 充电。当电压上升到 K_1V_{OUT} 时(K_1 为 V_{OUT} 的分压系数)，计时结束，比较器(Comp)翻转，信号送至逻辑模块，功率上管关闭，功率下管开启，循环进行下个周期。T_{ON} 由 V_{IN}、V_{OUT} 和 V_{CON} 决定，为：

$$T_{ON}=\frac{K_1V_{OUT}C_2R_D}{K_2V_{IN}} \tag{1}$$

根据占空比 D 与 T_{ON} 的关系，得到系统的开关频率：

$$f_{SW}=\frac{K_2}{K_1C_2R_D} \tag{2}$$

开关频率 f_{SW} 是与 V_{IN}、V_{OUT} 无关的量，由片内电容 C_2、电阻 R_D 和 V_{CON} 决定，锁相环通过调节 V_{CON} 来完成锁频锁相。这种基于锁相环的传统锁频锁相技术存在不足。目前，多数芯片的开关频率是可调的，可通过外部给入时钟(即外同步模式)或改变片外调频电阻来实现。但是，如果只引入 V_{IN} 和 V_{OUT}，则要求锁相环调节 I_{CH} 的能力较大，这样才能在较宽频率范围内锁频锁相。负载从轻载跳变到重载时，锁相环检测到实际开关频率高于设定频率后，电路通过 V_{CON} 来调整 I_{CH}，以增大 T_{ON}，减小 T_{OFFMIN} 对等效占空比的限制，使电感电流很快地提升到负载所需值，加快瞬态响应速度。

从效率、纹波和封装等方面综合考虑，需要 Buck 芯片可在较宽开关频率下工作。但在设计系统环路时，为保持稳定性，环路一般是按照最低开关频率来设定。在高开关频率工作时，Buck 和 PLL 的增益带宽积(GBW)都低于开关频率系数。因此，瞬态响应并不是最优方案。针对上述问题，本文对 Buck 和 PLL 环路补偿方案进行优化。

2　Buck 环路自适应补偿方案

为确保 Buck 变换器在宽开关频率下能保持环路稳定和具有最优的负载阶跃响应，需要 Buck 环路与 PLL 环路能根据设定的开关频率，自适应地调节环路参数。PLL 环路一般为片内设定参数，片外不能改变。对于片外补偿的 Buck 变换器，可按照工作频率来选取补偿参数，使环路最优。一旦制成 PCB 后就不能随意更换补偿器件。片外补偿需要额外的补偿器件，不利于形成小封装。

为了实现根据设定的开关频率可自适应调节环路参数，首先需要获取设定的开关频率信息。Buck 变换器的基准时钟设定有两种方案，一种是通过改变片外调频电阻的阻值来实现频率设定，另一种是外部输入时钟信息，即外同步模式。

有外部时钟输入时，以外部输入的时钟信息为准；否则，以调频电阻给出的频率信息为准。PLL 锁频锁相结构如图 2 所示。时钟检测模块 CLKDET 检测外部是否有输入时钟信息。当检测到处于外同步模式时，时钟同步锁相环的 LPF1 给出控制电压 V_{CON1} 到 OTA1 中，产生电流信息 I_{OTA1}，送至张弛振荡器 VCO1 中，产生基准时钟 CLKREF，供内部锁频锁相环使用。当没有检测到外部输入时钟信息时，将 IR 模块通过 R_T 给出的电

流信息 I_{RT} 送至 VCO1 中，产生时钟信息。张弛振荡器产生时钟的频率与对振荡器中电容的充放电电流成正比。引出对电容的充放电电流，则得到与频率成正比的电流信息 I_{CLK}。

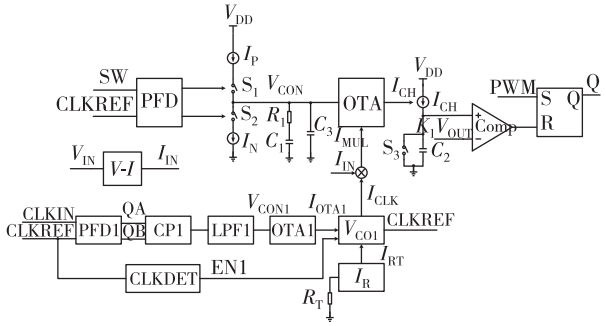


图 2　PLL 锁频锁相结构

对于 COT 模式谷值电流模 Buck 变换器，环路补偿方案较简单，这是 COT 电流模的优势之一，一般采用二型补偿，引入一个极点与一个零点。选取补偿的极点作为主极点，该极点的位置不随负载的变化而变化。主极点后是输出级的极点，输出级极点后是补偿的零点。利用描述函数法[5]，可得到控制电感电流的传递函数。考虑补偿后，系统的环路增益为：

$$LG_B(s)=\frac{R_{F2}}{R_{F1}+R_{F2}}\frac{g_{mEA}R_{EA}(R_CC_Cs+1)}{R_{EA}C_Cs+1}\times\frac{1}{R_i}\frac{1}{1+\frac{s}{Q_1\omega_1}+\frac{s^2}{\omega_1^2}}\frac{R_L(R_{CO}C_Os+1)}{(R_L+R_{CO})C_Os+1} \tag{3}$$

式中，R_{F1} 和 R_{F2} 为反馈电阻，g_{mEA} 为 EA 的跨导，R_{EA} 为 EA 的输出阻抗，R_C、C_C 分别为二型补偿的电阻和电容，R_i 为采样电阻系数。$Q_1=2/\pi$，$\omega_1=\pi/T_{ON}$。C_O 为输出电容，R_{CO} 为 ESR 电阻。

双极点位置在 ω_1 处，不会移动到右半平面，且位置较高，在分析时可忽略。输出电容 ESR 产生的零点位置也较高，分析时也可忽略。分析时发现，计算得到的系统的穿越频率与负载无关，而与补偿电阻 R_C 有关。Buck 变换器的 GBW 为：

$$GBW_B=\frac{R_{F2}}{R_{F1}+R_{F2}}\times\frac{1}{R_i}\times\frac{g_{mEA}}{2\pi C_O}R_C \tag{4}$$

可知，GBW 与负载电阻 R_L 无关，与补偿电阻 R_C 成正比。

为使 Buck 变换器的 GBW 能随设定工作频率变化而变化，可通过改变二型补偿中的 R_C 值来实现。片外补偿电阻很难在应用中实时改变，因此需要采用片内补偿方案。在片内补偿方案中，补偿电阻通过线性区 MOS 实现，补偿电容 C_C 通过电流模电容倍增实现。为了获得所需的瞬态响应和稳定性，选取 Buck 变换器的 GBW 为开关频率的 1/10～1/5。Buck 变换器的片内补偿方案如图 3 所示。

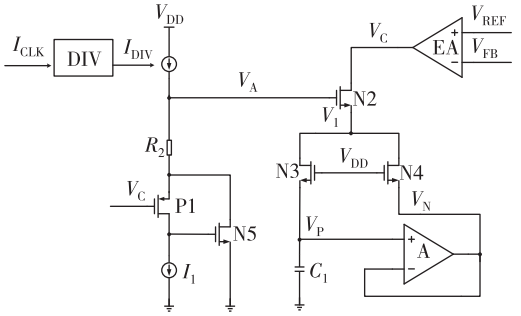


图 3　自适应片内补偿方案

V_C 为 EA 的输出，V_C 经过 P1 抬压，加上电阻 R_2 上的电压，得到 N2 的栅极电压 V_A：

$$V_A=V_C+V_{THP1}+V_{OVP1}+I_{DIV}R_2 \tag{5}$$

式中，V_{THP1} 为 P1 的阈值电压，V_{OVP1} 为 P1 的过驱动电压，两者相加为 P1 的栅源电压。N2 处于深线性区，源极电压 V_1 与漏极电压 V_C 近似相等，可以得到线性区电阻 R_{N2}，N2 与 P1 的阈值电压相差很小。源随器抬压时，采用超级源随器结构，流过 P1 的电流为很小的固定偏置电流 I_1。P1 的 V_{OVP1} 很小，减小了 I_{DIV} 变化对 V_{OVP1} 的影响，使得 R_{N2} 与 I_{DIV} 的相关度更好。电阻 R_{N2} 为：

$$R_{N2}=\frac{1}{\beta R_2 I_{DIV}} \tag{6}$$

式中，β 为增益因子。补偿电阻 R_{N2} 与 I_{DIV} 成反比。选取 I_{DIV} 与 I_{CLK} 成反比，可用电流除法器(DIV)得到。除法器利用线性跨导环原理实现，能实现补偿电阻与设定工作频率成正比，使得 GBW 与设定工作频率成正比。通过改变补偿零点的位置，改变了 GBW，保证了零点远小于 GBW，实现了系统相位裕度在合适范围内。

3　PLL 的自适应方案设计

本文设计的 PLL 锁频锁相 Buck 变换器中，锁相环的 PFD 检测 SW 点波形与 CLKREF 波形，将信息传递给 CP，CP 对 LPF 灌入或抽出电流，改变 V_{CON}，V_{CON} 通过 OTA 调整 I_{CH}，I_{CH} 控制 T_{ON}，进而控制开关频率，最终实现锁相环锁频锁相的功能。V_{CON} 通过 OTA 调整 T_{ON}，以改变 Buck 的开关频率。因此，可将 OTA 与整个 Buck 环路简化等效为一个压控振荡器[6]。为使 PLL 不影响 Buck 环路的正常工作，需将 PLL 环路设置为相对于 Buck 环路

的慢环，否则瞬态跳变时，PLL 会把开关频率锁频到设定频率，这就失去了 COT 模式的优势。一般地，选取 PLL 的 GBW 为 Buck 环路的 1/3。

为了最优化带有 PLL 的 Buck 对瞬态响应的提升效果，需使 PLL 的 GBW 能够跟随 Buck 的工作频率变化而变化。按图 2 推导，等效 K_{VCO} 为：

$$K_{VCO}=\frac{2\pi g_{mOTA}}{V_{IN}C_2K_1} \tag{7}$$

PLL 的环路增益为：

$$LG_P(s)=\frac{I_P g_{mOTA}}{V_{IN}C_2K_1}\frac{sC_1R_1+1}{s^2(sC_1C_3R_1+C_1+C_3)} \tag{8}$$

由分析可知，在两个零频极点后，有一个零点和一个高频极点，将穿越频率设置到零点与高频极点间，就能保证合适的相位裕度，得 PLL 的 GBW：

$$GBW_P=\frac{I_P g_{mOTA}C_1R_1}{2\pi V_{IN}C_2K_1(C_1+C_3)} \tag{9}$$

由式(9)可知，GBW 与 OTA 的跨导成正比，与 V_{IN} 成反比。将跨导设为与 V_{IN} 和设定的工作频率成正比，GBW 则与工作频率成正比。OTA 的电路如图 4 所示。

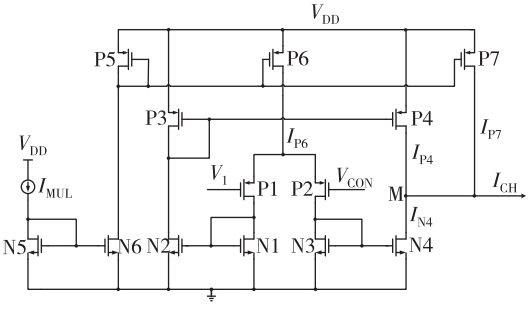


图 4　OTA 电路

本文 Buck 系统中，锁相环的 GBW 相对较小，所以 OTA 的跨导不能过大。可选用亚阈区 MOS 管作输入器件的 OTA[7]。I_{P6} 的电流较小，P1 和 P2 处于亚阈区，亚阈区跨导与偏置电流成正比，所以 OTA 的跨导与 I_{MUL} 成正比。I_{MUL} 为偏置电流，数值上等于 I_{IN} 和 I_{CLK} 的乘积，乘法器可通过线性跨导环原理实现。OTA 的跨导与 I_{MUL} 成正比，I_{MUL} 与 V_{IN} 和设定频率成正比。这就实现了跨导与输入电压和设定频率成正比，从而实现 GBW 可跟随设定的开关频率变化而变化。

在宽工作频率范围的 Buck 变换器中，PLL 环路和 Buck 环路的 GBW 都可跟随设定的开关频率变化而变化，避免了传统变换器中按最低工作频率设置环路参数和确定 GBW 的情况。因此，高频下的瞬态响应和重新锁定速度得到提升。

4　仿真结果与分析

本文基于 0.18 μm BCD 工艺进行设计，使用 Cadence 软件进行仿真验证。输入电压为 3.8 V，输出电压为 0.75 V，电感为 240 nH，输出电容为 47 μF，设定的开关频率范围为 1.5～3 MHz。

对负载瞬态阶跃进行仿真，负载电流由轻载 1 A跳变至重载 5 A。电感电流不能突变，负载会从输出电容上抽取电流，输出电压下降，导致反馈电压下降，使得 EA 的输出抬高。在上功率管开启 T_{ON} 后，会关断 T_{OFFMIN} 时间，上功率管会再次重新开启，即 T_{OFFMIN} 会限制电感电流上升的速度。自适应方案中，锁相环能更快地响应，使系统的实际开关频率高于设定的开关频率，通过调节 V_{CON}，使得 T_{ON} 增长，等效占空比变大，电感电流值能以更短时间提升到负载所需值。因此，瞬态响应速度得到了提高。

工作频率为 3 MHz 时固定补偿和自适应补偿系统的阶跃仿真曲线分别如图 5、图 6 所示。

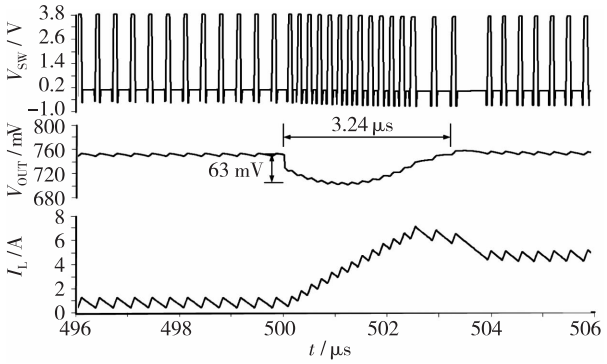


图 5　3 MHz 工作频率下固定补偿仿真曲线

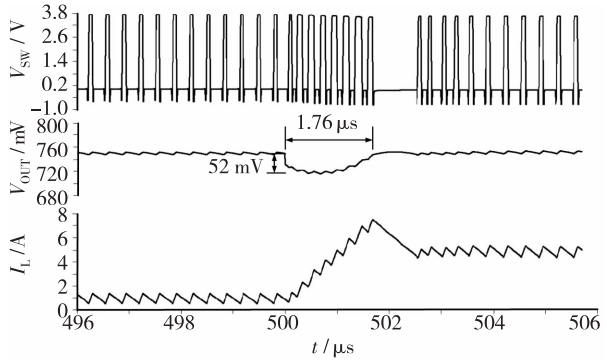


图 6　3 MHz 工作频率下自适应补偿仿真曲线

对于固定补偿系统，负载电流从 1 A 跳变到 5 A时，下冲电压为 63 mV，恢复时间为 3.24 μs，重新锁频锁相时间为 15.3 μs。对于本文自适应补偿系统，下冲电压为 52 mV，恢复时间为 1.76 μs，重新

锁定时间为 8.1 μs，下冲恢复时间有很大提升。

工作频率为 2 MHz 时固定补偿和自适应补偿系统的阶跃仿真曲线分别如图 7、图 8 所示。对于固定补偿系统，负载电流从 1 A 跳变到 5 A 时，下冲电压为 50 mV，恢复时间为 2.19 μs，重新锁频锁相时间为 15.1 μs。对于本文自适应补偿系统，下冲电压为 44 mV，恢复时间为 1.68 μs，重新锁定时间为 12.2 μs，下冲恢复时间有很大提升。表 1 所示为本文与其他文献中 Buck 变换器的性能对比。

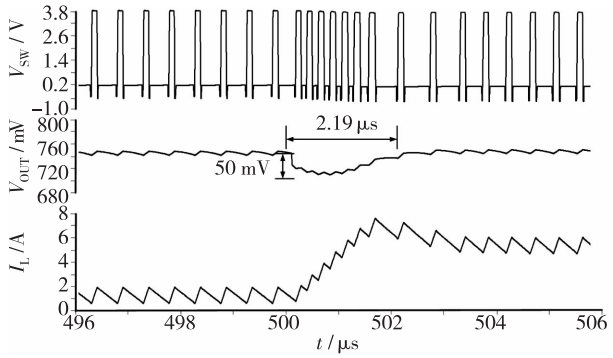


图 7　2 MHz 工作频率下固定补偿仿真图

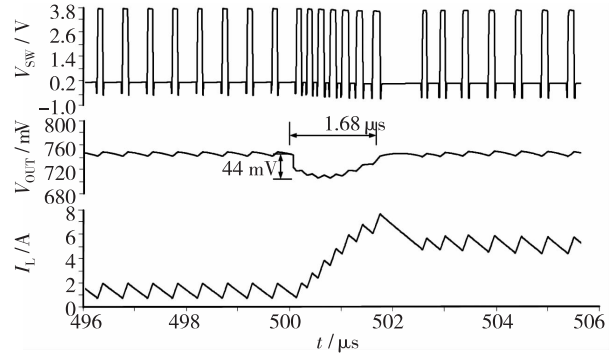


图 8　2 MHz 工作频率下自适应补偿仿真图

表 1　本文与其他文献中 Buck 变换器的性能比较

参数	文献[1]	文献[2]	文献[4]	文献[8]	本文
工艺/μm	0.18	0.065	0.35	0.028	0.18
输入电压/V	1.3～3.2	3.3	2.6～4	3.3	3～4.2
输出电压/V	1.2	1～2.5	1～2	1.05	0.75
电感/μH	4.7	4.7	4.7	1	0.24
电容/μF	10	4.7	10	4.7	47
最大电流/A	0.6	0.9	0.6	1.7	5
开关频率/MHz	1	1	1	2.5	2
阶跃电流/A	0.59	0.45	0.3	1.4	4
下冲量/mV	56	85	167	75	44
恢复时间/μs	11	4	2.5	4	1.68

可以看出，在负载电流阶跃最大的情况下，本文 Buck 变换器的恢复时间依然最短。

5　结　论

本文基于 0.18 μm BCD 工艺，设计了一种快速瞬态响应的 Buck 变换器。本文 Buck 变换器将设定的工作频率转换成电流信息，利用此信息，改变 T_{ON} 的中心时间与 Buck 和 PLL 的 GBW，使得该变换器在 1.5～3 MHz 的设定工作频率下能将锁相环的开关动作与设定时钟锁频锁相。通过自适应的环路设计，使得变换器在较宽工作频率下具有最优的瞬态阶跃效果。仿真结果验证了该变换器具有快速的瞬态响应。

参 考 文 献：

[1] 方晓斌，解光军，张章，等. 具有快速瞬态响应的电压模式 Buck 变换器 [J]. 微电子学，2017，47(2)：207-211.

[2] SUH J，SEOK J，KONG B. A fast response PWM buck converter with active ramp tracking control in a load transient period [J]. IEEE Trans Circ & Syst II：Expr Bri，2019，66(3)：467-471.

[3] 郭玮，冯全源，庄圣贤. 一种用于 COT 架构 Buck 变换器的导通定时器 [J]. 微电子学，2017，47(4)：495-504.

[4] CHEN J J，HWANG Y S，CHEN J H，et al. A new fast-response current-mode buck converter with improved I^2-controlled techniques [J]. IEEE Trans VLSI Syst，2018，26(5)：903- 911.

[5] LI J，LEE F C. New modeling approach and equivalent circuit representation for current-mode control [J]. IEEE Trans Power Elec，2010，25(5)：1218-1230.

[6] HU K，LIN S，TSAI C. A fixed-frequency quasi-V^2 hysteretic buck converter with PLL-based two-stage adaptive window control [J]. IEEE Trans Circ & Syst I：Regu Pap，2015，62(10)：2565-2573.

[7] GRASSO A D，MARANO D，PALUMBO G，et al. Design methodology of subthreshold three-stage CMOS OTAs suitable for ultra-low-power low-area and high driving capability [J]. IEEE Trans Circ & Syst I：Regu Pap，2015，62(6)：1453-1462.

[8] YANGW H，HUANG C J，HUANG H H，et al. A constant-on-time control DC-DC buck converter with the pseudowave tracking technique for regulation accuracy and load transient enhancement [J]. IEEE Trans Power Elec，2018，33(7)：6187-6198.

一种皮瓦级超低功耗基准电压源

王彦淇，王 耀，全 智
（郑州大学 信息工程学院，郑州 450001）

摘 要： 提出一种皮瓦级、超低功耗的新型基准电压源。该电路利用工作在亚阈值区的不同类型 MOS 管的栅源电压差，获得在不同工艺角下均有良好温度特性的基准电压。同时，加入校准电路来减小工艺偏差对基准电压的影响。采用 0.18 μm CMOS 工艺，对电路进行设计和仿真。仿真结果表明，该基准电压源的工作电压范围为 0.6～2 V，线性灵敏度为 0.13 %/V；在 TT 工艺角、0.6 V 电源电压下，电路典型功耗为 130 pW；在－40 ℃～110 ℃范围内，校准后，温度系数范围为 2.04×10^{-5}/℃～9.38×10^{-5}/℃。该电路适用于射频识别、无线传感器、医用植入式芯片等超低功耗片上系统中。

关键词： CMOS；低功耗；低电压；射频识别；无线传感器
中图分类号：TN432 **文献标识码：**A **文章编号：**1004-3365(2020)03-0326-05
DOI：10.13911/j.cnki.1004-3365.190396

A Picowatt Ultra-Low Power Consumption Voltage Reference

WANG Yanqi, WANG Yao, QUAN Zhi
(*School of Information Engineering, Zhengzhou University, Zhengzhou* 450001, *P. R. China*)

Abstract: A new type of voltage reference structure with ultra-low power consumption at the level of pW was proposed. To obtain a reference voltage with good temperature characteristics at different process corners, the gate-to-source voltage difference of different types of MOSFETs was used by the proposed circuit, which was operated in the subthreshold region. By using the trimming circuit, the influence of the process deviation could be reduced. The circuit was designed and simulated in a 0.18 μm CMOS technology. The simulation results showed that the linear sensitivity of the voltage reference was 0.13 %/V in a supply voltage rage of 0.6～2 V. At the conditions of TT process corner and supply voltage of 0.6 V, the power consumption was 130 pW. After trimming, the temperature coefficient ranged from 2.04×10^{-5}/℃ to 9.38×10^{-5}/℃ within the range of －40 °C to 110 °C. The circuit could be used in an ultra-low power system on chip such as radio frequency identifier, wireless sensor, medical implant chip and so on.

Key words: CMOS; low power consumption; low voltage; radio frequency identification; wireless sensor

0 引 言

近年来，电子设备体积不断减小，人们对电路重新进行设计来提高电路性能、降低电路功耗，这已成为研究热点。基准电压源作为模拟集成电路的重要组成部分，会直接影响数据转换器、锁相环(PLL)、振荡器等电路的性能。基准电压源需要具有低温度

收稿日期：2019-07-08；**定稿日期：**2019-09-09
基金项目：国家自然科学基金青年资助项目(61704022)；河南省科技攻关项目(192102210086)；郑州大学青年教师专项科研启动基金资助项目(32210904)；国家自然科学基金资助项目(U1604160)
作者简介：王彦淇(1995—)，男(汉族)，河南鹤壁人，硕士研究生，研究方向为模拟集成电路设计。
王 耀(1983—)，男(汉族)，河南南阳人，博士，副教授，研究方向为射频识别、低功耗集成电路。通信作者，E-mail：ieyaowang@zzu.edu.cn。
全 智(1978—)，女(汉族)，湖南衡阳人，博士，教授，研究方向为信号处理、FPGA 和电力线通信。

系数和低工艺偏差。另外，如果应用于低电压环境时，基准电压源需要具有低电压特性。如果应用于无源设备时，基准电压源需要具有低功耗特性。

常见的带隙基准电压源是基于双极结型晶体管(BJT)进行设计的。虽然基于 BJT 的带隙基准电压源有着很好的性能，但其最低工作电压较高，不适合低电压的工作情况。文献[1]中，采用一种纯 CMOS 开关电容技术来设计基准电压源，利用分别工作在饱和区和亚阈值区的 3.3 V、5 V 的 MOS 管，有效减小了载流子迁移率的温度依赖性和沟道长度调制效应，可以最小化基准电压的温度系数。文献[2]中，利用自偏置阈值电压提取器(SBTVE)，同时获取电压比例阈值电压(PTTV)和具有反馈的自偏置电流源(SBCS)，然后利用差分放大器，得到 PTAT 项的温度不敏感增益，并对热电压和阈值电压进行加权相加，最终获得零温度系数的基准电压。文献[3]提出一种基于亚阈值工作状态的温度补偿技术的基准电压源，亚阈值工作状态可以最小化功耗和电源电压，利用两个不同阈值电压的 NMOS 管来得到近似为两个阈值电压差值的基准电压。文献[4]中，利用一个改进的乘法器自偏置电路作为电流源子电路来产生电流，通过 PMOS 电流镜组成的偏置电压子电路来接收电流并产生输出电压。它们组成的闭环会产生两个电压、一个负温度系数和一个正温度系数，并结合它们，产生一个恒压和一个零温度系数。文献[5]中，将零电压型 NMOS 的漏电流串联到两个二极管连接的 NMOS 管上，产生一个 PTAT 的电压，利用另一种 NMOS 管的体二极管来产生 CTAT 电压，再通过放大器产生一个稳定的基准电压。

针对基准电压源功耗较高的问题，本文提出一种 pW 级基准电压源。在此基础上，加入校准电路来减小工艺偏差对基准电压源的影响。仿真结果表明，基准电压源的电源电压工作范围为 0.6～2 V；输出的基准电压处于 168.2～172.9 mV 之间；在 −40 ℃～110 ℃范围内，温度系数范围为 2.04×10^{-5}/℃～9.38×10^{-5}/℃；在 0.6 V 电源电压、室温、TT 工艺角下，功耗仅有 130 pW。

文章第 1 节主要介绍基准电压源的基本原理与电路结构；第 2 节对基准电压源电路进行仿真和分析；第 3 节给出结论。

1　基准电压源的基本原理

本文提出的低工艺偏差低功耗基准电压源如图 1 所示。该基准源由启动电路、基准产生电路和校准电路三部分组成。

基准电压源的基本工作原理是：MN3 管与 MN4 管的漏电流 I_{MN3} 与 I_{MN4} 相等，通过两管的阈值电压差来抵消温度对电压源的影响，产生一个与温度无关的基准电压。

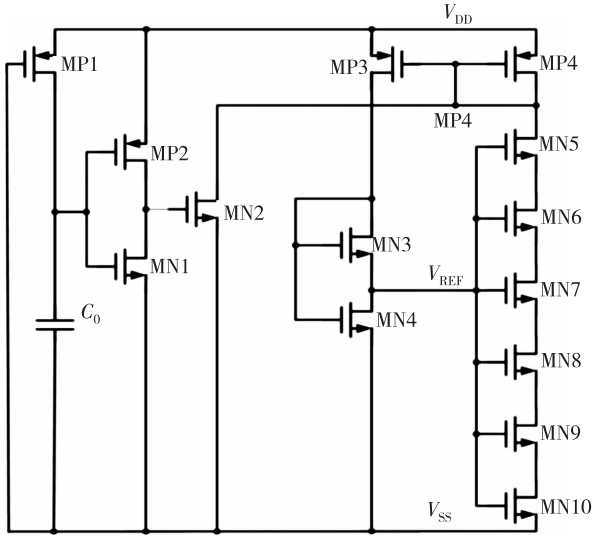


图 1　本文提出的低功耗基准电压源

1.1　基准产生电路

基准产生电路由 MP3、MP4 管以及 MN3～MN10 这 10 个 MOS 管组成。MP4 管是对 MP3 管的一个镜像，通过调节两管宽长比的比值，可以减小 MP4 管的漏电流，降低基准源的功耗。本文中，两管的宽长比比值为 $K_{MP3}:K_{MP4}=2:1$，MN3 管是工作电压为 1.8 V 的 NMOS 管，MN4 管为工作电压为 3.3 V 的 NMOS 管。

工作在亚阈值区的 MOS 管的漏电流为[4]：

$$I_D=I_0K\exp\left(\frac{V_{GS}-V_{TH}}{nV_T}\right)\times\left[1-\exp\left(-\frac{V_{DS}}{V_T}\right)\right] \tag{1}$$

式中，$I_0=\mu C_{ox}(n-1)V_T^2$，μ 为载流子迁移率，C_{ox}为单位栅氧化层电容，n 为亚阈值斜率因子；V_{TH}是 MOS 管的阈值电压；$V_T=k_BT/q$ 为热电压，k_B是玻尔兹曼常数，T 是绝对温度，q 是元电荷；K 是 MOS 管的宽长比。

当 V_{DS}大于 0.1 V 时，MOS 管工作在亚阈值区，式(1)中，方括号的一项可以忽略[5]。漏电流可以表示为：

$$I_D=I_0K\times\exp\left(\frac{V_{GS}-V_{TH}}{nV_T}\right) \tag{2}$$

因此，MN3 管和 MN4 管的漏电流分别为：

$$I_{MN3}=I_{D3}K_3\exp\left(\frac{V_{GS3}-V_{TH3}}{nV_T}\right) \tag{3}$$

$$I_{MN4}=I_{D4}K_4\exp\left(\frac{V_{GS4}-V_{TH4}}{nV_T}\right) \tag{4}$$

MOS 管的阈值电压与温度成线性相关[9]。阈值电压V_{TH}与温度的关系为：

$$V_{TH}=V_{TH0}(1-\beta\Delta T) \tag{5}$$

式中，V_{TH0}为室温下的阈值电压，β 为阈值电压的温度系数。

由于 MN3 管和 MN4 管的栅极相连，并连接到 MN3 管的漏极，基准电压 V_{REF} 为：

$$V_{REF}=V_{GS4}-V_{GS3} \tag{6}$$

由于 $I_{MN3}=I_{MN4}$，并联立式(3)、式(4)和式(6)，可得基准电压 V_{REF} 与温度的关系：

$$V_{REF}=nV_T\ln\left(\frac{I_{D3}K_3}{I_{D4}K_4}\right)+V_{TH4}-V_{TH3} \tag{7}$$

式(7)中，与温度有关的参数项有阈值电压差 $V_{TH4}-V_{TH3}$ 和热电压 V_T 这两项。

在不同工艺角下，对 MN3 管和 MN4 管的阈值电压差 $V_{TH4}-V_{TH3}$ 与温度的关系进行仿真。仿真结果如图 2 所示。

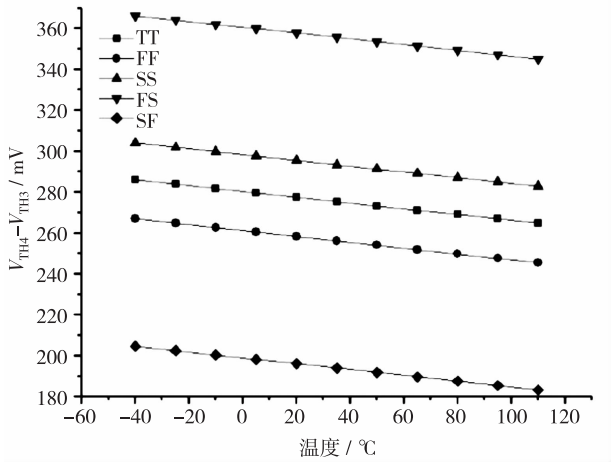


图 2 不同工艺角下 $V_{TH4}-V_{TH3}$ 的温度特性曲线

由图 2 可以看出，两管的阈值电压差 $V_{TH4}-V_{TH3}$ 与温度的关系和热电压 V_T 与温度的关系相反。结合式(7)、图 2 以及热电压的计算公式可以看出，通过调节K_3和K_4的比值，可以得到一个与温度无关的基准电压V_{REF}。

1.2 校准电路

工艺角的变化会影响 MOS 管的阈值电压，进而影响到输出基准电压 V_{REF} 及温度系数[6-7]。因此，本文设计了校准电路。该校准电路利用完全相同的 PMOS 管组成电压分压器，具体结构如图 3 所示。其中，节点 V_{REF} 已经连接到图 1 的节点 V_{REF}。校准电路中，串联了 40 个 PMOS 管，通过这些管的电流非常小(约 36.5 fA)。因此，校准电路不会影响图 1 中电路的直流工作点，也不会对输出基准电压V_{REF}造成影响，对整个电路的功耗也不会造成影响。

电路开始正常工作后，从图 3 的 V_{REF1}～V_{REF39} 中选择合适电压作为电路输出的基准电压 V_{REF}，从而降低工艺偏差对基准电压的影响，提高电路抗工艺偏差的特性。

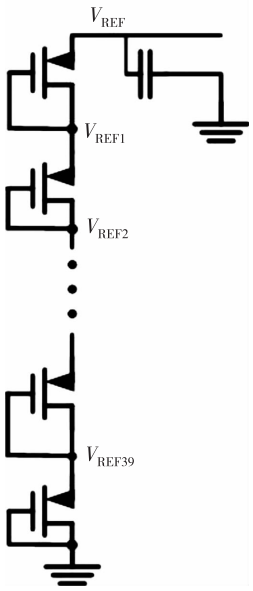


图 3 校准电路的结构

2 仿真与分析

本文采用 TSMC 0.18 μm CMOS 工艺，对基准电压源进行设计和仿真。基准电压源的版图如图 4 所示，版图尺寸为 80 μm×73.5 μm。

仿真时，电源电压为 1 V。在不同工艺角下，基准电压源的温度特性曲线如图 5 所示。可以看出，TT 工艺角下，总功耗为 225 pW，温度系数为 4.105×10^{-5}/℃。

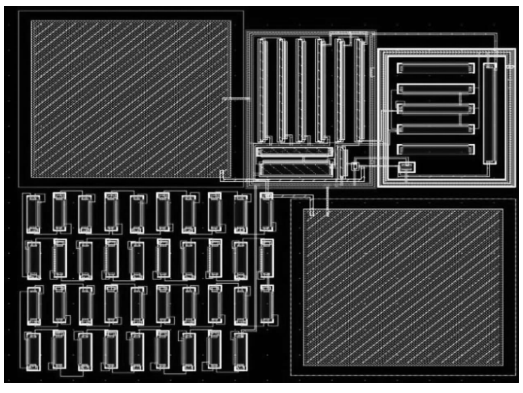


图 4 基准电压源的版图设计

针对温度特性进行 40 次蒙特卡洛仿真的结果如图 6 所示。针对基准电压进行 1 000 次蒙特卡洛仿真的结果如图 7 所示。

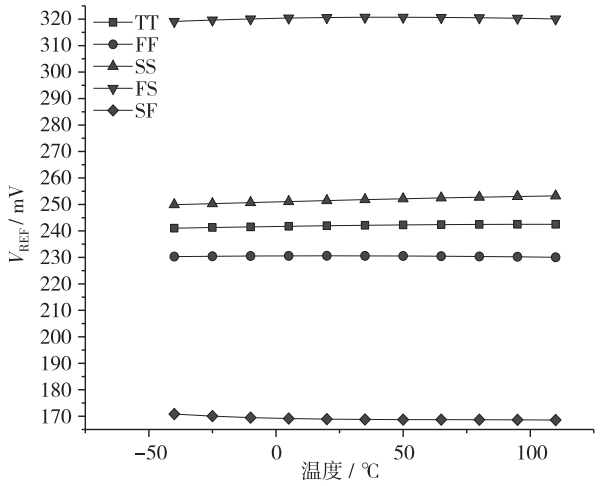


图 5　不同工艺角下基准电压源的温度特性曲线

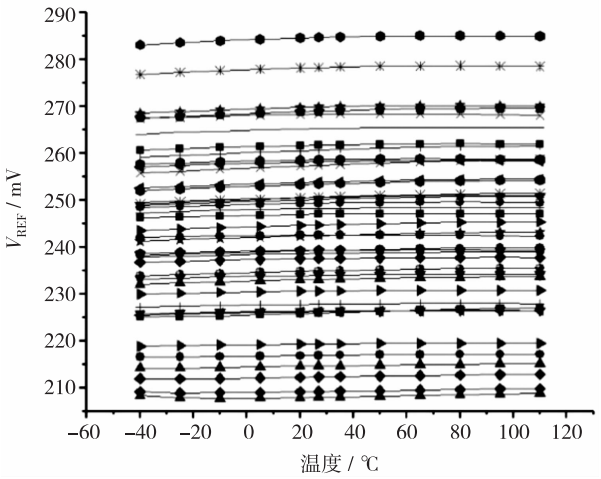


图 6　40 次蒙特卡洛仿真基准电压的温度特性曲线

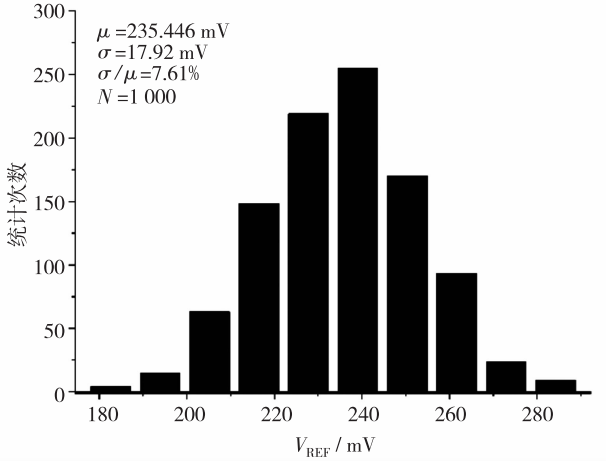


图 7　27 ℃下 1 000 次蒙特卡洛仿真的基准电压

从图 6 可以看出，在工艺偏差下对电路进行蒙特卡洛仿真，输出的基准电压 V_{REF} 随温度变化平稳。从图 7 可以看出，产生的基准电压的平均值 μ 为 235.446 mV，标准差 σ 为 17.92 mV，离散系数 (σ/μ) 为 7.61%。

加入校准电路后，不同工艺角下基准电压源的温度特性曲线如图 8 所示。可以看出，在不同工艺角、不同温度下的最大电压差为 4.664 mV。由此可见，引入校准电路能明显降低工艺偏差对基准电压源的影响。

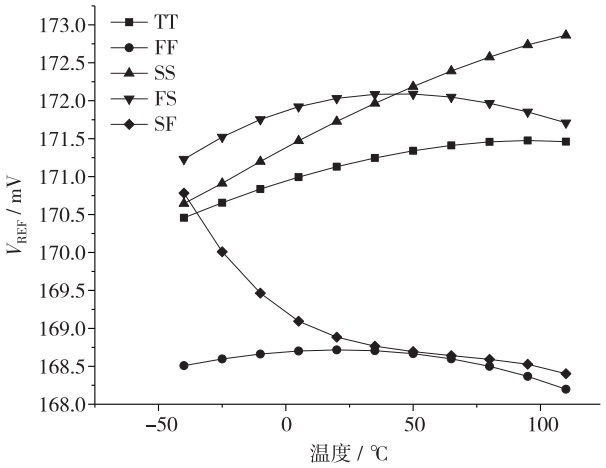


图 8　校准过后不同工艺角下基准电压源的温度特性曲线

校准前后，基准电压随电源电压的变化曲线如图 9 所示。可以看出，不同工艺角下，基准电压源在 0.6～2 V 的电源电压范围内均可正常工作。不同工艺角下，校准前，基准电压最大差值为 152 mV；校准后，基准电压均集中于 170 mV 附近，最大差值仅为 3.7 mV。

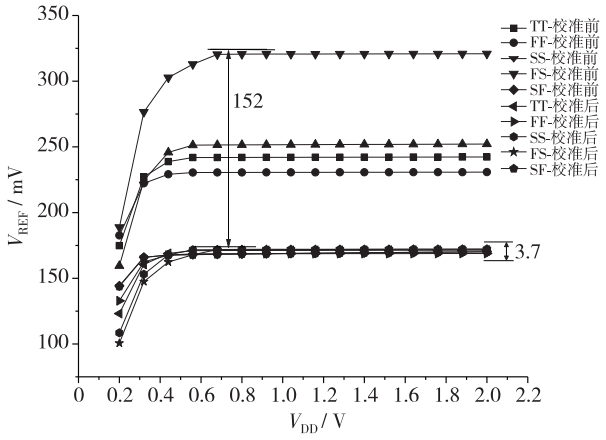


图 9　校准前和校准后不同工艺角下基准电压随 V_{DD} 的变化曲线

本文与其他文献中基准电压源的性能参数对比如表 1 所示。与其他文献相比，本文基准电压源的线性灵敏度最低。除了文献[8]，本文基准电压源的

功耗最低。可以看出，本文的基准电压源性能良好，温度特性与温度接近无关，能提供高精度的基准电压，并且功耗非常低。需要说明的是，本文基准电压源的各项数据均为仿真结果。

表 1 本文与其他文献中基准电压源的性能参数比较

性能参数	本文		文献[2]	文献[3]	文献[8]	文献[5]	文献[10]
	校准前	校准后					
工艺/μm	0.18	0.18	0.35	0.18	0.18	0.18	0.18
最低电源电压/V	0.6	0.6	1.85	0.45	0.45/0.6	1.1	0.5
基准电压/mV	242.04	170	905.5	263.5	225.3	755	240
功耗/nW	0.22	0.22	-	2.6	0.054	4.6	40
温度范围/℃	−40～110	−40～110	0～100	0～125	0～120	−15～140	−25～85
温度系数($\times10^{-6}$ · ℃$^{-1}$)	16.5～88.6	20.4～93.9	14.8	142	104	34	58
线性灵敏度/(% · V^{-1})	0.13	0.13	-	0.44	0.15	0.28	0.46
是否可校准	是	是	是	否	是	是	是

3 结 论

本文提出了一种具有皮瓦级超低功耗的新型基准电压源结构。采用 TSMC 0.18 μm CMOS 工艺进行设计仿真。结果表明，该基准源具有非常低的功耗、良好的温度系数和线性灵敏度，最低电源电压低至 0.6 V。另外，该电路利用校准电路，减小了工艺偏差对基准电压的影响。该基准电压源可以应用于射频识别、无线传感器、医用植入式芯片等超低功耗片上系统中。

参 考 文 献：

[1] HSIEH C Y, HUANG H W, CHEN K H. A 1-V, 16.9 ppm/℃, 250 nA switched-capacitor CMOS voltage reference [J]. IEEE Trans VLSI Syst, 2011, 19(4): 659-667.

[2] ZHOU Z K, ZHU P S, SHI Y, et al. A resistorless CMOS voltage reference based on mutual compensation of V_T and V_{TH} [J]. IEEE Trans Circ & Syst II: Expr Bri, 2013, 60(9): 582-586.

[3] MAGNELLI L, CRUPI F, CORSONELLO P, et al. A 2.6 nW, 0.45 V temperature-compensated subthreshold CMOS voltage reference [J]. IEEE J Sol Sta Circ, 2011, 46(2): 465-474.

[4] UENO K, HIROSE T, ASAI T, et al. A 300 nW, 15 ppm/℃, 20 ppm/V CMOS voltage reference circuit consisting of subthreshold MOSFETs [J]. IEEE J Sol Sta Circ, 2009, 44(7): 2047-2054.

[5] LIU Y, ZHAN C, WANG L. An ultralow power subthreshold CMOS voltage reference without requiring resistors or BJTs [J]. IEEE Trans VLSI Syst, 2018, 26(1): 201-205.

[6] LIN H C, CHANG D K. A low-voltage process corner insensitive subthreshold CMOS voltage reference circuit [C] // IEEE ICICDT. Padova, Italy. 2006: 1-4.

[7] GIUSTOLISI G, PALUMBO G, CRISCIONE M, et al. A low-voltage low-power voltage reference based on subthreshold MOSFETs [J]. IEEE J Sol Sta Circ, 2003, 38(1): 151-154.

[8] DE OLIVEIRA A C, CORDOVA D, KLIMACH H K, et al. Picowatt, 0.45-0.6 V self-biased subthreshold CMOS voltage reference [J]. IEEE Trans Circ & Syst I: Regu Pap, 2017, 64(12): 3036-3046.

[9] FILANOVSKY I M, ALLAM A. Mutual compensation of mobility and threshold voltage temperature effects with applications in CMOS circuits [J]. IEEE Trans Circ & Syst, 2001, 48(7): 876-884.

[10] MU J, LIU L, ZHU Z, et al. A 58-ppm/℃ 40-nW BGR at supply from 0.5 V for energy harvesting IoT devices [J]. IEEE Trans Circ & Syst II: Expr Bri, 2017, 64(7): 752-756.

一种基于多态忆阻器的电压型神经网络电路

肖 建，张 粮，张子恒，王 宇，郭宇锋，万 相，连晓娟，童 祎
（南京邮电大学 电子与光学工程学院、微电子学院，南京 210023）

摘 要： 提出了一种基于多态忆阻器的神经网络电路硬件实现方法。采用 2^8 bit 的惠普忆阻模型来构建存储权重的双忆阻稳定结构，结合了低功耗轨到轨运放技术以及寄存器技术，设计了模值与极性分离的绝对值电路，以及以忆阻器为核心、可进行正负浮点数运算的权值网络矩阵电路。通过 Verilog-A 编写激活单元，实现了多层忆阻神经网络。该电路采用并行输入和模拟信号处理方式，控制简单，无需中间数据缓存。实验结果表明，该方法有效提升了以忆阻器为核心的人工神经网络的稳定性和运行效率。

关键词： 忆阻器；权重；矩阵；人工神经网络
中图分类号： TN492；TP183 **文献标识码：** A **文章编号：** 1004-3365(2020)03-0331-08
DOI： 10.13911/j.cnki.1004-3365.190399

A Voltage Feedforward Neural Network Circuit Based on Multiple Resistance States Memristor

XIAO Jian, ZHANG Liang, ZHANG Ziheng, WANG Yu, GUO Yufeng, WAN Xiang, LIAN Xiaojuan, TONG Yi
(*College of Elec. and Optical Engineer. & College of Microelec., Nanjing Univ. of Posts and Telecommun., Nanjing* 210023, *P. R. China*)

Abstract: A hardware implementation method of neural network circuit based on multiple resistance states memristor was proposed. A 2^8 bit HP memristor model was used to construct a dual memristor stable structure with storage weight. Thanks to combining with low power rail-to-rail operational amplifier technology and register technology, on the one hand, an absolute value circuit with modulus and polarity separation was designed. On the other hand, a weighted network matrix circuit using the memristor as its core which could perform positive and negative floating point arithmetic was also developed. The feedforward neural network based on multiple resistance states memristor was realized due to the activation unit was written by Verilog-A. This circuit using parallel input and analog signal processing was simple to control and no intermediate data buffer was needed. The results showed that the proposed method effectively improved the stability and efficiency of the artificial neural network with the memristor as its core.

Key words: memristor; weight; matrix; artificial neural network

0 引 言

人工智能具有多元化发展的特点，是一门涉及多学科的综合型技术学科[1]。目前在神经网络(Neural Network)应用层面，实现了大量具有类生物神经网络功能的算法和非线性系统[2]。它们在越来越多的技术领域发挥着举足轻重的作用。但是，人工智能在神经网络硬件方面仍有不足[3]。例如，在 2016 年的“围棋大战”中，基于深度学习理论开发的围棋选手“阿尔法”以绝对优势战胜了人类对手，但也暴露了人工神经网络的系统能耗大、资源配置

收稿日期： 2019-07-09；**定稿日期：** 2019-08-15
基金项目： 国家自然科学基金资助项目(61874059)
作者简介： 肖 建(1976—)，男(汉族)，江苏常州人，博士，副教授，从事嵌入式系统应用方面的研究。

要求高等缺点。

相对于由电子系统和软件构成的类生物神经网络系统，人脑有着显著的优势，能够同时处理数亿个生物学指令[4]，而且能耗极低[5]，仅约 20 W。因此，采用新型的器件来实现类生物高效低耗硬件人工神经网络(Artificial Neural Network，ANN)是人工智能领域的研究热点之一。

忆阻器的提出与实现[6-7]给人工神经网络领域的研究带来了新的思路。忆阻器具有连续可调节的非线性电导。在权值数量较大时，相对于以晶体管电路实现的神经网络，使用忆阻器搭建新型的硬件神经网络的体积更小、功耗更低，在改进现有人工神经网络的学习和运算能力[8]方面具有非常大的潜力。这也吸引了国内外研究人员对基于忆阻器神经网络电路的应用展开了系列研究。2016 年，通过 CMOS 器件和忆阻器器件集成的方式，M. Kaild 等人搭建了一种能够输出带有识别信号的简易神经网络结构，但仅限于高低电平的二值信号，在搭建更复杂的神经网络时受到规模限制[9]。2018 年，杜克大学的 H. Jiang 等人提出一种基于忆阻器的点积计算电路，将忆阻器与 DAC 单元电路相结合，在 4 bit 精度范围内初步满足了人工神经网络运算过程中点积运算需求，但需占用大量的电路资源，并且计算精度有限，难以满足精度更高、体积更小的电路设计目标[10]。2018 年，宾汉姆顿大学 F. Zhang 等人将模数转换器连接忆阻器阵列输入端口来进行写入操作，将数模转换器连接阵列输出端口来执行读取操作，实现了基于忆阻器的点积运算，但是模数转换单元与数模转换单元的功耗较高，且其体积随着忆阻器矩阵输入/输出端口数量的增加而不断扩张，在实际应用中具有较大的局限性[11]。目前，关于忆阻器构建神经网络已取得了不少进展，但外围电路的复杂性限制了忆阻器在硬件人工神经网络中的相关研究，并且在实际设计中，以电流作为运算信号有着易受忆阻器件阻变特性影响的特点。为了解决上述问题，本文设计了一种基于多态忆阻器的电压型前馈神经网络，主要包含以下内容。

1) 提出并实现了一个基于多态忆阻器的可编程矩阵乘法电路，可实现对信号的浮点处理。设计了一种可编程矩阵单元，采用双忆阻器的结构，提升了忆阻神经网络的稳定性。

2) 采用绝对值电路和寄存器技术，实现了带符号的矩阵并行计算，改善了神经网络电路的工作效率。

3) 结合传统的器件和忆阻器器件，搭建了含有若干层的前向 ANN。

1　ANN 神经网络模型

ANN 是包含了大量类神经元的网络模型，通过设定运算机制，能够实现类人脑功能的多种操作。ANN 可分为多层和单层网络，在网络的每一个层面均含有若干神经元节点。各个神经元层面之间通过前后节点间的权重来连接。

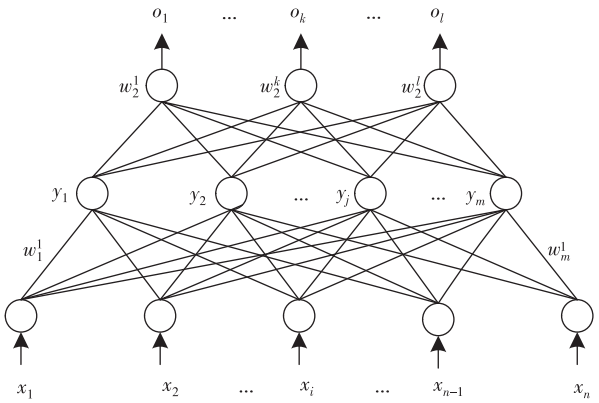


图 1　三层神经网络示意图

使用单层或者少量的神经元可以作出一些简单判断。但是，当被处理的问题机理变得复杂时，简单网络往往难以胜任。例如，在任意复杂的区域或者凸域组合中，单层的人工神经网络并不能够正确区分信息，但通过增加隐藏层数可实现解决复杂信息的分类，提高神经网络处理信息的能力[12]。Kolmogorov 理论表明，双隐藏层的神经网络能够对任何复杂的问题进行分类[13]。

以图 1 中的多层神经网络为例[14]。在最底层的输入节点处，设置输入信号向量为$\vec{\boldsymbol{X}}=(x_1,x_2,\cdots,x_i,\cdots,x_n)^T$，隐藏层对应中间向量表示为$\vec{\boldsymbol{Y}}=(y_1,y_2,\cdots,y_j,\cdots,y_m)^T$，输出层节点对应的信号向量$\vec{\boldsymbol{O}}=(o_1,\cdots,o_k,\cdots,o_m)^T$，输入节点到隐藏层节点之间的权值连接矩阵用 $\boldsymbol{W}^1$ 来表示，$\boldsymbol{W}^1=(\boldsymbol{w}_1^1,\boldsymbol{w}_2^1,\cdots,\boldsymbol{w}_j^1,\cdots,\boldsymbol{w}_m^1)$。其中，列向量 $\boldsymbol{w}_j^1$ 为隐藏层第 j 个神经元节点对应的权值向量；隐藏层节点到输出节点的权重连接矩阵用 $\boldsymbol{W}^2$ 表示，$\boldsymbol{W}^2=(\boldsymbol{w}_1^2,\cdots,\boldsymbol{w}_k^2,\cdots,\boldsymbol{w}_l^2)$。其中，$\boldsymbol{w}_k^2$ 为顶层第 k 个节点对应的权值向量。对应图 1，存在：

$$\begin{cases} y_j=f(net_j), & j=1,2,\cdots,m \\ net_j=\sum_{i=0}^{n} w_{ji}^1 x_i, & j=1,2,\cdots,m \end{cases} \tag{1}$$

对于输出层的分类过程，有：

$$\begin{cases} o_k = f(net_k), & k=1,2,\cdots,l \\ net_k = \sum_{j=0}^{m} w_{jk}^2 y_j, & k=1,2,\cdots,l \end{cases} \tag{2}$$

针对顶层的输出结果，激活函数 $f(x)$ 可以改善神经元节点的表达效果。

2　忆阻权重模型的建立

2.1　基于忆阻器的权重单元

本文采用惠普公司的忆阻模型[7]来建立忆阻权重模型。惠普公司的忆阻模型为：

$$M(t) = M_{on}\frac{w}{D} + M_{off}\left(1-\frac{w}{D}\right) \tag{3}$$

本文的忆阻权重模型如图 2 所示。

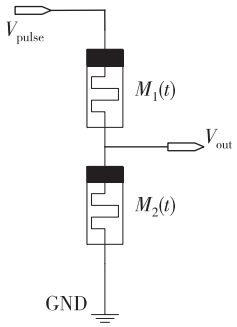


图 2　本文的忆阻权重模型

实验中，在忆阻器件两端施加定向的脉冲刺激，可使忆阻器阻态在高阻态 R_{off} 与低阻态 R_{on} 之间实现周期反复的连续变化。将惠普模型中氧空穴的状态 w 对时间变量 t 求导，有：

$$\frac{dw(t)}{dt} = \frac{\mu_v R_{on}}{D} i(t) \tag{4}$$

单个忆阻器所能表示的有效权重的数量会受到实际阻态数量的局限，但含有多个阻态的双忆阻结构却可以表示(0,1)范围内的任何权重。该结构中，权重可表示为：

$$W = \frac{M_2}{M_1 + M_2} \tag{5}$$

在理想的线性条件下，由马希森规则[15]可知，半导体总迁移率 μ 与各部分迁移率 μ_1、μ_2…之间存在如下关系：

$$\frac{1}{\mu} = \frac{1}{\mu_1} + \frac{1}{\mu_2} + \cdots \tag{6}$$

因而，在输入信号 V_{pulse} 脉冲的刺激下，忆阻 M_1 和忆阻 M_2 均会发生阻态的定向迁移，分别为 ΔM_1 和 ΔM_2。由理想模型[7]可得，w 的宽度变化可引发忆阻 M_1 和忆阻 M_2 的整体变化。对式(4)积分，可得：

$$w = w(0) + \mu_v M_{on}\frac{q(\Delta t)}{D} \tag{7}$$

在 Δt 时间里，μ_v 是整体的阻态迁移率。对于整体的阻态变化量，根据文献[16]，有：

$$\Delta M = M(t) - M(0) = \frac{(R_{on}-R_{off})\mu_v R_{on}}{D^2} q(t) \tag{8}$$

对于 M_2 的阻态度变化量，有：

$$\Delta M_2 = M_2(t) - M_2(0) = \frac{(R_{on}-R_{off})\mu_{v2} R_{on}}{D^2} q(t) \tag{9}$$

若采用电流作为处理信号，与电压作为处理信号时相比，忆阻器阻态的变化将会对输出信号产生更大的影响，有：

$$I(t) = \frac{V_{pulse}}{M(0) + \Delta M} \tag{10}$$

当处理时长 t 增长，ΔM 较大时，$I(0)$ 为初始电流信号，会产生信号偏移量：

$$\Delta I = I(0) - I(t) \tag{11}$$

最终将电流信号转换为电压识别信号时，将会进一步放大误差。

相对而言，在该双忆阻组成的权重网络中，采用电压为处理信号时，忆阻器阻态的整体变化能在部分程度上消除由单个忆阻阻态变化给权重带来的影响，提高了权重稳定性和信号传输的容错性。对应有：

$$V_{out} = V_{pulse}\frac{M_2 + \Delta M_2(t)}{M + \Delta M(t)} \approx V_{pulse}\frac{M_2}{M_1 + M_2} \tag{12}$$

图 3 所示为惠普模型权重稳定性实验结果。V1-1、V2-1、V3-1 分别对应相同初始状态、不同初始状态下($M_1(0) > M_2(0)$)、不同初始状态下($M_1(0) < M_2(0)$)的惠普忆阻模型 MM 结构输出的状态，V1-2、V2-2、V3-2 分别对应相同初始状态($R = M_2(0)$)、不同初始状态下($R > M_2(0)$)、不同初始状态下($R > M_2(0)$)的惠普忆阻-电阻模型 RM、RM、MR 结构输出的权重状态 。

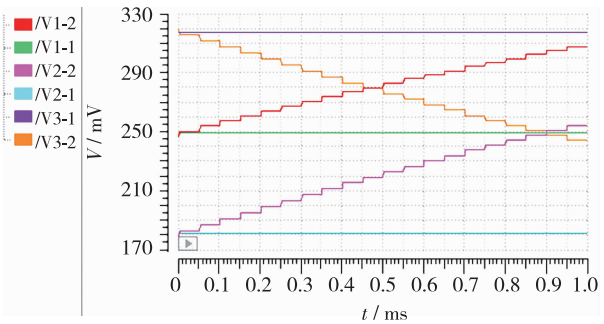


图 3　MM 与 MR 模型权重稳定性的比较结果

可以看出，MM 结构都具有稳定性，而惠普忆阻模型 RM、RM、MR 结构输出的状态发生了渐进变化。实验结果也验证了本节推理的合理性。

2.2　权重编码方案的设计

忆阻器的性能特征与神经突触具有很大的相似性，可通过合理的结构设计来完成权重（阻态）的编码。其中，最为直接的是通过控制两端的荷控电压刺激，实现阻态的周期性调整。实验中，可根据实测结果进一步了解器件特性。如图 4 所示，所测忆阻 I-V 曲线呈现闭合的环状。

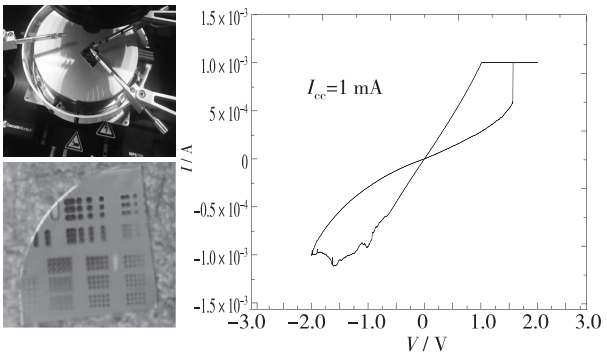


图 4　忆阻器结构及其测量数据特点

忆阻器件的可编程[17]特点可参考图 5。图 5 所示为一个基于 1TlR 交叉点阵列、实现了可编程的忆阻权重网络结构，它可对多个忆阻态进行定向调节。通过控制使能端信号线 wl，对不同列的 V_s 和 V_d 两端施加不同程度的激励累积量，可实现神经网络中忆阻权重的编码。

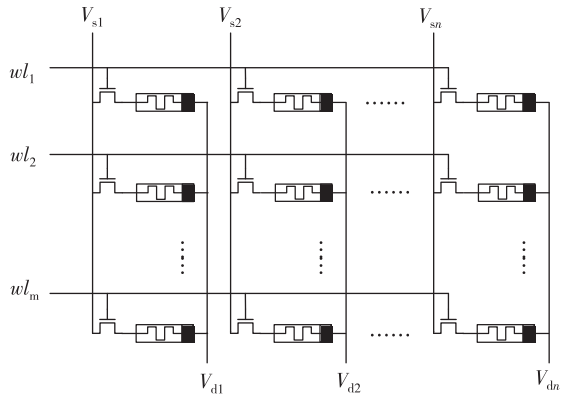


图 5　基于 1T1R 的一种可编程忆阻结构电路

在实测情况下，忆阻取值可在高阻 R_{off} 与低阻 R_{on} 内连续调整变化。根据 1T1R 结构电路，对忆阻突触采用编码方案，为：

$$\sigma_w = g(k,v)(\sigma_{\Delta t} - \sigma_{min}) \oplus \sigma_{min} \tag{13}$$

式中，σ_w 为经过脉冲编码后的忆阻器权重，$\sigma_{\Delta t}$ 和 σ_{min} 分别为忆阻器的 Δt 时刻的电导值 $G_{\Delta t}(1/R_{\Delta t})$ 和最小电导值 $G_{off}(1/R_{off})$，k 是针对不同材料和模型的一种可变参数，$g(k,v)$ 是编码过程中依据脉冲编码宽度 v 和 k 的忆阻权重 σ_w 变化率，⊕运算为权重 σ_w 设定初始值。通过调整编码方案的参数，能够通过编程网络单元电路中忆阻器的阻态，获得（1，0）内的任何权值。理想状况下，采用该种编码方案可以实现多种忆阻权值的调节。

3　基于忆阻器件的 ANN 网络实现

由多态忆阻器件构成的 ANN 矩阵乘法电路分为三个组成部分：一是三端口绝对值电路，可实现对输入信号极性和模值的分离；二是权值计算单元，包括信号权重处理以及对运算后极性调整电路；三是加和处理，将得到的结果进行函数处理和放大，输入到下一层的神经网络中。

图 6 所示为设计的神经网络，它为单层网络。为了更方便地应用 ANN 算法，每一层的神经网络电路层均包含多个计算单元 C、多个行权值正负编码寄存器 W，以及对应节点个数的绝对值电路 A。

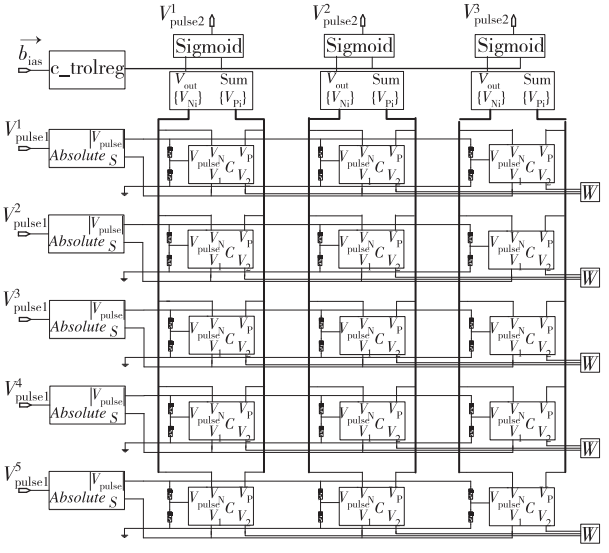


图 6　5×3 单层神经网络电路图

电路运行时，从上一层的输出层，将所需的信号经过 A 传入到运算矩阵 C 中，经过权值运算后，通过编码寄存器 W，实现极性和模值的输出。列运算得到的结果由图 6 中的黑色粗引线传播到 Sum 模块中，完成各个权值的加和、偏置加和以及激活函数处理。根据前向神经网络结构特点，在网络运行时将输出结果直接输入到下一层网络的 A 中。

3.1　绝对值电路实现

在以传统模拟信号为主的电路中，电压是最常见的待处理信号，在上述矩阵乘法器中，A 对输入信号 V_{pulse} 进行处理，不仅输出模值信号 $|V_{pulse}|$，还附带有信号特征 S 的输出。在 A 中，采用低功耗(LP-amp)运放技术和轨到轨运放技术，实现了输入信号 V_{pulse} 的模值和极性的分离。

图 7 所示为模极分离的绝对值电路图。

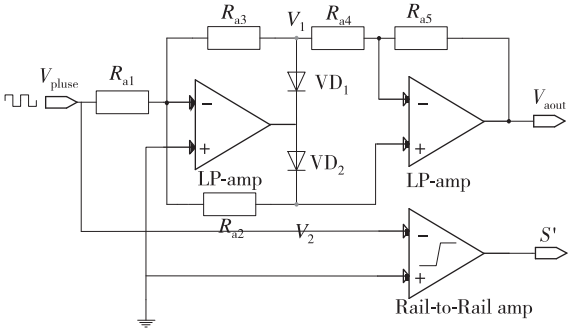


图 7　模极分离的绝对值电路图

当输入信号 $V_{pulse}>0$ 时，VD_1 导通，VD_2 关闭，输出电压为：

$$V_{aout}=-(-V_1\frac{R_{a5}}{R_{a4}})=V_{pluse}\frac{R_{a5}}{R_{a4}} \tag{14}$$

在该电路中，V_h 和 V_l 是对应两端工作的高低电平。通过调节增益常数，使其实现轨到轨的指定信号 S 输出，此时有：

$$S=V_l \tag{15}$$

当输入信号 $V_{pulse}<0$ 时，VD1 关闭，VD2 导通，输出电压为：

$$V_2=-V_{pulse}[(R_{a3}+R_{a4})R_{a2}]/R_{a1} \tag{16}$$

此时有：

$$S=V_h \tag{17}$$

当满足条件，有：

$$R_{a1}=R_{a2}=R_{a3}=R_{a4}=R_{a5} \tag{18}$$

即可得：

$$\begin{cases}V_{out}=V_{pulse},S=V_l;(V_{pulse}\geqslant 0V)\\V_{out}=|V_{pulse}|,S=V_h;(V_{pulse}<0V)\end{cases} \tag{19}$$

3.2　矩阵乘法电路单元实现

图 8 所示为矩阵乘法电路单元。为充分发挥忆阻器件自适应性强的特点，权重设计采用了归一化的原则，选择 3.1 节中设计的电路，通过输入信号和权值寄存器的极性，实现神经网络运算结果的正负表示。针对输出的运算值，通过寄存器编码 W 的信号排列，以及脉冲输入的正负值，分别对 MOS 管 NM1 和 PM1 实现开启和关闭，实现了带极性的运算过程。当 NM1 管导通时，NM1 阻值不可忽略，有：

$$V_N=V_{in}(1+\frac{R_1}{R_2})\frac{R_3}{R_3+r_{NM1}+R_1} \tag{20}$$

通过调节参数 $1+R_1/R_2$ 和参数 $R_3/(R_3+r_{NM1}+R_1)$ 的关系，使得 $V_N=V_{in}$。

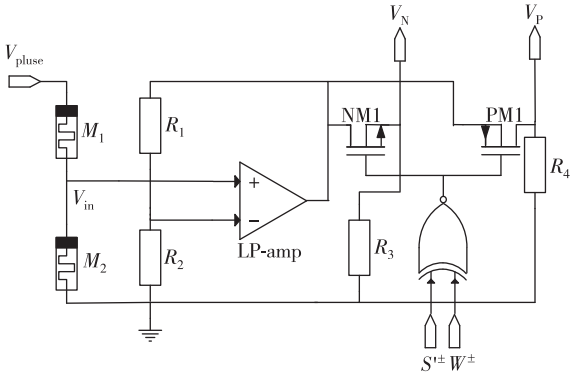


图 8　矩阵乘法电路单元

同理，对于 PM1 管导通的情况，PM1 阻值 r_{PM1} 不可忽略，有：

$$V_P=V_{in}(1+\frac{R_1}{R_2})\frac{R_4}{R_4+r_{PM1}+R_1} \tag{21}$$

与其他电路连接时，外接电路视为负载 R_L，为保证输出信号的完整性，往往需要满足 2 个条件：

$$R_3\parallel R_L\geqslant R_1+R_{NM1} \tag{22}$$

$$R_4\parallel R_L\geqslant R_1+R_{PM1} \tag{23}$$

对于本文设计电路，需满足：

$$\begin{cases}W=S,\quad V_N=V_{in}\\W\neq S,\quad V_P=V_{in}\end{cases} \tag{24}$$

3.3　Sum 单元实现

图 9 中，Sum 单元的 V_P 和 V_N 的数量取决于本层网络中的输入信号，对各个乘法器单元输出的信号进行加和、减法和 K 倍处理，并最终对节点的输出结果作函数处理。

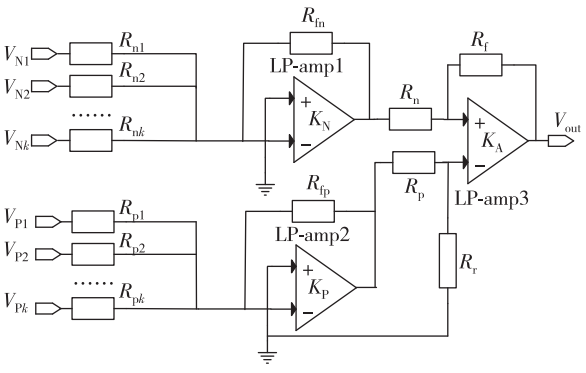


图 9　Sum 单元

对于输入端，$\{V_N\}$端是由 C 运算单元得到的信号。因此，器件 R_n 左端的输入信号 V_n 为：

$$V_n=-\frac{R_{fn}K_N}{n}\left(\frac{V_{N1}}{R_{n1}}+\frac{V_{N2}}{R_{n2}}+\frac{V_{N3}}{R_{n3}}+\cdots+\frac{V_{Nk}}{R_{nk}}\right) \tag{25}$$

R_p 输入信号端的输入信号$\{V_p\}$为：

$$V_p=-\frac{R_{fp}K_P}{n}\left(\frac{V_{P1}}{R_{p1}}+\frac{V_{P2}}{R_{p2}}+\frac{V_{P3}}{R_{p3}}+\cdots+\frac{V_{Pk}}{R_{pk}}\right) \tag{26}$$

最终实现加和，有：

$$V_{out}=\left(1+\frac{R_f}{R_1}\right)\frac{R_r}{R_p+R_r}V_n-\frac{R_f}{R_r}V_p \tag{27}$$

式中，K_N、K_P、K_A 分别是 LP-amp1、LP-amp2、LP-amp3 的增益系数，且满足：

$$\begin{cases}R_{fn}=R_{n1}=R_{n2}=\cdots=R_{nk}\\R_{fp}=R_{p1}=R_{p2}=\cdots=R_{pk}\\K_n=K_p=n\\R_f=R_n=R_p=R_r\end{cases} \tag{28}$$

通过调节增益系数 K_A，可得其中第 K 个节点的累加和：

$$V_{aout}=V_n-V_p=\sum_{i=1}^{n}V_{pulse1}^{i}*W_{ik} \tag{29}$$

式中，V_{aout}即为神经元节点的输入信息。

采用 Verilog-A，编写了 Sigmoid 函数单元，对结果进行处理并输出，有：

$$f(x)=\frac{1}{1+\exp(-x)} \tag{30}$$

将输出信号 V_{aout}与偏置信号 bias 加和之后，输出结果经过激活函数 Sigmoid 处理，有：

$$f(V_{out})=\frac{1}{1+\exp(-(V_{aout}+b))} \tag{31}$$

电路中的偏置是根据上位机训练过程中产生的偏置信号，在电路中直接以信号的方式输入，并通过寄存器 ctrol_reg 来实现对输入偏置信号的集中控制。

结合上述推理，对整个忆阻权重矩阵电路进行了设计实现。本层输入信号向量$\overrightarrow{V_{pulse1}}$（单位为 mV）以及含有忆阻器件的乘法器电路矩阵 $\boldsymbol{C}_1$ 分别为：

$$\overrightarrow{\boldsymbol{V}_{pulse1}}=\begin{bmatrix}v_{I1}\\v_{I2}\\\cdots\\v_{In}\end{bmatrix},\boldsymbol{C}_1=\begin{bmatrix}w_{11}&w_{12}&\cdots&w_{1m}\\w_{21}&w_{22}&\cdots&w_{2m}\\\cdots&\cdots&\cdots&\cdots\\w_{n1}&w_{n2}&\cdots&w_{nm}\end{bmatrix} \tag{32}$$

式中，m 为下一层节点的个数，对应本矩阵电路的列数。

经权值矩阵运算后，有：

$$\boldsymbol{V}_o=\boldsymbol{C}_1*\overrightarrow{\boldsymbol{V}_{pulse1}} \tag{33}$$

在矩阵乘法器中，C_1 中各个忆阻器权重节点对应的各个信号输出为：

$$\boldsymbol{V}_o=\begin{bmatrix}w_{11}v_{I1}&w_{12}v_{I1}&\cdots&w_{1m}v_{I1}\\w_{21}v_{I2}&w_{22}v_{I2}&\cdots&w_{2m}v_{I2}\\\cdots&\cdots&\cdots&\cdots\\w_{n1}v_{In}&w_{n2}v_{In}&\cdots&w_{nm}v_{Im}\end{bmatrix} \tag{34}$$

再由节点处多个 Sum 单元进行加和，共有 m 列，有：

$$\overrightarrow{\boldsymbol{V}_{aout}}=\left[\sum_{1}^{n}Kw_{i1}*v_{Ii}\ \sum_{1}^{n}Kw_{i2}*v_{Ii}\ \cdots\ \sum_{1}^{n}Kw_{im}*v_{Ii}\right] \tag{35}$$

根据上位机中的偏置信号，$\overrightarrow{\boldsymbol{V}_{aout}}$为经过权值矩阵的输出信号，$\boldsymbol{b}_{ias}$为偏置信号，有：

$$\overrightarrow{\boldsymbol{V}_{in}}=\overrightarrow{\boldsymbol{V}_{aout}}+\overrightarrow{\boldsymbol{b}_{ias}} \tag{36}$$

$\overrightarrow{\boldsymbol{V}_{in}}$经过激活层之后，下一层的输入信号为：

$$\overrightarrow{\boldsymbol{V}_{pulse2}}=f(\overrightarrow{\boldsymbol{V}_{in}}) \tag{37}$$

本文搭建了多层人工神经网络，其流程如图 10 所示。

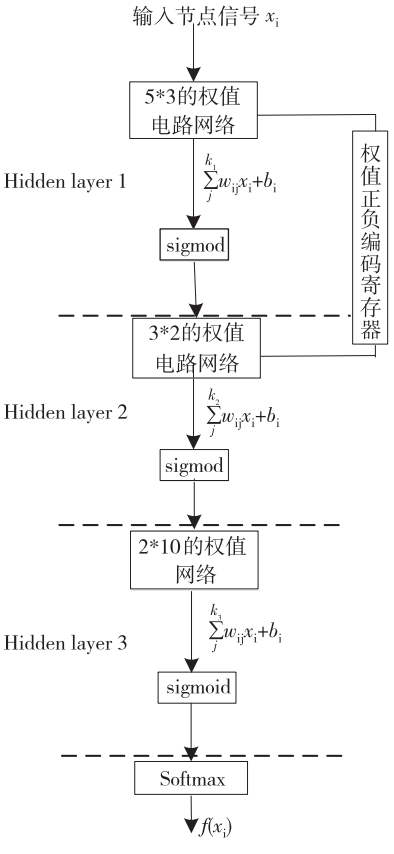


图 10　网络电路示意图

4　实验与结果分析

4.1　ANN 网络性能分析

在上位机上搭建网络识别模型，验证所设计的忆阻器电路模型的正确性。本文采用六层全连接 ANN，便于比对本文忆阻仿真电路的性能和效率。首先输入分辨率为 28×28 的 MNIST 手写数字图像，经过第一隐藏层得到 256 个特征点（神经元）。其次，经过第 2 至第 4 隐藏层得到 2 个特征点，为了对应忆阻神经网络电路，第 2 至第 4 隐藏层采用的结构为 5×3×2。在每一层节点处，采用激活函数 Sigmoid，提高了模型的分类能力。将两个特征点经过隐藏层 5 转换为 10 个特征点，并使用 Softmax 函数进行概率分析，最终得到分类结果。上位机网络配合 BP 算法实现误差的反向传播，在训练 30 000 次后，损失函数变化如图 11 所示。损失函数随着迭代次数的增加而下降，最终达到近拟合的效果。上位机手写数字识别测试成功率约为 93%，验证了上位机网络参数设置的合理性。

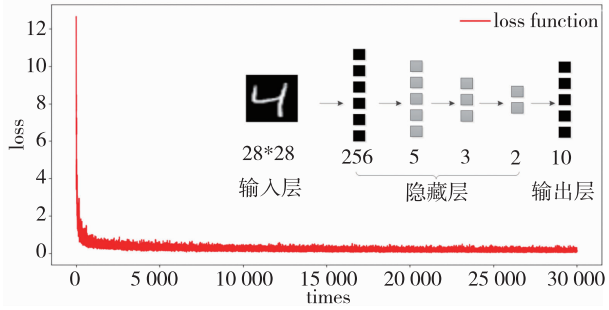


图 11　网络模型的损失函数

4.2　电路效率分析

为了与上位机搭建的 5×3×2 的神经网络运行结果作比较，在 Cadence17.0 下搭建了 5×3×2 的神经网络仿真电路，输出结果如图 12 所示。

使用图 6 所示的结构运行 ANN，结合上位机所建神经网络获取隐藏层输出的中间数据，输入 5 种不同的数字脉冲信号。输出信号稳定后，2 节点数值大小和上位机中神经网络 5×3×2 输出的数据基本吻合。与在 64 位系统、Intel @ corei5-3230M CPU @ 2.60 GHz、GeForce GT 630M/PCIe/SSE2 环境下 Pycharm 编译环境中搭建的 5×3×2 前向神经网络的运行速度相比，结果如表 1 所示。在 Pycharm 环境中，使用计时函数来统计每层网络的输出时间，其运算时间与层数成正相关，并且受到层间节点数量的影响。本文电路采用了并行模拟信号输入和运算的方式，运算速度基本未受到层间节点数量影响，每增加一层网络，仅多消耗约 2 μs，但与上位机运算速度相比，每层平均加速约 5 倍。

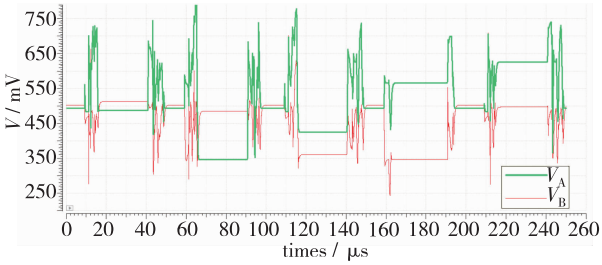


图 12　前向网络（5×3×2）的输出结果

表 1　网络运行识别时间对比

运行时间	神经元层数		
	一层	二层	三层
上位机识别输出时间/μs	56	70	80
本文电路波形稳定时间/μs	5	7	9

4.3　资源功耗分析

参见文献[18]中的乘加神经网络搭建方案，本文搭建的神经元网络节点所消耗的元器件个数与 FPGA 中搭建的 5×5×5 的神经网络逐层比较，不同层数神经网络 FPGA 与本文电路的资源使用量分别列于表 2 和表 3。可以看出，两者有如下的特点：各层节点数一致的情况下，随着层数的增加，在 FPGA 中 Reg 的消耗量与节点的数目呈现固定比例的 K 倍关系，其中，LUT、Slice 和 Ram 的消耗率亦呈现出强正相关性，节点数增加时，DSP 使用量大；本文电路中，将耗费内存的浮点数的权重直接存储在权重结构中，并通过占用极少的寄存器 Reg 实现了权值正负的控制，运算主要消耗体现在 LP-amp、Rail-to-Rail-amp、Xnor-gate 等器件中。

表 2　本文电路耗费资源

器件类型	一层	二层	三层
LP-amp	10	50	110
Reg	1	2	4
Rail-to-Rail-amp	5	10	25
memristor	0	50	100
Xnor-gate	0	25	50

表 3 FPGA 耗费资源(乘加方案)

FPGA 资源	一层	二层	三层
LUT	100	120	250
Reg	120	240	320
SLice	20	80	100
DSP	0	5	10
RAM	0	6	11

文献[19]中，在一片 EP2C8Q208C8 的 FPGA 开发板上搭建前向神经网络，仅能实现约 20 个神经元。当神经元数目较多时，不得不采用规模更大的 FPGA 器件。相比之下，本文采用阻态数目为 2^8 的忆阻器来实现权重矩阵电路模型，仅使用了较少的资源，在搭建较多的层数和节点时有着更为显著的优势。此外，由于采用了低功耗运放技术和忆阻存储权重的方式，降低了电路功耗。

5 结 论

本文采用忆阻器、传统 CMOS 电路与低功耗运放，设计了可对权值正负编码和可调节权重的乘法器电路，搭建了多层神经网络。实验结果表明，相较上位机每增加一层神经网络增加 10 μs 运算时间的情况，该神经网络电路仅增加 2 μs，设计的结构通过结合传统器件和可编程忆阻器件，改善了忆阻器人工神经网络硬件电路稳定性和效率。

作为一种新型的可编程器件，在制备工艺不断改进的情况下，忆阻器可结合现有技术以及传统器件来实现性能更为优异的电路。在忆阻器实际设计过程中，除了考虑速度、能耗、精度、资源耗损等因素，还应考虑噪声、面积、器件特点以及多种性能指标的折中，本文设计方案还需不断优化和改进。

参 考 文 献：

[1] 邹蕾，张先锋. 人工智能及其发展应用 [J]. 信息网络安全，2012(2)：11-13.

[2] 张东东. 人工神经网络图像模式识别综述 [J]. 电子世界，2018(9)：97.

[3] SILVER D，HUANG A，MADDISON C J，et al. Mastering the game of Go with deep neural networks and tree search [J]. Nature，2016，529：484-489.

[4] 李建会. 人工生命：计算机与生物学相遇的前沿 [J]. 科技导报，2003(3)：6-8，44.

[5] 郭新，谈征华，尹雪兵，等. 用于信息存储、逻辑运算和大脑神经功能模拟的忆阻型离子器件 [J]. 科学通报，2014，59(30)：2926-2936.

[6] CHUA L O. Memristor-the missing circuit element [J]. IEEE Trans Circ Theo，1971，18(5)：507-519.

[7] STRUKOV D B，SNIDER G S，STEWART D R，et al. The missing memristor found [J]. Nature，2008，453：80-83.

[8] KANG S M S，SHIN S. Memristors & memristive systems：memristor-based resistive computing [M]. New York：Springer，2013：301-325.

[9] KHALID M，SINGH J. Memristor crossbar-based pattern recognition circuit using perceptron learning rule [C] //2nd IEEE Int Symp Nanoelec & Inform Syst. Gwallior，India. 2016，1：236-239.

[10] JIANG H，YAMADA K，REN Z，et al. Pulse-width modulation based dot-product engine for neuromorphic computing system using memristor crossbar array [C] // ISCAS. Florence，Italy. 2018：1-4.

[11] ZHANG F，HU M. Memristor-based deep convolution neural network：a case study [EB/OL]. https://arxiv.org/abs/ 1810.02225v1，2018.

[12] 高茂庭，徐彬源. 基于循环神经网络的推荐算法 [J]. 计算机工程，2019，45 (8)：198-202，209.

[13] 陶小雷. 基于 Kolmogorov 复杂性的聚类方法研究 [D]. 南京：南京航空航天大学，2013.

[14] 陈雯柏. 人工神经网络原理与实践 [M]. 西安：西安电子科技大学出版社，2016.

[15] CALLISTER JR W D. Fundamentals of materials science and engineering [M]. London：Wiley，2005.

[16] 杨玖. 忆阻器的耦合连接特性与突触电路设计 [D]. 重庆：西南大学，2016.

[17] VONTOBEL P O，ROBINETT W，KUEKES P J，et al. Writing to and reading from a nano-scale crossbar memory based on memristors [J]. Nanotechnology，2009，20(42)：425204.

[18] 张天作. 基于 FPGA 的矩阵乘法实现方案在全连接深度神经网络前向传播中的性能评估 [D]. 北京：北京邮电大学，2018.

[19] 潘峥嵘，张赵良，朱菊香. 基于 SoPC 的人工神经网络硬件实现方法 [J]. 电子测量技术，2009，32(6)：116-118，123.

用于高速串行收发器的低功耗静噪检测器

宋鑫宇，虞致国，刘彦航，赵琳娜，王　恬，顾晓峰
（江南大学 电子工程系 物联网技术应用教育部工程研究中心，江苏 无锡 214122）

摘　要： 提出了一种基于 0.13 μm CMOS 工艺实现的低功耗静噪检测器，可应用于通用串行总线（USB）等高速串行数据链路。该静噪检测器包括电平转换器、比较器和输出检测器。电平转换器中，引入了基准电流源和电流镜，电源电压较传统电路降低 20％以上。仿真结果表明，在 1.35～1.65 V 电源电压、0℃～70℃温度范围内，在 480 Mbit/s 输入数据速率下，静噪检测阈值电压的最大值、最小值分别为 140 mV、106 mV。电路面积为 0.036 mm^2，功耗仅为 3.7 mW@1.5 V。

关键词： 静噪检测器；低功耗；电平转换器；USB
中图分类号：TN432　　**文献标识码：**A　　**文章编号：**1004-3365(2020)03-0339-05
DOI：10.13911/j.cnki.1004-3365.190430

A Low Power Squelch Detector for High Speed Serial Transceiver

SONG Xinyu, YU Zhiguo, LIU Yanhang, ZHAO Linna, WANG Tian, GU Xiaofeng
(*Engineering Research Center of Internet of Things Technology Applications of Ministry of Education, Department of Electronic Engineering, Jiangnan University, Wuxi, Jiangsu* 214122, *P. R. China*)

Abstract: A low power squelch detector based on a 0.13 μm CMOS process was presented, which could be applied to serial high speed data links such as Universal Serial Bus (USB). The proposed architecture consisted of three major parts: level shifter, comparator and output detector. The reference current source and current mirror were introduced into the level shifter, and the power supply voltage was reduced by more than 20% compared with the conventional circuit. The simulation results showed that in the range of 1.35 ～ 1.65 V power supply voltage and 0 ℃ ～ 70 ℃ temperature, at 480 Mbit /s input data rate, the maximum and minimum values of the threshold voltage of noise detection were 140 mV and 106 mV respectively. The circuit area was 0.036 mm^2, and the power consumption was only 3.7 mW @ 1.5 V.

Key words: squelch detector; low power; level shifter; USB

0　引　言

随着集成电路工作频率的增加，在高速串行数据收发器方面涌现出大量研究，如通用串行总线（USB）和高速串行接口（RocketIO）等，用于接收/发送以每秒千兆位速率传输的串行数据信号[1-3]。在高速串行收发器的模拟前端，静噪检测器通常用于确定检测总线上的信号是噪声还是有效数据[4-5]。例如，对于 USB 2.0 标准，当差分电压包络的幅度小于低阈值电压（100 mV）时，检测电路给出输入为噪声的信号；当差分电压包络的幅度大于高阈值电压（150 mV）时，检测电路输出数据有效的信号，接收器必须对接收信号进行数据恢复[6]。

收稿日期：2019-07-20；**定稿日期：**2019-11-27
基金项目：中央高校基本科研业务费专项资金资助项目（JUSRP51510）；江苏省研究生科研与实践创新计划项目（SJCX18_0647）
作者简介：宋鑫宇（1997—），男（汉族），山西高平人，硕士研究生，研究方向为数模混合集成电路设计。
虞致国（1979—），男（汉族），江西万年人，博士，副教授，研究方向为超大规模集成电路设计。通信作者，E-mail：yuzhiguo@jiangnan.edu.cn 。

现有的静噪检测器结构主要包括两大类[7-13]：第一类是通过电压-电流转换器，将差分输入信号和参考电压都转化为电流信号进行比较，此类电路结构较复杂、占用面积大、可靠性较差、功耗大；第二类是采用简单的电平转换器和比较器[9]，电平转换器将差分输入信号转换为四个电压信号进行比较，输出检测器根据比较结果，确定输入是否为有效数据。

基于电平转换器结构的检测器电路相对简单，减小了电路规模和功耗。然而，目前的电平转换电路[10]不适用于低电源电压设计，尤其是电源电压低于 1.8 V 时[14]，系统可靠性降低，且功耗较大。因此，为了满足低功耗设计的要求，本文提出了一种基于电平转换器的新结构静噪检测器。

文章第 1 节介绍静噪检测器的设计背景和电路结构；第 2 节介绍设置电源电压时的考虑因素；第 3 节介绍电路的仿真结果；第 4 节给出结论。

1 改进的静噪检测器结构

随着低功耗设计的发展，电路需要满足低功耗要求。因此，本文在基于电平转换器结构的静噪检测器电路基础上，对电平转换器、比较器和输出检测器模块进行了改进，以满足低功耗的要求。图 1 所示为改进的静噪检测器整体结构。

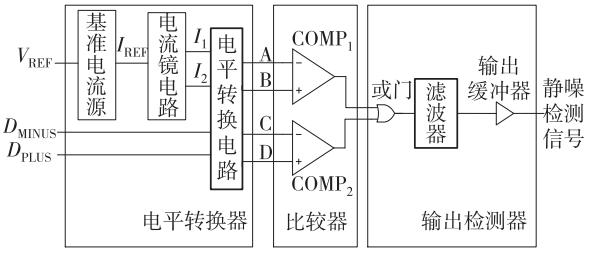


图 1 改进的静噪检测器整体结构

1.1 电平转换器

图 2 所示为传统静噪检测器的电平转换电路[10]。本文在图 2 的基础上，引入了基准电流源和电流镜电路，如图 3 所示。基准电流源提供恒定电流 I_{REF}，$I_{REF}=V_{REF}/R_1$。PMOS 管 M_1、M_2、M_3 的栅极连接到一起，构成电流镜电路。通过合理设置器件的沟道长度和电平转换电路中的电阻值，可忽略沟道长度调制效应，即电流 I_{REF} 与 I_2、I_3 相同。PMOS 管 M_4、M_7 和 M_5、M_6 分别连接差分输入信号 D_{MINUS} 和 D_{PLUS}。

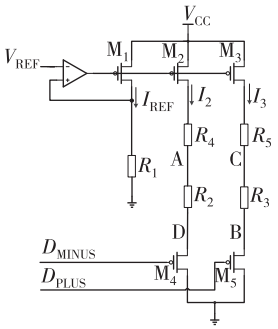


图 2 传统静噪检测器的电平转换电路

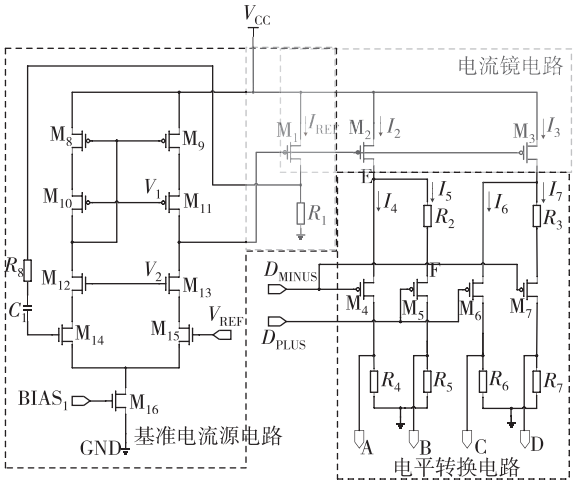


图 3 本文改进的电平转换器

电流 I_4、I_5、I_6 和 I_7 流过电阻 R_4、R_5、R_6 和 R_7，分别产生电压信号 A、B、C 和 D，信号电压为：

$$V_A=I_4R_4 \tag{1}$$

$$V_B=I_5R_5 \tag{2}$$

$$V_C=I_6R_6 \tag{3}$$

$$V_D=I_7R_7 \tag{4}$$

假设 $R_4=R_5$，$R_6=R_7$，V_B 和 V_D 则为：

$$V_B=I_5R_4 \tag{5}$$

$$V_D=I_7R_6 \tag{6}$$

1.2 比较器

图 1 中的比较器模块包括差分比较器 $COMP_1$ 和 $COMP_2$。$COMP_1$ 用于比较 V_A 与 V_B 的值，$COMP_2$ 用于比较 V_C 与 V_D 的值。比较器模块的输出与或门的输入相接。本文采用的差分比较器如图 4 所示。

图 3 中，信号 A 与 B 的电压差为：

$$V_A-V_B=(I_4-I_5)R_4 \tag{7}$$

为了降低计算的复杂性，忽略沟道长度调制效应。对于 M_4 和 M_5 器件，$W_4=W_5$，$L_4=L_5$。因此，信号 A 与 B 的电压差为：

$$V_A-V_B=\frac{1}{2}\mu_p C_{ox}\frac{W_4}{L_4}(V_{DIFF}-V_{R2})\times[(V_{GS4}-V_{THP})+(V_{GS5}-V_{THP})]R_4 \tag{8}$$

式中，μ_p 为空穴迁移率，C_{ox} 为 MOS 管的氧化物电容，V_{THP} 为 PMOS 管的阈值电压，V_{DIFF} 为差分输入 D_{MINUS} 与 D_{PLUS} 的电压差，V_{R2} 为 R_2 两端的电压。

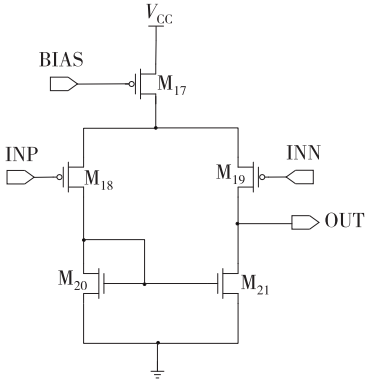


图 4　本文的差分放大器

类似地，对于 M_6 和 M_7 器件，$W_6=W_7$，$L_6=L_7$。因此，信号 C 与 D 的电压差为：

$$V_C-V_D=(I_6-I_7)R_6 \tag{9}$$

即：

$$V_C-V_D=\frac{1}{2}\mu_p C_{ox}\frac{W_6}{L_6}(-V_{DIFF}-V_{R3})\times[(V_{GS6}-V_{THP})+(V_{GS7}-V_{THP})]R_6 \tag{10}$$

为了分析 $COMP_1$ 和 $COMP_2$ 的输出，以下讨论四种不同的情况。

1）$V_{DIFF}>V_{R2}$ 情况。$V_{GSi}-V_{THP}(i=4,5,6,7)$ 的电压小于 0 V，V_A 小于 V_B，V_C 大于 V_D，则 $COMP_1$、$COMP_2$ 分别输出高电平、低电平。

2）$0<V_{DIFF}<V_{R2}$ 情况。V_A 大于 V_B，V_C 大于 V_D，则 $COMP_1$、$COMP_2$ 均输出低电平。

3）$V_{DIFF}<-V_{R3}$ 情况。V_A 大于 V_B，V_C 小于 V_D，则 $COMP_1$、$COMP_2$ 分别输出低电平、高电平。

4）$-V_{R3}<V_{DIFF}<0$ 情况。V_A 大于 V_B，V_C 大于 V_D，则 $COMP_1$、$COMP_2$ 均输出低电平。

四种输入模式下 $COMP_1$、$COMP_2$ 的输出如表 1 所示。

1.3　输出检测器

根据 $COMP_1$、$COMP_2$ 的比较结果，输出检测器确定数据总线上差分输入的有效性。输出检测器模块采用简单的结构来产生静噪检测信号，它包括或门、滤波器和输出缓冲器。当输入信号 D_{MINUS} 与 D_{PLUS} 之间的绝对差值（V_{DIFF}）大于 R_2（或 R_3）上的电压时，静噪检测信号为高电平，表明总线上的数据是有效的；否则，静噪检测信号为低电平，表明为静噪。外部输入差分信号 D_{MINUS} 与 D_{PLUS} 的相交点处可能会产生噪声。该噪声具有较高频率，可采用低通滤波器消除。

表 1　四种输入模式下 $COMP_1$ 和 $COMP_2$ 的输出

输入条件	$COMP_1$ 的输出	$COMP_2$ 的输出
$V_{DIFF}>V_{R2}$	1（$V_A<V_B$）	0（$V_C>V_D$）
$0<V_{DIFF}<V_{R2}$	0（$V_A>V_B$）	0（$V_C>V_D$）
$V_{DIFF}<-V_{R3}$	0（$V_A>V_B$）	1（$V_C<V_D$）
$-V_{R3}<V_{DIFF}<0$	0（$V_A>V_B$）	0（$V_C>V_D$）

2　电源电压的确定

在图 2 所示的传统电平转换器中，如果 V_C（或 V_A）接近 V_{CC}，M_3（或 M_2）管将进入线性区，通过 M_3（或 M_2）管的电流会减少。随着尾电流 I_3（或 I_2）的减小，D（或 B）处的电压将减小。随着尾电流 I_3（或 I_2）的减小，D（或 B）处的电压将减小。因此，信号 A 和 B（或 C 和 D）的比较结果可能是错误的，导致电路无法检测到静噪信号[6]。

在图 3 所示的改进电平转换器中，最小电源电压 V_{CC_MIN} 表示为：

$$V_{CC_MIN}=V_{TH}+|V_{THP}|+2|V_{DS(sat)}| \tag{11}$$

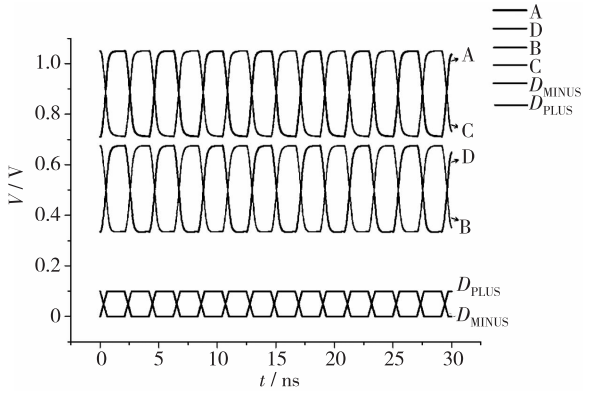
式中，V_{TH} 为检测阈值电压。噪声信号和有效信号电压包络幅度的特点为：小于低阈值电压 100 mV时，识别为噪声信号；大于高阈值电压 150 mV时，识别为有效信号。本文选取设计范围的中间值，即 125 mV。PMOS 管的阈值电压 V_{THP} 约为 −0.8 V，PMOS 管的饱和电压 $V_{DS(sat)}$ 约为 −0.2 V。根据式(11)，可确定最小值。本文中，电源电压设为 1.5 V。

3　仿真与分析

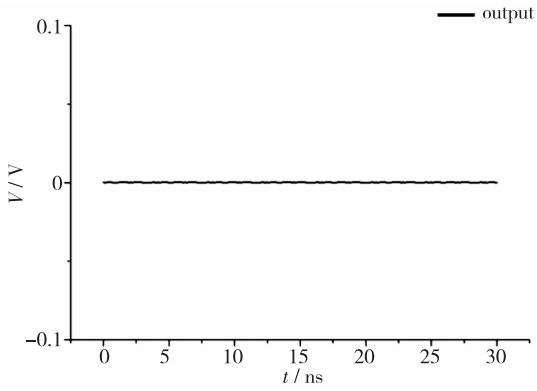
基于 0.13 μm CMOS 工艺，本文设计了一种静噪检测器。$|V_{DIFF}|$ = 100 mV、150 mV 时的仿真波形分别如图 5、图 6 所示。图中显示了在室温（27 ℃）、1.5 V 电源的条件下，改进后的电平转换器的差分输入（D_{PLUS}，D_{MINUS}）、输出（A，B，C 和 D）

和不同情形下的静噪检测信号。

从图 5(a)可以看出，当$|V_{DIFF}|=100$ mV(即$|V_{DIFF}|<V_{th-}$，V_{th-}为V_{R2}、V_{R3}绝对值的最小值)时，V_A大于V_B，V_C大于V_D。在这种情况下，图 5(b)所示的静噪检测信号为低电平，表示数据为静噪。输出检测电路指示接收器禁用数据恢复。



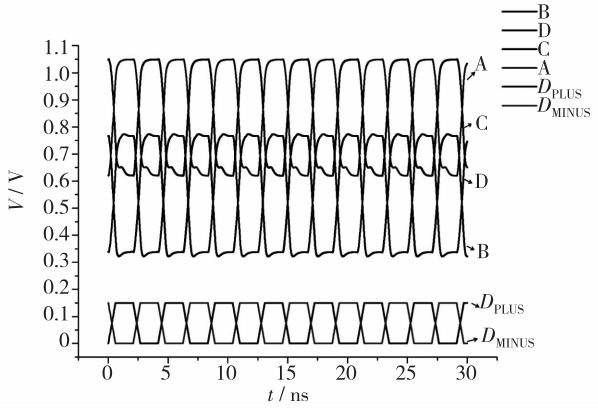
(a) 电平转换器的输入输出波形



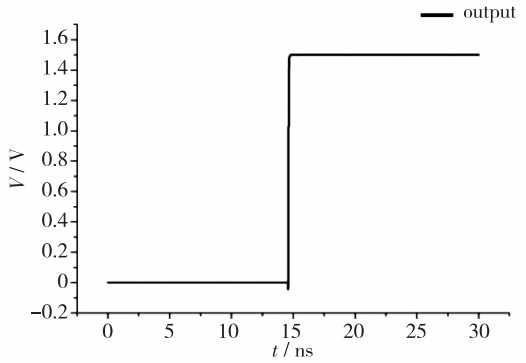
(b) 静噪检测信号

图 5 $|V_{DIFF}|=100$ mV 时的仿真波形

从图 6 可以看出，在$|V_{DIFF}|=150$ mV($|V_{DIFF}|>V_{th+}$，V_{th+}为V_{R2}和V_{R3}绝对值的最大值)的条件下，有两种情况：1)$V_A<V_B$，且$V_C>V_D$；2)$V_A>V_B$，且$V_C<V_D$。相应地，静噪检测信号在数据传输的 8 位周期内从低电平转换到高电平，指示有效数据。



(a) 电平转换器的输入输出波形



(b) 静噪检测信号

图 6 $|V_{DIFF}|=150$ mV 时的仿真波形

将电源电压从 1.35 V 增加到 1.65 V，温度从 0 ℃增加到 70 ℃，输入数据为 480 Mbit/s，获得静噪检测阈值电压，具体数据如表 2 所示。可以看出，最小阈值电压为 106 mV，最大阈值电压为 140 mV。这表明，基于改进电平转换器的静噪检测器可在 0 ℃～70 ℃温度范围和 1.35～1.65 V 电源电压范围内满足性能要求。

表 2 静噪检测阈值电压

条件	数值/mV		
	0 ℃	27 ℃	70 ℃
$V_{CC}=1.35$ V	106	110	120
$V_{CC}=1.5$ V	117	131	140
$V_{CC}=1.65$ V	113	120	131

本文静噪检测器的电源电压为 1.5 V。选择高阻多晶硅(方块电阻$R_{□}=130$ Ω/□)，以减小芯片面积。电路版图如图 7 所示。实验原型电路的有效面积为 0.036 mm^2，功耗为 3.7 mW。

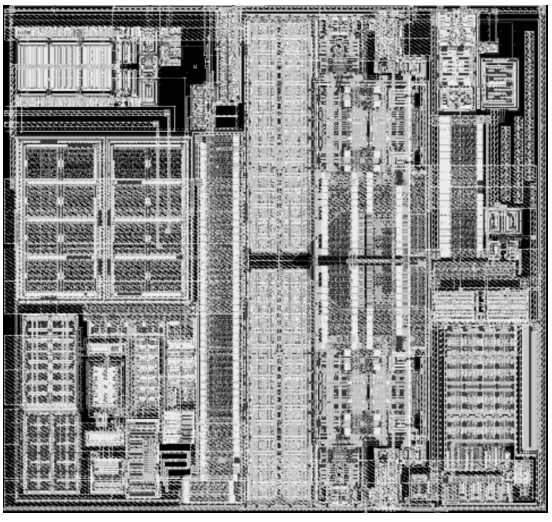


图 7 静噪检测器版图

4　结　论

基于传统电平转换器的静噪检测器不适用于低电源串行数据系统。为满足低功耗要求，设计了一种改进的电平转换器结构。引入了基准电流源电路和电流镜电路，设计了一种基于新电平转换器结构的静噪探测器。电路面积为 0.036 mm^2。在 1.5 V 低电源电压下进行了验证。结果表明，在 1.5 V 时，电路消耗 3.7 mW。本文电路对低电源电压、高速串行链路收发器提供了有益参考。

参 考 文 献：

[1] 宋奕霖，王自强. 14 Gb/s 高速串行接口发送端电路设计 [J]. 微电子学，2015，45(1)：26-31.

[2] SONG B，KIM K，LEE J，et al. A 13.5-mW 10-Gb/s 4-PAM serial link transmitter in 0.13-μm CMOS technology [J]. IEEE Trans Circ & Syst II：Expr Bri，2014，61(9)：646-650.

[3] 徐立升，张建春，孙健. 基于 RocketIO 的高速光收发电路的设计实现 [J]. 光通信技术，2017，41(6)：54-56.

[4] LEI Q，ZHAO E，LIN M，et al. A low power received signal strength indicator for short distance receiver [C] // Int Conf Mechatron & Autom Control Syst. Hangzhou，China. 2013：755-763.

[5] JOU S J，KUO S H，CHIU J T，et al. A serial link transceiver for USB2 high-speed mode [C] // IEEE Int Symp Circ & Syst. Sydney，Australia. 2001：72-75.

[6] 魏蒙，俞小宝，池保勇. 基于包络检测的射频功率放大器平均效率提高技术 [J]. 微电子学，2015，45(3)：340-344.

[7] NGO T H，LEE T W，PARK H H. A novel，low-complexity，high-speed envelope detector and its applications [J]. Int J Circ Theo & Appl，2012，40(6)：627-634.

[8] NGUYEN T，TRUONG H，KIM O. High speed envelope detector and method [P]. US6980006，2005-12-27.

[9] YU J S. High speed analog envelope detector [P]. US7557633，2009-07-07.

[10] SETH S，THINAKARAN R，CHAKRAVARTY S，et al. A low power high speed envelope detector for serial data systems in 45 nm CMOS [C] // IEEE Int Symp Circ & Syst. Rio de Janeiro，Brazil. 2011：49-52.

[11] 罗志聪，孙奇燕，方金花. 一类适用于串行通信的高速包络检测电路 [J]. 厦门大学学报(自然科学版)，2014，53(1)：56-61.

[12] HOU Z Y，YANG F，LIU J H，et al. A low power and wide frequency range CMOS signal detector for high speed data links [C] // IEEE 11th Int Conf Sol Sta & Integr Circ Technol. Xi'an，China. 2012：1-3.

[13] ZHANG X，DELSHADPOUR S，YAZDI A. Precise signals wing squelch detector [P]. EP3276826，2018-05-02.

[14] SHI Y，WU G，WANG X，et al. A low-power high-speed level shifter suitable for synchronous switching power converters [C] // IEEE 13th Int Conf Sol Sta & Integr Circ Technol. Hangzhou，China. 2017：1303-1305.

一种基于闪存的温度补偿型向量矩阵乘法器

蒋明峰[1]，方　毅[2]，黄　鲁[1,2]
（1. 中国科学技术大学 电子科学与技术系，合肥 230027；
2. 中国科学技术大学 信息科学实验中心，合肥 230027）

摘　要： 基于 XMC 65 nm 浮栅工艺，设计了一种基于闪存的存算一体向量矩阵乘法器。进行模拟计算的闪存单元工作在线性区，采用两个闪存单元以差分的方式存储一个权重，提高了计算线性度，减小了权重的温度系数分布。设计了电流减法与缓冲电路，精确得到了乘累加的计算结果，并通过负阻并联型闪存负载实现了良好的温度补偿。模拟计算的精度为 4 位。仿真结果表明，各权重的计算结果为：在－40 ℃～85 ℃范围内，温度系数小于 0.1%/℃；在 85 ℃～130 ℃范围内，温度系数小于 0.25%/℃。

关键词： 存算一体化；向量矩阵乘法器；闪存；温度补偿
中图分类号：TN432；TP183　　**文献标识码：**A　　**文章编号：**1004-3365(2020)03-0344-05
DOI：10.13911/j.cnki.1004-3365.190469

A Temperature-Compensated Vector-Matrix Multiplier Based on Flash Memory

JIANG Mingfeng[1], FANG Yi[2], HUANG Lu[1, 2]
(1. *Department of Electronic Science and Technology, Univ. of Science and Technology of China, Hefei* 230027, *P. R. China*;
2. *Information Science and Practice Center, Univ. of Science and Technology of China, Hefei* 230027, *P. R. China*)

Abstract: Based on XMC FG 65 nm process, a vector-matrix multiplier (VMM) using flash with processing in memory (PIM) architecture was designed. The flash cells worked in the linear region. By storing one weight in two flash cells differentially, the variation of different weight's temperature coefficient (TC) could be reduced while increasing the calculation linearity. The current subtractor and buffer were designed to obtain the multiply accumulate (MAC) results accurately, and good temperature compensation was achieved by a negative impedance parallelled flash load. The analog calculation accuracy was 4 bit. The simulation results showed that the temperature coefficient of the stored weights was less than 0.1%/℃ from －40 ℃ to 85 ℃ and was less than 0.25%/ ℃ from 85℃ to 130 ℃.

Key words: processing in memory; vector-matrix multiplier; flash memory; temperature compensation

0　引　言

近些年，随着神经网络朝着更深层次的网络结构发展，其性能也在不断提高，在图像、语音等领域得到广泛应用。随着网络结构越来越复杂，神经网络对内存资源和运算资源的需求越来越大，造成了神经网络的内存瓶颈和运算瓶颈[1]。当前的 CPU 与 GPU 已无法承担神经网络对高数据吞吐率和高能效的需求，迫切需要研究新型神经网络计算架构，以实现高速、高能效的神经网络运算。

存算一体架构利用了神经网络支持低精度与推

收稿日期：2019-08-05；**定稿日期：**2019-09-23
基金项目：国家自然科学基金资助项目(61874102)
作者简介：蒋明峰(1995—)，男(汉族)，福建三明人，硕士研究生，研究方向为模拟集成电路设计。
方　毅(1975—)，男(汉族)，工程师。通信作者，E-mail：fangyi@ustc.edu.cn。
黄　鲁(1961—)，男(汉族)，副教授，硕士生导师。通信作者，E-mail：luhuang@ustc.edu.cn。

理过程权重固定的特点，将存储和计算融合，解决了冯诺依曼计算架构因数据传输带来的延迟和功耗。与数字计算相比，模拟计算的计算机理在速度和功耗上都有极大优势。极低的功耗使得神经网络算法能够部署在物联网和边沿设备等应用上[1-2]，因此，存算一体架构有很大的应用前景。目前，前沿研究已实现存算一体的存储介质，如静态随机存取存储器（SRAM）、阻变存储器（ReRAM）、闪存（flash）等[3-7]。向量矩阵乘法器（VMM）可以通过交叉开关矩阵的形式实现[2, 6, 8]，最大化利用存储阵列，完成神经网络中最主要的乘累加运算，它是目前存算一体架构中广泛采用的一种形式。

半导体器件的特性与温度相关，进行模拟计算的计算结果会随着温度变化。对于一些模拟计算机理，正常工作时的温度变化甚至会对结果产生高达 1 个数量级的影响[9]。因此，对模拟运算进行温度补偿，使计算结果与温度无关，这是十分重要的。

文章第 1 节介绍向量矩阵乘法器的系统架构，第 2 节通过理论分析介绍了采用本文结构进行计算与温度补偿的原理，第 3 节介绍向量矩阵乘法器设计，第 4 节介绍仿真与分析，第 5 节给出结论。

1　向量矩阵乘法器系统架构

向量矩阵乘法器要实现的计算式为：

$$\begin{pmatrix} y_1 \\ \vdots \\ y_m \end{pmatrix} = \begin{pmatrix} w_{11} & \cdots & w_{1n} \\ \vdots & \ddots & \vdots \\ w_{m1} & \cdots & w_{mn} \end{pmatrix} \begin{pmatrix} x_1 \\ \vdots \\ x_n \end{pmatrix} \tag{1}$$

系统架构如图 1 所示。

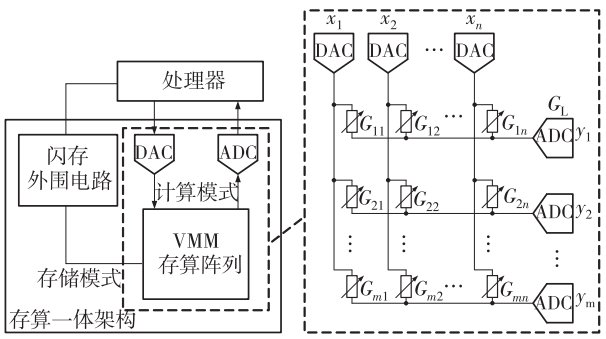


图 1　向量矩阵乘法器系统架构

通过欧姆定律与基尔霍夫电流定律，实现向量矩阵乘法[8]。具体实现的计算式为：

$$\begin{pmatrix} y_1 \\ \vdots \\ y_m \end{pmatrix} = \frac{1}{G_L} \begin{pmatrix} G_{11} & \cdots & G_{1n} \\ \vdots & \ddots & \vdots \\ G_{m1} & \cdots & G_{mn} \end{pmatrix} \begin{pmatrix} x_1 \\ \vdots \\ x_n \end{pmatrix} \tag{2}$$

$$w_{ij} = \frac{G_{ij}}{G_L} (i = 1, \cdots, m; j = 1, \cdots, n) \tag{3}$$

权重矩阵以存储单元阵列的电导实现。闪存单元可以看作阈值电压可变的 MOS 管。通过编程、擦除操作，可以通过改变闪存的阈值电压 V_{TH} 来改变等效电导，从而实现权重的存储。G_L 为计算结果电流转换成电压的跨导值。

系统的存算过程如下。在存储模式下，处理器控制闪存外围电路向存储器存储电导矩阵 $\boldsymbol{W}$。在计算模式下，乘数向量 $\boldsymbol{x}$ 以数字信号的形式，从处理器输入存算模块，通过 DAC 转换，成为模拟信号。在存算阵列里，实现向量矩阵相乘，再通过 ADC 转换回数字信号 y，传回处理器。

2　计算与温度补偿原理

2.1　计算原理

本文采用向量矩阵乘法器计算模式，基本结构如图 2 所示。采用 2 个闪存单元的电导差值表示 1 个权重数据，将电流的差值作为乘法的结果。

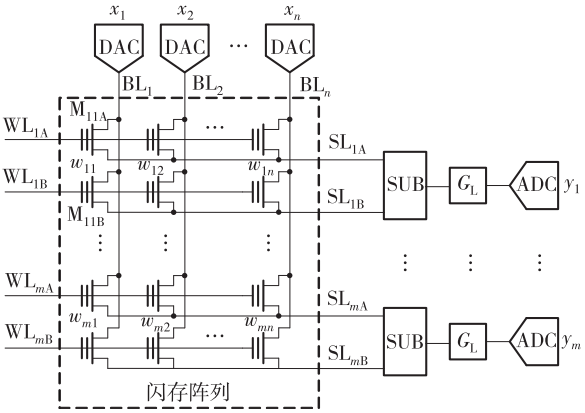


图 2　计算模式基本结构

在计算模式下，闪存单元工作在线性区。存储同一个权重的两个闪存单元的栅极通过字线（WL）施加相同电压，漏极连接同一根位线（BL），源极通过源极线（SL）连接到电流减法器控制源极，电位相同。因此，2 个闪存单元的三端电压相同，仅有阈值电压不同。线性区的电流为：

$$I = \mu C_{ox} \frac{W}{L} \left[(V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \tag{4}$$

在 BL_j 上，WL_{iA}、WL_{iB} 对应单元 M_{ijA}、M_{ijB} 的电流差值为：

$$\Delta I_{ij} = I_{ijB} - I_{ijA} = \mu C_{ox} \frac{W}{L} (V_{THijA} - V_{THijB}) V_{DSj} \tag{5}$$

式(2)中，x_j 对应 V_{DSj}，y_i 对应的输出电压 V_{oi} 为：

$$V_{oi}=\frac{1}{G_L}\mu C_{ox}\frac{W}{L}\sum_j(V_{THijA}-V_{THijB})V_{DSj} \tag{6}$$

对应的电导为：

$$G_{ij}=\mu C_{ox}\frac{W}{L}(V_{THijA}-V_{THijB}) \tag{7}$$

因此，可以完成式(2)所示的向量矩阵乘法。对比式(5)与式(4)，可知，这种计算方式消去了输入电压 V_{DS} 的 2 阶项，在整个线性区范围内均具有很好的计算线性度。

2.2 温度补偿原理

式(4)中，受温度影响的参数有两个，即迁移率 μ 和阈值电压 V_{TH}，均为负温度系数。

将式(4)对温度求偏微分，可得：

$$\frac{1}{I}\frac{\partial I}{\partial T}=\frac{1}{\mu}\frac{\partial \mu}{\partial T}-\frac{1}{V_{GS}-V_{TH}-\frac{1}{2}V_{DS}}\frac{\partial V_{TH}}{\partial T} \tag{8}$$

不同单元的 V_{TH} 不同，不同 BL 单元的 V_{DS} 不同，因此，各单元的温度系数是不同的，具有很宽的温度系数分布，无法对这些温度系数不同的单元进行温度补偿。

将式(7)对温度求偏微分，可得：

$$\frac{1}{G_{ij}}\frac{\partial G_{ij}}{\partial T}=\frac{1}{\mu}\frac{\partial \mu}{\partial T}+\frac{\partial(V_{THijA}-V_{THijB})}{(V_{THijA}-V_{THijB})\partial T} \tag{9}$$

因为 V_{TH} 的温度特性近似为线性[10]，则：

$$\frac{\partial(V_{THijA}-V_{THijB})}{\partial T}\approx 0 \tag{10}$$

$$\frac{1}{G_{ij}}\frac{\partial G_{ij}}{\partial T}\approx\frac{1}{\mu}\frac{\partial \mu}{\partial T} \tag{11}$$

式(11)表明，电导差值消除了温度系数受 V_{TH} 与 V_{DS} 的影响，不同阈值电压的闪存单元均呈现相同的温度系数，减小了式(8)中温度系数的分布范围。

为了得出最终的权重受温度变化的影响，将式(3)对温度求偏微分，可得：

$$\frac{1}{w_{ij}}\frac{\partial w_{ij}}{\partial T}=\frac{1}{G_{ij}}\frac{\partial G_{ij}}{\partial T}-\frac{1}{G_L}\frac{\partial G_L}{\partial T} \tag{12}$$

根据式(12)，只要将电流-电压转换的电导 G_L 设置成与式(11)相同的温度系数，即可得到温度补偿的效果，具体实现方式在第 3 节阐述。

3 向量矩阵乘法器设计

3.1 整体架构

本文的向量矩阵乘法器的整体架构如图 3 所示。该乘法器代表了图 2 中一行的电路结构，通过纵向扩展即可完成向量矩阵乘法。

整体电路包括向量矩阵乘法电路、电流减法电路、电流缓冲电路和负载电路。电流减法电路使源极线电压稳定，得到 2 路电流的减法结果。电流缓冲电路对电流进行缓冲，减小减法电流因负载效应造成的偏差。负载电路将电流转换成电压，设计的负阻并联型闪存负载的电导值使式(12)等于零，从而实现温度补偿。

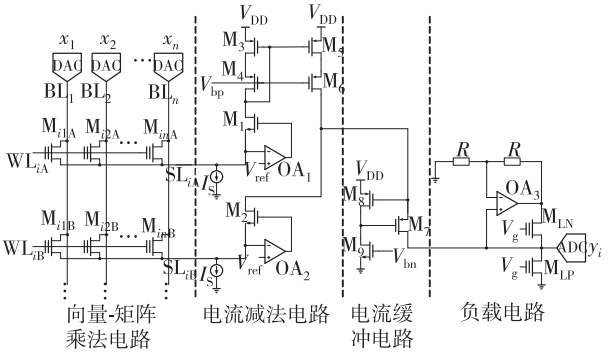


图 3 向量矩阵乘法器

3.2 电流减法电路

电流减法电路通过 2 个电流源折叠输入电流。折叠后的电流流经由运算放大器 OA_1 与 M_1 构成的电流缓冲器，以及流经由 OA_2 与 M_2 构成的电流缓冲器，最后，通过共源共栅电流镜，在输出端得到电流减法的结果。输出电流 $I_{out}=I_{SLB}-I_{SLA}$，I_{SLA}、I_{SLB} 分别为 2 条源极线上的电流。

运算放大器的正输入端连接存储器外围电路中的带隙基准参考电压 V_{ref}，能稳定源极线上的电压，确保位线上的电压输入能直接施加到闪存单元的漏源电压 V_{DS} 上。

电流减法输出端的输出阻抗近似为电流镜的输出阻抗，共源共栅电流镜的输出阻抗较大，能减小电流镜像的偏差，实现精确的电流减法。

3.3 电流缓冲电路

由 $M_7\sim M_9$ 构成的电流缓冲电路可对减法电流进行缓冲。电流缓冲电路控制前级电流镜的输出电压，为 $V_{DD}-V_{GSS}$，将其设置为电流镜输入端的电压，减小电流镜的失调。电流缓冲电路的输入阻抗很小，近似为 $1/[g_{m7}g_{m8}(r_{o8}\parallel r_{o9})]$，即 1 除以 M_7 的跨导，再除以 M_8 的增益，可极大减小电流传输由负载效应造成的偏差。

3.4 负载电路

由式(11)可知，电导差值温度系数恒定。本文设计了负阻并联型闪存负载，可产生电导差值，实现

温度补偿。由 OA_3 搭成的负阻抗变换器(NIC)将 M_{LN} 转换成一个接地负阻，如图 4 所示。

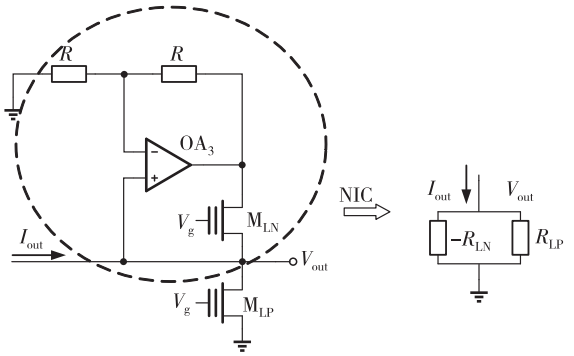


图 4　负阻并联型闪存负载电路

并联的电导为：

$$G_L = G_{LP} - G_{LN} = \mu C_{ox} \frac{W}{L}(V_{THLN} - V_{THLP}) \quad (13)$$

由式(7)与(11)可知，式(13)的温度系数仅受迁移率 μ 的影响，与式(7)为相同的温度系数。因此，式(12)中权重的温度系数为零，实现了温度补偿。

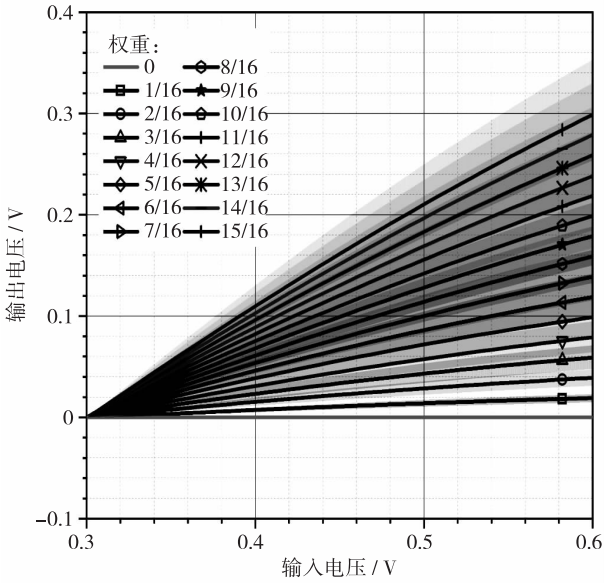
4　仿真结果与分析

本文的向量矩阵乘法器基于 XMC FG 65 nm 工艺设计，电源电压为 1.8 V，使用 Cadence Spectre 进行仿真。

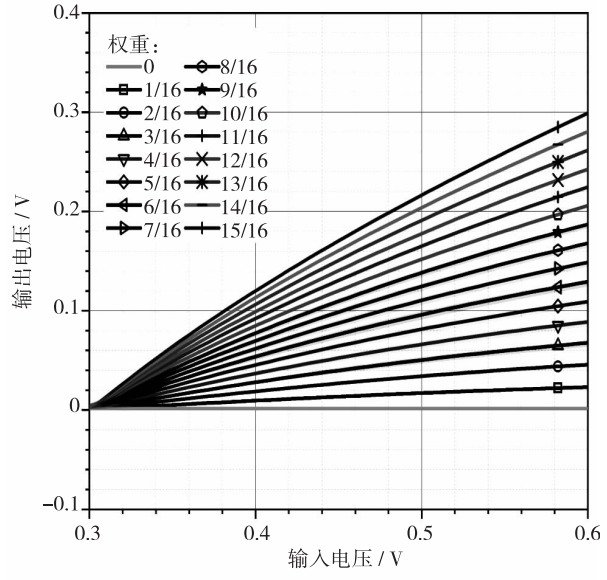
向量矩阵乘法器的闪存阵列为 32 行×32 列，闪存单元通过编程、擦除操作能存储的精度为 4 位，即能存储 16 种状态。闪存单元使用 bsim4 模型进行仿真，通过设置 bsim4 模型的 delvto 模型参数，模拟实际编程、擦除过程对闪存单元阈值电压的调整。在计算模式下，闪存单元的栅极电压为 6 V，由存储器外围电路中的电荷泵产生。漏源电压为 0～300 mV，当漏源电压最大时，16 种阈值电压的闪存单元的工作电流为 5～20 μA。电流相减后，对应于式(7)中的电导差值为 0～50 μS。

仿真过程中，将 32 个闪存单元依次存储相同状态，以测试不同权重的温度系数，权重分别为 0，1/16，…，15/16，源极线的电位为 300 mV，位线 DAC 的输出电压范围为 300～600 mV。在仿真中，使用理想电压源替代，输出端 ADC 的输入电压范围为 0～300 mV。采用理想负载与 3.4 节中的负载电路进行对比，分析温度补偿的情况。

补偿前后运算特性仿真曲线如图 5 所示，图中的实线为 27 ℃下的计算曲线，浅灰色填充区域为 −40 ℃～100 ℃范围内的计算结果。可以看出，在补偿前，计算曲线受温度的影响很大，在不同温度下互相交叠，造成运算产生误码。补偿后，计算曲线受温度的影响很小。



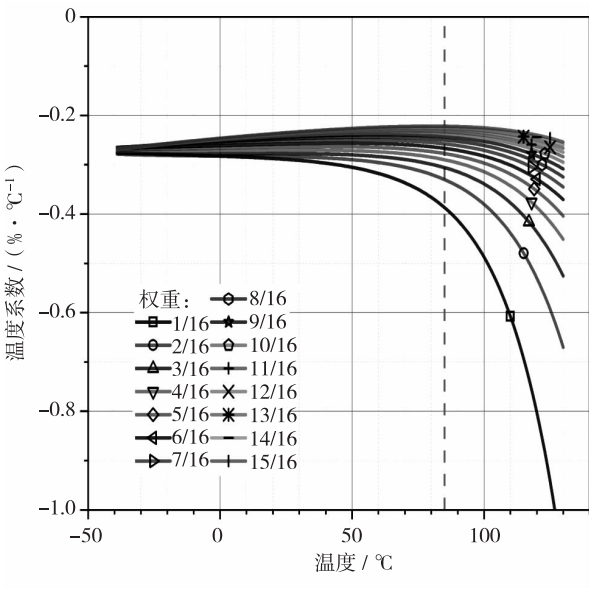
(a) 理想负载



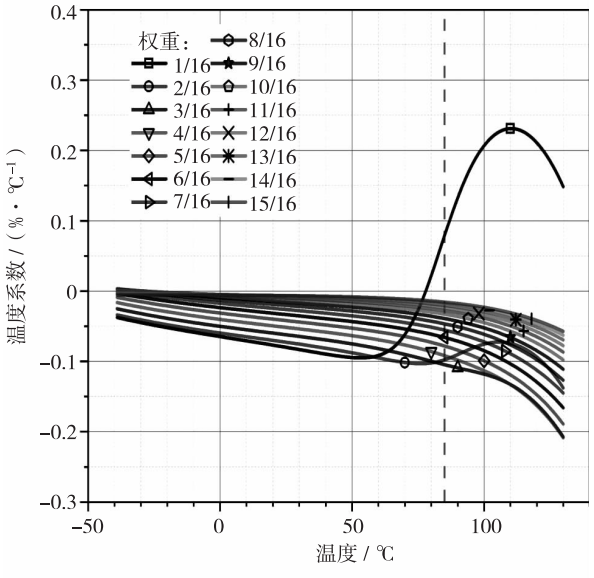
(b) 温度补偿负载

图 5　补偿前后运算特性仿真曲线

补偿前后的温度仿真曲线如图 6 所示。可以看出，补偿前，权重的温度系数在 −40 ℃～85 ℃范围内小于 0.4%/℃；在更高温度下，权重值为 1/16 权重的温度系数甚至达到 1%/℃。补偿后，在 −40 ℃～85 ℃范围内，各权重的温度系数均小于 0.1%/℃；在 85 ℃～130 ℃范围内，各权重的温度系数均小于 0.25%/℃。本文采用了温度补偿设计，电路具有良好温度特性。



(a) 理想负载



(b) 温度补偿负载

图 6 补偿前后的温度系数仿真曲线

5 结 论

本文介绍了存算一体架构的向量矩阵乘法器的基本原理，提出了一种闪存单元在线性区模拟计算的方法。向量矩阵乘法电路和负载电路均采用了电导相减的结构，获得了很好的计算线性度和温度特性。基于 XMC 65 nm 浮栅工艺，完成了电路的设计与仿真。仿真结果表明，各权重的计算结果在 −40 ℃～85 ℃范围内的温度系数小于 0.1%/℃，在 85 ℃～130 ℃范围内的温度系数小于 0.25%/℃。该向量矩阵乘法器达到了良好的温度特性。

致 谢：

感谢中国科学技术大学信息科学实验中心提供的 EDA 平台支持。

参 考 文 献：

[1] VERHELST M, MOONS B. Embedded deep neural network processing: algorithmic and processor techniques bring deep learning to IoT and edge devices [J]. IEEE Sol Sta Circ Mag, 2017, 9(4): 55-65.

[2] HASLER J, MARR H B. Finding a roadmap to achieve large neuromorphic hardware systems [J]. Front Neurosci, 2013, 7(118): 1-29.

[3] ZHANG J, WANG Z, VERMA N. In-memory computation of a machine-learning classifier in a standard 6T SRAM array [J]. IEEE J Sol Sta Circ, 2017, 52(4): 915-924.

[4] BISWAS A, CHANDRAKASAN A P. Conv-RAM: an energy-efficient SRAM with embedded convolution computation for low-power CNN-based machine learning applications [C] // IEEE ISSCC. San Francisco, CA, USA. 2018: 488-490.

[5] CHEN W H, LI K X, LIN W Y, et al. A 65 nm 1 Mb nonvolatile computing-in-memory ReRAM macro with sub-16 ns multiply-and-accumulate for binary DNN AI edge processors [C] // IEEE ISSCC. San Francisco, CA, USA. 2018: 494-496.

[6] LI C, HU M, LI Y, et al. Analogue signal and image processing with large memristor crossbars [J]. Nat Electron, 2018, 1(1): 52-59.

[7] BASU A, BRINK S, SCHLOTTMANN C, et al. A floating-gate-based field-programmable analog array [J]. IEEE J Sol Sta Circ, 2010, 45(9): 1781-1794.

[8] HAN R, HUANG P, XIANG Y, et al. A novel convolution computing paradigm based on NOR flash array with high computing speed and energy efficiency [J]. IEEE Trans Circ Syst I: Regu Pap, 2019, 66(5): 1692-1703.

[9] GUO X, BAYAT F M, PREZIOSO M, et al. Temperature-insensitive analog vector-by-matrix multiplier based on 55 nm NOR flash memory cells [C] // IEEE CICC. Austin, TX, USA. 2017: 1-4.

[10] FILANOVSAY I M, ALLAM A. Mutual compensation of mobility and threshold voltage temperature effects with applications in CMOS circuits [J]. IEEE Trans Circuits Syst I: Regu Pap, 2001, 48(7): 876-884.

3D-IC 中基于时分复用的 TSV 蜂窝容错设计

杨 兆[1]，梁华国[1]，束 月[1]，左小寒[1]，倪天明[2]，黄正峰[1]
(1. 合肥工业大学 电子科学与应用物理学院，合肥 230000；2. 安徽工程大学 电气工程学院，安徽 芜湖 241000)

摘 要： 三维芯片(3D-IC)通过硅通孔(TSV)技术来实现电路的垂直互连，延续了摩尔定律，但在制造、绑定等过程中，TSV 容易引入各类缺陷。添加冗余 TSV 是解决该问题的有效方法之一，但 TSV 面积开销大、制造成本高。提出一种基于时分复用(TDMA)的 TSV 蜂窝结构容错设计方案，它基于时间对信号 TSV 进行复用。实验结果表明，与一维链式 TDMA 结构相比，蜂窝 TDMA 结构提高了 30%的故障覆盖率，并且故障覆盖率随着蜂窝阵列的扩展持续提升。在 64TSV 阵列中，与一维 TDMA 结构相比，蜂窝拓扑结构的面积开销降低了 10.4%。

关键词： 三维芯片；硅通孔；容错设计；时分复用；蜂窝结构
中图分类号：TN403 **文献标识码：**A **文章编号：**1004-3365(2020)03-0349-08
DOI：10.13911/j.cnki.1004-3365.190443

Fault Tolerant Design of TSV Honeycomb Structure Based on Time Division Multiple Access in 3D-ICs

YANG Zhao[1], LIANG Huaguo[1], SHU Yue[1], ZUO Xiaohan[1], NI Tianming[2], HUANG Zhengfeng[1]
(1. *School of Electronic Science and Applied Physics, Hefei University of Technology, Hefei* 230000, *P. R. China*;
2. *College of Electrical Engineering, Anhui Polytechnic University, Wuhu, Anhui* 241000, *P. R. China*)

Abstract: In order to keep Moore's law moving forward, through-silicon-via (TSV) is used to complete the vertical interconnection in the 3-D chips. However, defects are easily to appear in the process of manufacturing and binding. Redundant TSV is used as one of the effective ways to solve this problem while TSV has large area and manufacturing cost. A fault tolerant design scheme of TSV cellular structure based on time division multiple access (TDMA) which reused TSV based on time slice was proposed. The experimental results showed that the cellular TDMA structure improved the fault coverage by 30% compared with the one-dimensional chain TDMA structure, and the fault coverage continued to increase with the expansion of cellular arrays. In 64TSV arrays, the area cost of cellular topology was 10.4% lower than that of one-dimensional TDMA structure.

Key words: 3D-IC; TSV; fault tolerant design; TDMA; honeycomb structure

0 引 言

1960 年代，Gordon Moore 预测了集成电路特征尺寸随时间缩小的规律。短短六十年间，集成电路中晶体管的数量以史无前例的速度在增加。与此同时，光刻技术却逐渐逼近了物理极限。为了从第三维度延续摩尔定律，将芯片在垂直方向上进行堆叠的思路应运而生。这种堆叠方式会极大提高系统的集成程度，降低功耗，减小系统延时和互连线长度，且支持异构集成[1]。

三维集成技术有着很好的应用前景，但目前仍

收稿日期：2019-07-24；**定稿日期：**2019-09-23
基金项目：国家自然科学基金资助项目(61674048)；国家自然科学基金重点项目(61834006)；电子测试技术重点实验室开放基金资助项目(614200102020717)
作者简介：杨 兆(1993—)，男(汉族)，安徽芜湖人，硕士，研究方向为三维集成电路测试与容错设计。

存在很多问题。由于三维芯片使用硅通孔(Through Silicon Via，TSV)进行垂直绑定，比传统二维芯片更加复杂，且 TSV 的成品率一直是影响三维芯片成品率的重要因素。因此，如何有效容忍 TSV 故障、提升芯片的成品率，成为一个重要课题[1-2]。

理想情况下，给每根 TSV 均配备冗余，即可轻松实现 100%的修复率。但是，TSV 的面积开销巨大，芯片设计中无法承受 1∶1 的冗余比，并且这样设计会产生大量的无用冗余 TSV。一般按照一定比例，设计少量冗余 TSV 进行复用。对于冗余设计，需要考虑多种约束条件，尽可能在硬件开销与修复率之间寻找平衡点[2-3]。在前期相关容错测试方案研究中，大部分工作均采用了使用冗余 TSV 的方案，路由路径在水平与垂直方向上排布。三星公司的 U. Kang 等人在 2010 年提出切换 TSV 的容错方案，率先使用冗余 TSV，对发生故障的 TSV 进行替换，以维持系统工作[3]。香港中文大学的蒋力等人提出一种基于路由的 TSV 容错方法，使用行和列的二维冗余策略，显著提升了修复率，但会造成高额的面积开销[4]。中国科学技术大学的徐奇等人提出一种基于空白块再分配的算法，通过对冗余 TSV 和信号 TSV 进行不规则位置排布，尽可能减少硬件开销，以提高成品率[5]。

印度理工学院的 R. P. Reddy 等人提出一种基于时分复用(Time Division Multiple Access，TDMA)的一维单向冗余结构[6]，采用在时间维度复用信号 TSV 且不使用冗余 TSV 的方法，降低了面积开销和硬件开销[6-7]。该类方案的主要思路是使用串行 TSV 阵列设计，以时间换空间。

B. Vaisband 等人提出一种基于蜂窝阵列的 TSV 绑定策略，有效降低了 TSV 的面积开销，以及 TSV 相互间的电气特性干扰[8]。上海交通大学的王琴等人基于蜂窝布局方式，提出了一种基于蜂窝排列的 TSV 寻路算法，以六边形的布局结构进一步降低面积开销，并通过最小代价算法来对故障 TSV 需要传输信号的修复路线进行规划，进一步提升了修复率，降低了面积开销[9]。该类方案的思路是使用蜂窝排布代替矩形网格排布。

上述方法中，除了 TDMA 的方案，其余方案均对冗余 TSV 进行了复用，在设计电路时，需要根据信号 TSV 的数量，插入一定比例的冗余 TSV，这会产生较大的面积开销。TDMA 的方案没有使用冗余 TSV，降低了面积开销，但其前期研究方案是一维单向容错路由设计，这种设计在整体冗余的成功率上存在不足。

本文综合面积与硬件开销，提出基于 TDMA 的蜂窝环形阵列冗余方案。该方案使用蜂窝阵列排布，相较于使用冗余 TSV 的矩形阵列设计，压缩了 TSV 的间距，减小了单个 TSV 的面积开销。TDMA 的方案直接弃用冗余 TSV，进一步降低了面积开销，并且相较于单向一维 TDMA 结构，提高了故障覆盖率。

1　TSV 传输线 TDMA 容错设计原理

1.1　一维 TDMA 容错结构

图 1 所示为基于 TDMA 的一维 TSV 容错结构。该结构分为上层 Die2 和下层 Die1，由 4 根 TSV 进行连接通信。下层 Die1 包含 TDMA 模块、Routing 路由模块、TestResult 测试结果模块。上层 Die2 包含 Rerouting 重路由模块和 Test 测试模块[6]。

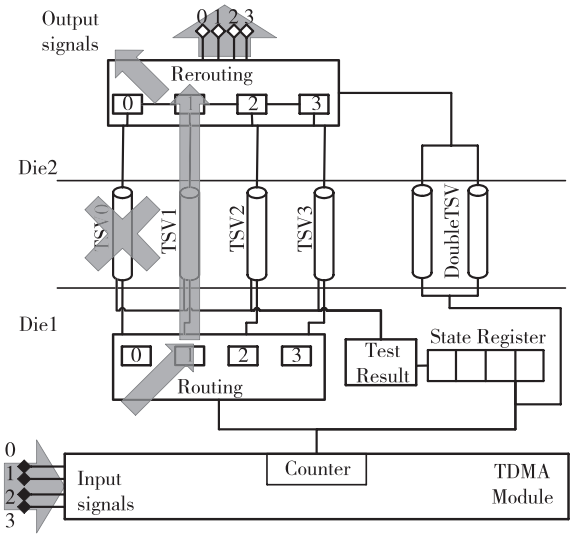


图 1　一维 TDMA 冗余结构

信号首先由下层 Input signals 处输入，在 Output signals 处进行一次一位的输出。由一个两位的 Counter 计数器进行计时。Counter 将分配 4 个时隙，分别为时隙 00、01、10、11。在 4 个时隙内，将 4 位信号分别送入 Die1 的路由模块。在所有 TSV 均无故障的情况下，第 0 位信号被送到路由模块的第 0 位输出端，第 1 位信号被送到第 1 位输出端，以此类推。这 4 位输出端分别与 4 根 TSV 相连接。当某 TSV 出现故障(此处以第 0 根 TSV 发生

故障举例说明），如图 1 中标注，由于 0 号 TSV 出现故障，与之连接的 0 号输出端无法使用，第 0 位信号只有在时隙 00 借用第 1 位输出端；第 1 位信号在时隙 01 继续使用第 1 位输出端；第 2 位信号在时隙 10 使用第 2 位输出端；第 3 位信号在时隙 11 使用第 3 位输出端。由于整个路由模块分时隙工作，在单个时隙内只有 1 根 TSV 工作，路由模块中与 TSV 相连接的输出端并不会产生信号冲突。也就是说，在此例中，即使 1 号输出端被使用了两次，但 2 次使用被分配在不同的时隙内。

路由模块的输出端直接与 TSV 按照对应编号相连接。信号被路由模块送出之后，将通过 TSV 进入图 1 中的 Die2。首先进入 Die2 上的 Rerouting 重路由模块，此模块的工作逻辑与 Die1 的路由模块恰好相反。首先分析所有 TSV 均无故障的情况，由 Die1 经由 TSV 送来的信号在不同时隙被分别送到重路由模块的 0～3 号输入端，并且在时隙 00～11 之间被对应送到 0～3 号输出端。当某 TSV 出现故障时（此处仍以第 0 根 TSV 发生故障举例说明），由第 1 号输入端进入 Die2 重路由模块的信号使用第 0 号输出端（如图 1 中标注，由于第 0 根 TSV 出现故障，下层原本应使用 TSV0 的信号借用 TSV1 进入了 Die2 重路由模块）；由第 1 号输入端进入 Die2 重路由模块的信号使用第 1 号输出端；由第 2 号输入端进入 Die2 重路由模块的信号使用第 2 号输出端；由第 3 号输入端进入 Die2 重路由模块的信号使用第 3 号输出端。

对于该结构，在 TSV 全部完好、有一个故障、有不连续的多个故障的情况下，整个系统均能正常工作，即一次性从 Die1 的输入端输入 4 位信号，依次在时隙 00 到时隙 11 内在 Die2 输出这 4 位信号。

一维单向路由结构方案中，每组结构均包含测试寄存器、TDMA 模块、一组路由模块和一组重路由模块。按照一维单向路由方式，每根 TSV 在遇到故障之后的路由方向均为右移一个单位来寻找正常 TSV。该结构在实际功能中无法为每组的最后一根 TSV（图 1 中 TSV3）进行重路由路径的规划。另外，需要使用额外 DoubleTSV 来传输测试结果和 TDMA 周期计数信号。实际情况中，“DoubleTSV”不固定为 2 根，其数量 k 与每组 TSV 的个数 m 的关系为 $m \leqslant 2^k$。

1.2　基于蜂窝阵列排布的 TSV 阵列结构

图 2 所示为基于蜂窝网络的 TSV 阵列拓扑图。在 TSV 最小间距（minimum pitch）相同且为 p 的情况下，矩形阵列中存在着间距为 $2^{1/2}p$ 的 TSV 组，而蜂窝阵列中，所有 TSV 的间距均为 p。矩形 TSV 排布与蜂窝结构 TSV 排布的面积开销比较结果列于表 1。可以看出，从单个环结构来说，矩形阵列排布有 5 根 TSV，蜂窝阵列有 7 根 TSV。就单个 TSV 的面积开销来说，二者面积开销比为 1∶0.925。可以认为，蜂窝阵列的单位面积可以排列更多的 TSV，即 TSV 被排布得更加紧致。这里可赋予中心黑色 TSV 对其任意相邻 TSV 额外的冗余作用。

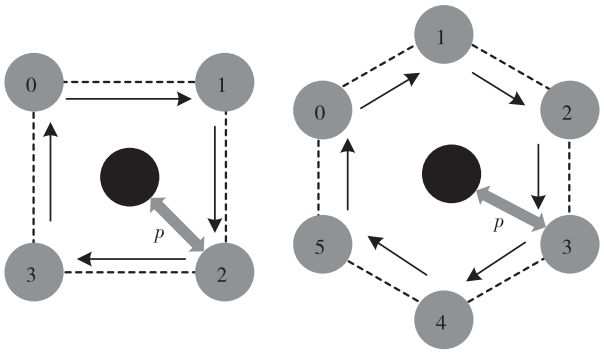


图 2　矩形 TSV 阵列与蜂窝 TSV 阵列

表 1　矩形和蜂窝排布对比

参数	矩形拓扑	蜂窝拓扑	差值比
单组 TSV 面积开销	$2p^2$	$\frac{3\sqrt{3}}{2}p^2$	1∶1.3
单组有效 TSV 数量	5	7	1∶1.4
单个 TSV 面积开销	$2p^2/5$	$\frac{3\sqrt{3}}{14}p^2$	1∶0.925

2　TSV 蜂窝阵列容错结构设计

基于以上研究基础，提出一种新的基于蜂窝阵列的环形 TDMA 容错结构。该结构中，TSV 以正六边形节点的逻辑进行拓扑，并在组内使用 TDMA 的容错设计。

2.1　二维 TDMA 的“单环”蜂窝容错结构

图 3 所示为基于 TDMA 的二维环形结构。整个系统分为 Die1 和 Die2 两层，由下层的路由模块和上层的重路由模块组成。层间由 TSV 进行连接。TSV 路由路径首尾相接，可以解决一维单向路由结构中每组均存在最后一根 TSV 若出现故障无法被容错的问题。在此基础上，将每组中 TSV 的个数从 4 个提升到 6 个，TSV 的排布方式由矩形阵列改变为六边形阵列，在 TSV 总数不变的情况下减少组

数，利用蜂窝结构进行 TSV 排布。

图 4 所示为 TDMA TSV 蜂窝单环结构。不同于一维结构仅在下层放置计数器和测试结果寄存器，这里在 Die1 和 Die2 上下层双置测试结果模块。这样，无需花费过多时间，从下层将测试结果和计数信号传到 Die2，即可使用同步时钟信号 CLK 替代 DoubleTSV 结构。该结构包含六根 TSV 作为信号传输线，一根功能 TSV 作为 CLK。图 4 中心黑色 TSV 为该结构中同步时钟 TSV，以确保上下模块计数器同步计数，在同一时隙内处理相同的数据。

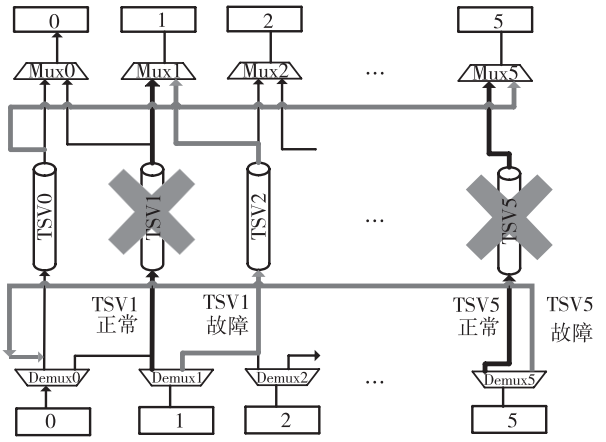


图 3　环形 TSV 阵列与故障时重路由路径

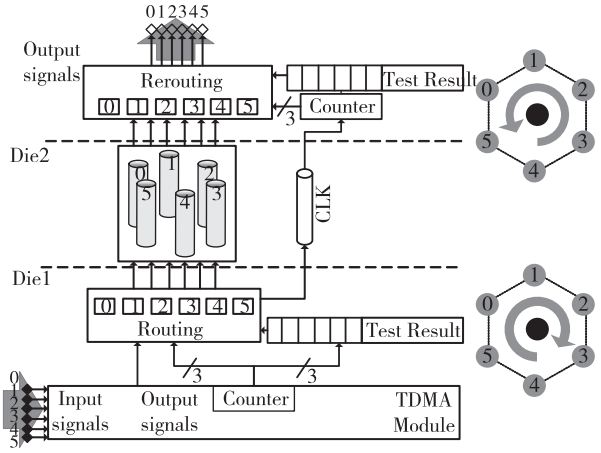


图 4　TDMA TSV 蜂窝单环结构

图 4 中，黑色菱形表示输入信号。首先由下层 Input signals 处输入，在 Output signals 处一次一位地输出，由一个 Counter 计数器进行计时。Counter 将分配 6 个时隙，分别为时隙 000、001、010、011、100、101。在 6 个时隙内，将 6 位信号分别送入 Die1 的路由模块。在所有 TSV 均无故障的情况下，信号 0 被送到路由模块的输出端 0，信号 1 被送到输出端 1，信号 2 被送到输出端 2，以此类推。这 6 位输出端分别与 6 根 TSV 相连接。当某 TSV 出现故障（此处以 TSV1 发生故障举例说明，如图 4 所示），那么第 0 号信号依旧在时隙 000 被送到第 0 位输出端；但由于 TSV1 出现故障，与之连接的输出端 1 无法使用，信号 1 只有在时隙 001 被输出到输出端 2；信号 2 在时隙 010 继续使用输出端 2；信号 3 在时隙 011 使用输出端 3；以此类推，直至第 5 信号在时隙 101 使用输出端 5。需要说明的是，环形结构中，TSV5 如果发生故障，那么信号 5 将在时隙 101 被输出到输出端 0，即图 5 中右下方蜂窝环所示。这样就成功解决了一维单向路由结构中每组最后一根 TSV 无法被容错的问题。由于整个路由模块分时隙工作，在单个时隙内只有 1 根 TSV 工作，路由模块中的信号传输并不会产生时空上的冲突。也就是说，在此例中，即使输出端 1 或输出端 0 被使用了两次，但 2 次使用被分配在不同的时隙内。整个路由模块对于故障 TSV 的冗余方式是 0～5 循环，直观来看，呈顺时针方向，如图 4 的下层蜂窝环所示。

路由模块的输出端直接与 TSV 按照相同编号相连接，信号被路由模块送出之后，将通过 TSV 进入图 4 中 Die2 的 Rerouting 重路由模块。此模块的重路由方向与 Die1 的路由模块相反。

首先分析所有 TSV 均无故障的情况，由 Die1 经由 TSV 送来的信号在不同时隙被分别送到重路由模块的 0～5 号输入端，并且在时隙 0～5 之间被对应送到 0～5 号输出端。当某 TSV 出现故障时（此处仍以第 1 和第 5 根 TSV 发生故障举例说明），由 TSV0 进入 Die2 重路由模块的信号使用输出端 0；由 TSV2 进入 Die2 重路由模块的信号使用第 1 号输出端（由于 TSV1 出现故障，下层原本应使用 TSV1 的信号借用 TSV2 进入了 Die2 重路由模块）；由 TSV3 进入 Die2 重路由模块的信号使用输出端 3；以此类推，最后由 TSV0 进入 Die2 重路由模块的信号使用输出端 5（由于 TSV5 出现故障，下层原本应使用 TSV5 的信号借用 TSV0 进入了 Die2 重路由模块）。整个路由模块的路由路径是 5-4-3-2-1-0 循环，直观来看，冗余 TSV 的选择方向呈逆时针，如图 4 的上层蜂窝环所示。

“蜂窝单环”容错结构可以在 TSV 全部正常、有一个故障 TSV、有多个不连续的故障 TSV 的情况下正常工作。当最后一根 TSV（TSV5）出现故障的时候，可以找到为其路由的 TSV 传输路径，并且使

用一根 CLK 代替 DoubleTSV 结构，在相同的功能下，每组均能减少 1 根功能 TSV 的使用量。

该结构的工作流程如图 5 所示。m 表示每组 TSV 的个数，本文中 m 为 6。n 表示 TDMA 结构中的 Counter 计数器产生的计数时钟信号，本文中，n 为 000～101。信号由下层送入，根据 TSV 不同的状态（正常 or 故障），将信号传送至对应的 TSV，再传送进入上层，并选择正确的输出端，在计数信号达到 101 之后结束循环，输入下一组信号。总体来看，这种结构就是循环使用正确的传输路径，将多组信号在不同的时隙内从下层送至上层。

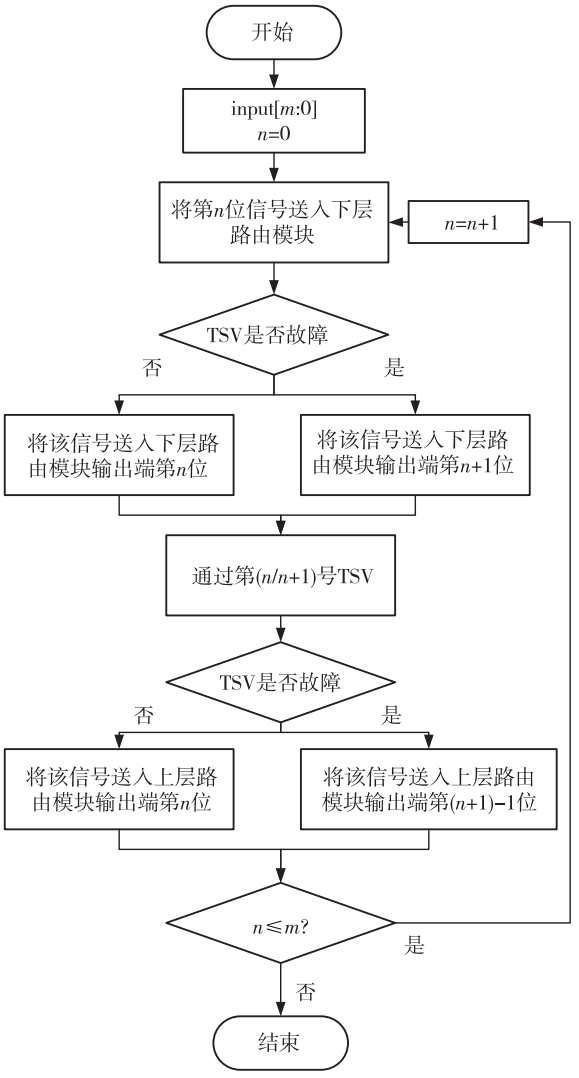


图 5　路由方式流程图

2.2　二维 TDMA 的“多环”蜂窝结构 TSV 阵列

六边形具有稳定的对称性，在单环基础上很容易进行多环拓扑，因此得到多环蜂窝结构。图 6 所示为 TSV 阵列中的蜂窝环。每组 TSV 数目为六根，并且共享相邻的 TSV。由于分配时隙的时钟信号可以复用，组与组之间公用 TDMA 模块。

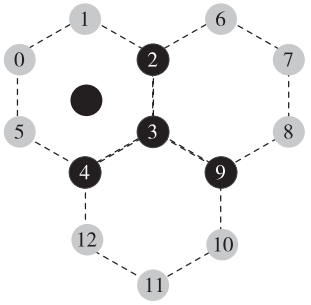


图 6　蜂窝“三环”TSV 分布

由于六边形的几何形状，“三环”结构里包含更大阵列中环与环之间所有的连接方式，这里以“三环”为例进行分析。该结构如图 7 所示。上下蜂窝中心点 TSV 为 CLK 时钟，用于保持 Die1 和 Die2 上的计数器 Counter 时钟为相同的计数信号。两层 Die 上只需一个 Counter，所以只需一根时钟 TSV 即可满足 Die2 上的所有重路由模块所需的时钟信号，其余蜂窝中心点的位置可以根据具体情况用于插入接地 TSV、散热 TSV 等。

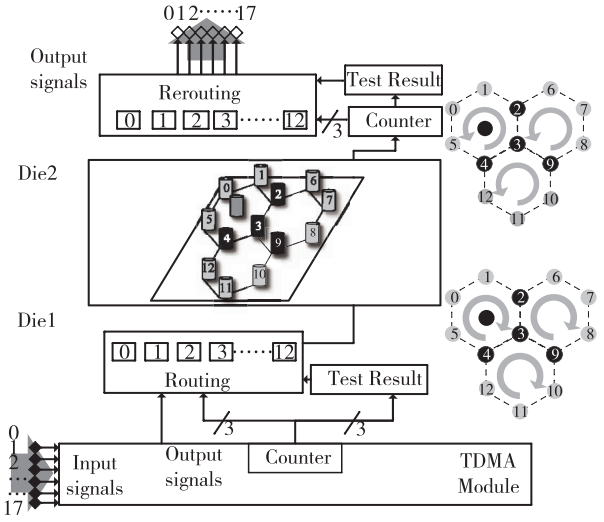


图 7　蜂窝三环路由结构

下层路由模块接收一个 18 位的信号，分配至耦合好的蜂窝环，并压缩为一个 13 位的信号（三个未耦合的蜂窝环有 18 个节点，耦合之后由于有公用节点，所以节点数减少为 13 个），分别分时隙输入到对应编号 0～12 的 TSV，传输至上层重路由模块后，再将 13 位信号通解压缩为一个 18 位的信号，以供输出。最终完成所有信号通过 TSV 传输线从下层到上层传输的操作。下面介绍“蜂窝三环”结构中的路由模块和重路由模块。

Die1 的路由模块如图 8 所示。18 位输入信号在进入路由模块之前，首先被分割成 3 组蜂窝，分为 0-5、6-11、12-17，每组 6 位信号。这些信号被送到下层路由模块的输出端，即图 8 中与信号相连接的方框，输出端与相同编号的 TSV 直接连接。由于相邻环有共享的 TSV，两个蜂窝环之间相邻位置的信号需要通过数据选择器传输到输出端。图 8 中，signal2 和 signal6 公用 2 号输出端，signal4 和 signal12 公用 4 号输出端，signal10 和 signal14 公用 9 号输出端，signal3、signal11 和 signal13 公用 3 号输出端。

在时隙 000 时，1 号蜂窝的信号 0、2 号蜂窝的信号 6 和 3 号蜂窝的信号 12 被分别送到输出端 0、2 和 4。在时隙 001 时，信号 1、7、13 被分别送到输出端 1、6、3。在时隙 010 时，信号 2、8、14，被分别送到输出端 2、7、9。依次类推，最终从路由模块的输出端输出。所有输出端与 TSV 按照相同的编号对应连接，形成图 6 所示的 TSV 蜂窝三环。若出现故障 TSV，“三环”中每个单环内部对于故障 TSV 的路由方式与前文“单环”结构完全一致。此处以三环中 1 号 TSV 故障为例进行说明，如图 8 中箭头所示。此时信号 1 首先进入路由模块，然后经由输出端 1 传送至输出端 2，输出至 TSV2。具体走线路径已在图 3 中详细标注。

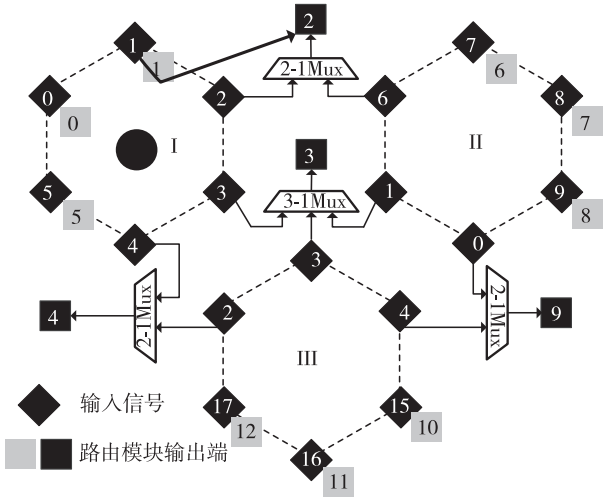


图 8　下层路由模块三环结构

通过 TSV 进入上层之后，信号被直接送到重路由模块的输入端，具体如图 9 所示。输入端与图 6 中的 TSV 按照编号一一对应，信号由 13 位 TSV 传输至 13 位输入端，并与 18 位输出端连接。图 9 中，输入端 2 分别与输出信号 signal2 和 signal6 连接，输入端 3 分别与 signal1、signal11 和 signal13 连接，输入端 4 分别与 signal4 和 signal12 连接，输入端 9 分别与 signal10 和 signal14 连接。

在时隙 000 时，重路由模块输入端 0、2、4 的信号被分别送到 1 号蜂窝的输出信号 signal0、2 号蜂窝的输出信号 6 和 3 号蜂窝的输出信号 12。时隙 001 时，重路由模块输入端 1、6、3 的信号被分别送到 1 号蜂窝的输出信号 signal1、2 号蜂窝的输出信号 7 和 3 号蜂窝的输出信号 13。时隙 010 时，重路由模块输入端 2、7、9 的信号被分别送到 1 号蜂窝的输出信号 signal2、2 号蜂窝的输出信号 8 和 3 号蜂窝的输出信号 14。依次类推。若出现故障 TSV，三环中每个单环内部对于故障 TSV 的重路由方式与前文单环结构完全一致。此处以三环中 TSV1 出现故障来说明，如图 9 中箭头所示。此时由 TSV 传输来的信号首先进入重路由模块输入端 2，然后经由输出端 2 传送至输出端 1，输出至 TSV1。具体走线路径已在图 4 中详细标注。

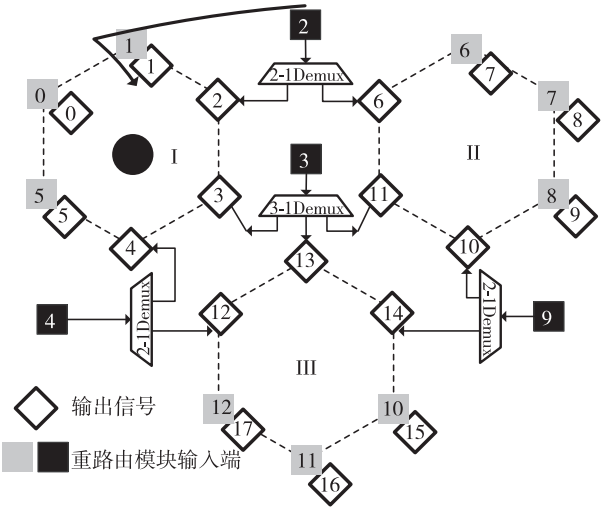


图 9　上层重路由模块三环结构

3　实验与结果分析

3.1　实验简介

本文使用 Verilog HDL 编程语言，在 ISE14.7 以及 modelsim 实验平台上搭建所需的 TSV 冗余容错结构控制器配置电路。将构建好的控制器结构下载到 Virtex 6 FPGA 开发板上进行实验。最后使用 DC 工具，基于 TSMC 45 nm 标准单元库，对所提方法的面积等信息作出分析。

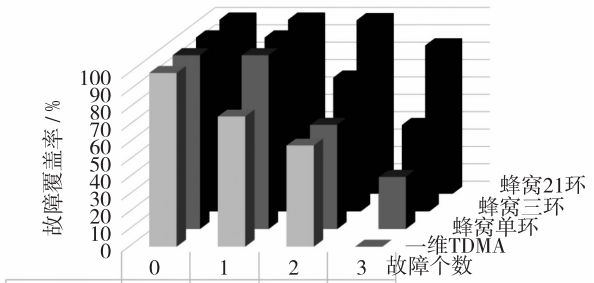
为了保证实验顺利进行，需要对该蜂窝容错结

构进行 TOP-DOWN 的划分，得到五个独立的子模块，分别为计数器 Counter；下层 TDMA 模块、故障注入模块以及下层路由模块统一作为 Routing_die1；上层故障注入模块以及重路由模块 ReRouting_die2；蜂窝环之间的公用双 TSV 关键节点信号分配模块 Critical_Seciton_2；公用三 TSV 关键节点信号分配模块 Critical_Seciton_3。Critical_Seciton _2 与 Critical _ Seciton _ 3 这两个模块实际起到 2-1MUX 和 3-1MUX 的作用。在实际例化过程中，Counter 模块被使用两次，Routing _ die1 和 ReRouting_die2 模块的数量等于蜂窝环的实际数量，Critical_Seciton_2 和 Critical_Seciton_3 模块的位置和数量取决于具体 TSV 阵列中公用 TSV 的种类和位置。

对于大规模的阵列，采用蜂窝阵列进行实验时，需要考虑蜂窝环之间公用 TSV 的分配。

3.2　实验修复率数据分析

图 10 所示为一维 TDMA 冗余结构、蜂窝单环以及三环分别在 0～3 个故障下的故障覆盖率比较结果。可以看出，相比一维 TDMA 结构，蜂窝 TDMA 结构的修复率具有优势。这是由于一维单向的 TDMA 结构不能解决每组最后一根 TSV 路由出现故障的路径问题。在此基础上，蜂窝三环的故障覆盖率也高于蜂窝单环，并且故障覆盖率随着阵列规模的扩大而持续提高。



	0	1	2	3
一维TDMA	100.0%	75.0%	58.3%	0
蜂窝单环	100.0%	100.0%	60.0%	30.0%
蜂窝三环	100.0%	100.0%	76.9%	49.6%
蜂窝21环	100.0%	100.0%	99.7%	85.2%

图 10　一维结构与不同规模蜂窝结构的修复率比较

3.3　实验硬件开销数据分析

将规模为 1 000 的一维 TDMA 阵列[6]与规模为 1 014（包含 201 个相互耦合的蜂窝环）的蜂窝 TSV 阵列的硬件开销进行对比，结果列于表 2。

相比一维冗余结构，蜂窝冗余结构的 TSV 组数、功能 TSV 个数明显减少。对于大规模阵列，蜂窝冗余结构仅需上下层各 1 个 Counter，而一维冗余结构的 Counter 数量与 TSV 组数成正比。C_S_2 和 C_S_3 为蜂窝之间耦合的模块，数量如表 2 所示。这得益于 TDMA 容错的思想以及经过简化的蜂窝模块设计。去除了大量功能 TSV、冗余 TSV 和计数器，也就意味着节约了大量硬件开销。

表 2　大规模阵列中一维与蜂窝结构硬件开销对比

硬件开销对比	一维 TDMA	蜂窝 TDMA
信号 TSV 个数	1 000	1 014
TSV 组数	250	201
冗余 TSV 个数	0	0
功能 TSV 个数	500	1
2-1MUX	250	1 206
3-1MUX	0	0
4-1MUX	250	0
6-1MUX	0	201
1-2 Demux	1 750	1 206
1-4 Demux	500	0
2-bit-Counter	250	2
4-bit-reg	250	0
3-bit-Counter	0	0
6-bit-reg	0	402
C_S_2	-	66
C_S_3	-	507

3.4　实验面积开销数据分析

采用相同的工艺库，复现了一维 TDMA 的电路控制器，得到综合之后的实验结果，并以此进行对比。实验中，使用 10 μm 直径的 TSV，单根 TSV 的面积开销为 100 μm^2。单组中，一维结构包含 4 根信号 TSV 与 2 根功能 TSV。蜂窝结构包含 6 根信号 TSV 与 1 根功能 TSV，共 7 根。

一维阵列和蜂窝结构阵列的面积开销对比结果如图 11 所示。蜂窝结构单组 TSV 数量多于一维 TDMA 结构，且一维阵列中每组均有 2 根功能 TSV，可得出结论：64TSV 阵列中，一维 TDMA 阵列结构的面积开销大于蜂窝阵列结构，且由于面积开销差累积，TDMA 阵列在面积开销上的优势会继续随着阵列扩展而持续增大。

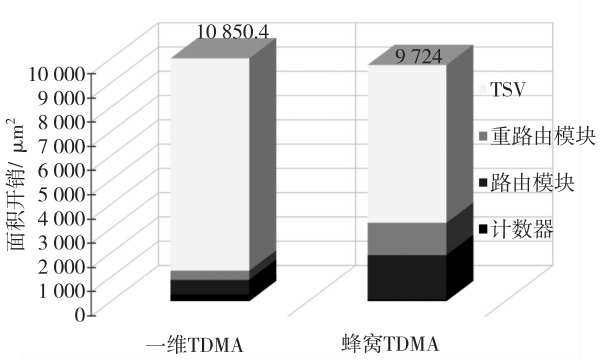


图 11 64TSV 阵列中一维与蜂窝结构面积对比

4 结 论

本文基于 TDMA 的思想，提出了一种针对 TSV 阵列的内建自修复架构。该结构采用六边形蜂窝阵列进行排布。相较于传统一维 TDMA TSV 冗余结构，该结构在故障覆盖率上有较大提升。在单阵列中，多个故障的故障覆盖率提升了 25%～70%，大规模拓扑阵列的故障覆盖率提升了 85.2%。在大规模拓扑阵列中，相较于一维 TDMA 结构，该结构的面积开销有所下降。在 64TSV 阵列中，相比一维 TDMA 结构，蜂窝拓扑结构的面积开销降低 10.4%，并且优势会随着阵列的扩展持续增大。

参 考 文 献：

[1] BANERJEE K, SOURI S J, KAPUR P. 3-D ICs: a novel chip design for improving deep-submicrometer interconnect performance and systems-on-chip integration [J]. Proceed IEEE, 2001, 89(5): 602-633.

[2] MARINISSEN E J. Challenges and emerging solutions in testing TSV-based 2 1 over 2D- and 3D-stacked ICs [C] // IEEE DATE. Dresden, Germany. 2012: 1277-1282.

[3] KANG U, CHUNG H, HEO S, et al. 8 Gb 3D DDR3 DRAM using through-silicon-via technology [J]. IEEE J Sol Sta Cir, 2009, 45(1): 111-119.

[4] JIANG L, XU Q, EKLOW B. On effective TSV repair for 3D-stacked ICs [C] // IEEE DATE. Dresden, Germany. 2012: 793-798.

[5] XU Q, CHEN S, XU X, et al. Clustered fault tolerance TSV planning for 3D integrated circuits [J]. IEEE Trans Comput-Aided Des Integr Circ & Syst, 2017, 36(8): 1287-1300.

[6] REDDY R P, ACHARYYA A, KHURSHEED S. A cost-effective fault tolerance technique for functional TSV in 3-D ICs [J]. IEEE Trans VLSI Syst, 2017, 25(7): 2071-2080.

[7] ZHAO Y, KHURSHEED S, AL-HASHIMI B M. Cost-effective TSV grouping for yield improvement of 3D-ICs [C] // IEEE Asian Test Symp. New Delhi, India. 2011: 201-206.

[8] VAISBAND B, FRIEDMAN E G. Hexagonal TSV bundle topology for 3-D ICs [J]. IEEE Trans Circ & Syst II: Expr Bri, 2017, 64(1): 11-15.

[9] WANG Q, LIU Z C, JIANG J F, et al. A new cellular-based redundant TSV structure for clustered faults [J]. IEEE Trans VLSI Syst, 2019, 27(2): 458-467.

一种基于 VCO 量化的 MEMS 加速度计接口电路

李凡阳，洪思鑫
（福州大学 福建省集成电路设计中心，福州 350000）

摘　要： 采用 0.18 μm CMOS 工艺，设计了一种基于 VCO 量化的电容式 MEMS 加速度计接口电路。电路基于 VCO 实现量化，可直接输出数字信号，克服了传统模拟力反馈的非线性问题，且不需要 ADC 或额外的比较器电路，大大降低了电路的复杂性。仿真结果表明，该接口电路系统噪声基底为 18 μg·$Hz^{-1/2}$，最大非线性误差为 0.57%，电路功耗为 6.7 mW，输入带宽和检测范围分别为 2.5 kHz 和±1.0 g。该接口电路达到较好的性能。

关键词： 接口电路；MEMS；加速度计；VCO
中图分类号：TN432　　**文献标识码：**A　　**文章编号：**1004-3365(2020)03-0357-04
DOI：10.13911/j.cnki.1004-3365.190460

A MEMS Accelerometer Interface Circuit Based on VCO Quantization

LI Fanyang, HONG Sixin
(*Fujian Integrated Circuit Design Center, Fuzhou University, Fuzhou* 350000, *P. R. China*)

Abstract: A capacitive MEMS accelerometer interface circuit based on VCO quantization was designed in a 18 μm CMOS process. The circuit realized quantization based on VCO, and could directly output digital signals, which overcame the non-linear problem of traditional analog force feedback. ADC or additional comparator circuit did not be required, which greatly reduced the complexity of the circuit. Simulation results showed that the interface circuit system had a noise floor of 18 μg·$Hz^{-1/2}$, a maximum non-linear error of 0.57%. The circuit power consumption was 6.7 mW. The input bandwidth and detection range were 2.5 kHz and ± 1.0 g, respectively. The interface circuit achieved a better performance.

Key words: interface circuit; MEMS; accelerometer; VCO

0　引　言

MEMS 加速度传感器为汽车、航空航天、智能手机及可穿戴设备等领域提供了高性能、低功耗、低成本的解决方案[1-3]。电容式微加速度计因其较高的灵敏度和分辨率、良好的直流响应和噪声性能、相对简单的结构和较低的功耗而被广泛应用[4]。电容式加速度传感器需要设计专用的接口电路来处理电容信号。传统开环接口电路因为线性度较差、输入带宽较小等原因而逐渐被闭环接口电路替代[5-10]。闭环接口电路分为模拟力反馈和数字反馈两种结构。模拟力反馈结构的线性度较差[3]，数字反馈结构逐渐成为主流。常规数字反馈结构包括 delta-sigma 结构和 PWM 结构[5, 6, 8, 9]。delta-sigma 结构可直接输出数字信号，但对于高 Q 值传感器，它会在环路稳定性、噪声整形、输入范围等方面有所折中[10]。PWM 结构有较高的线性度，但需要额外的锯齿波发生器和比较器，结构较复杂[8, 11]。

基于 0.18 μm CMOS 工艺，本文提出了一种基于 VCO 量化的闭环接口电路。采用数字电路实现输出量化，可直接输出 delta-sigma 信号，电路结构简单，线性度较高。通过 Verilog-A 对传感器进行建模和分析，对传感器模型和接口电路进行联合仿真。测

收稿日期：2019-08-02；**定稿日期：**2019-09-23
基金项目：福建省自然科学基金资助项目(2017J01731)
作者简介：李凡阳(1983—)，男(汉族)，广东人，博士，副教授，硕士生导师，研究方向为模拟集成电路设计。

试结果表明，该接口电路实现了设计目标，性能良好。

1 电路结构设计

本文电路采用电容式 MEMS 加速度传感器。基本参数为：谐振频率 ω_n 为 500 Hz，Q 值约为 35，灵敏度约为 20 pF/g。

传感器接收的外力与检测质量块的位移关系满足的传输函数为[7]：

$$H(s)=\frac{x(s)}{F(s)}=\frac{1}{ms^2+bs+k}=\frac{1/m}{s^2+\frac{\omega_n}{Q}+\omega_n^2} \quad (1)$$

传感器接口电路需满足两个基本要求：1）补偿传感器中的共轭极点，以保证环路的稳定性；2）保证足够的环路增益，以最小化实际的非理想因素（如检测质量块的位移、电容不匹配等）的影响[12]。本文提出了一种新颖的接口电路，结构如图 1 所示。

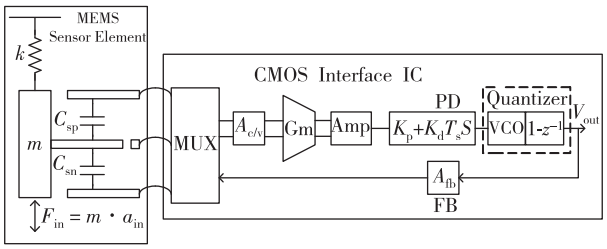
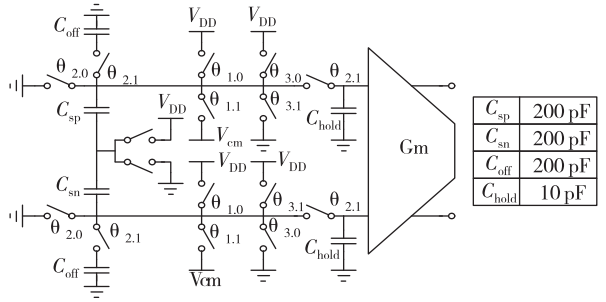


图 1 本文的接口电路

跨导（G_m）电路用于接收电容-电压（C-V）转换电路的差动输出。放大电路保证电路有足够的环路增益。PD（Proportional-Derivative）电路用于补偿传感器中的极点。VCO 和 $1-z^{-1}$ 实现数字量化，使得电路可以直接输出 delta-sigma 信号，并通过反馈模块（FB）形成闭环电路。时间复用电路（MUX）和 C-V 转换电路由开关电容电路实现。开关电容电路的结构和时序图分别如图 2 和图 3 所示。

电路采样频率为 300 kHz，远高于电路输入带宽（2.5 kHz），每个周期分为 3 个阶段：1）弹簧弹性系数调制；2）电容检测；3）力反馈。开关电容电路不同阶段的电原理图如图 4 所示。



C_{sp}	200 pF
C_{sn}	200 pF
C_{off}	200 pF
C_{hold}	10 pF

图 2 开关电容电路

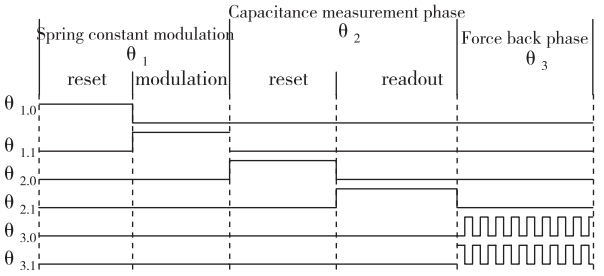
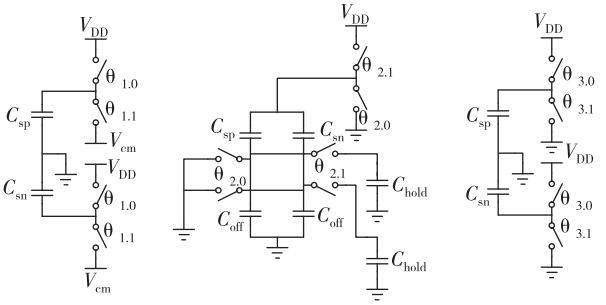


图 3 时序图

弹簧弹性系数调制阶段有两个子阶段：1）检测电容（C_{sn}、C_{sp}）接入电源电压 V_{DD}，进行重置；2）接入共模电平（V_{cm}），进行弹性系数调制。电原理图如图 4(a)所示。

电容检测阶段有两个子阶段：1）将电容接地，进行重置，接入 V_{DD}，进行充电；2）连接保持电容（C_{hold}），输出电压。电原理图如图 4(b)所示。

力反馈阶段由输出的 delta-sigma 信号的高低电平来控制感应电容，分别接入 V_{DD} 和 GND，形成闭环的数字反馈回路。电原理图如图 4(c)所示。

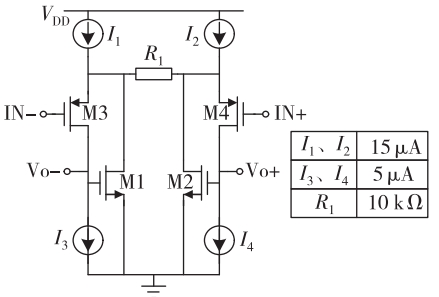


(a)弹性系数调制电路 (b)电容检测电路 (c)力反馈电路

图 4 开关电容电路不同阶段的电原理图

2 电路实现

跨导电路用于接收 C-V 转换电路的输出，具体结构如图 5 所示。



I_1、I_2	15 μA
I_3、I_4	5 μA
R_1	10 kΩ

图 5 跨导电路

增大跨导电路中 MOS 管的尺寸，以减小噪声对后续电路的影响。电阻 R_1 的阻值为 10 kΩ，与后

续的放大电路中的电阻相匹配。跨导的差分输出镜像到放大电路中，并输出单端信号，与运算跨导放大器(OTA)连接，如图 6 所示。

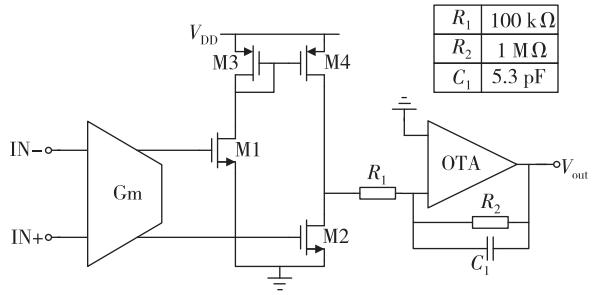


图 6　连接电路

图 6 中，M1、M2 的 W/L 为跨导电路中 M1、M2 的 10 倍。OTA 闭环增益为 10 dB，−3 dB 带宽为 30 kHz。电路采用二级运放，具体结构如图 7 所示。

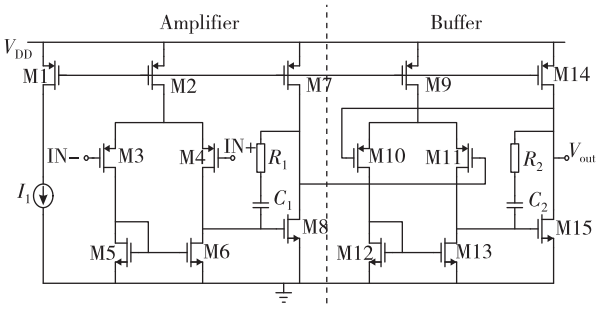


图 7　OTA 电路

OTA 用于放大电路和 PD 补偿电路中。OTA 电路包括放大电路和缓冲电路，满足条件 $(W/L)_{14}=2(W/L)_9=2(W/L)_7=2(W/L)_2=4(W/L)_1$，以确保电路的驱动能力。仿真结果表明，该 OTA 的直流增益为 88 dB，增益带宽积为 60 MHz。

数字量化电路如图 8 所示。VCO 的输出经过 D 触发器和异或门，输出 delta-sigma 数字信号。VCO 的中心频率为 1.5 MHz，CLK 频率为6 MHz。VCO 采用环形结构，如图 9 所示。

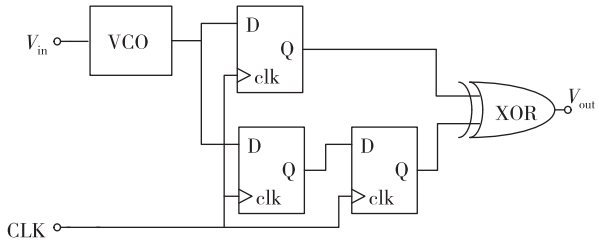


图 8　数字量化电路

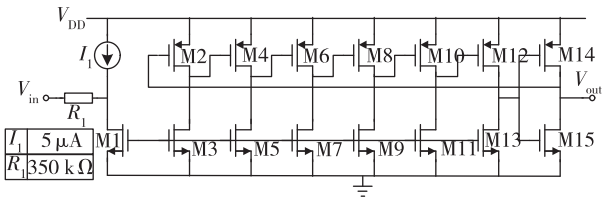


图 9　VCO 电路

3　电路仿真与测试结果

本文设计的接口电路基于 0.18 μm CMOS 工艺设计，电源电压为 1.8 V。采用 Verilog-A 建立 MEMS 加速度传感器模型，进行整体电路的仿真和测试。电路的−3 dB 带宽曲线如图 10 所示。可以看出，直流增益为 −4.7 dB，即系统灵敏度约为 0.58 V/g。输入−3 dB 带宽为 2.5 kHz，该数据高于文献[3]和文献[8]、文献[9]的数据。

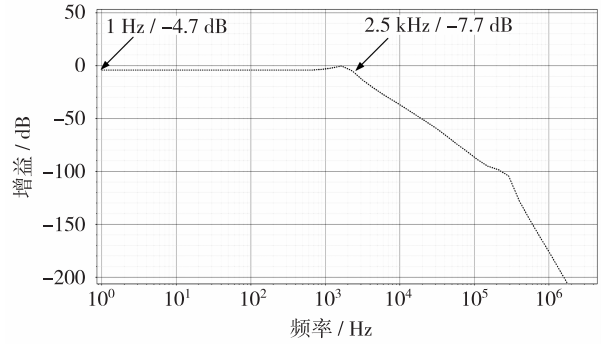


图 10　电路的−3 dB 带宽曲线

输入加速度与输出电压的线性传输函数如图 11 所示，非线性误差曲线如图 12 所示。可以看出，电路的检测范围为 ± 1.0 g，最大非线性误差为 0.57%，与文献[3]相比，有显著提升。

本文与其他文献中接口电路的参数对比如表 1 所示。可以看出，本文电路具有更大的输入带宽，功耗仅为 6.7 mW。

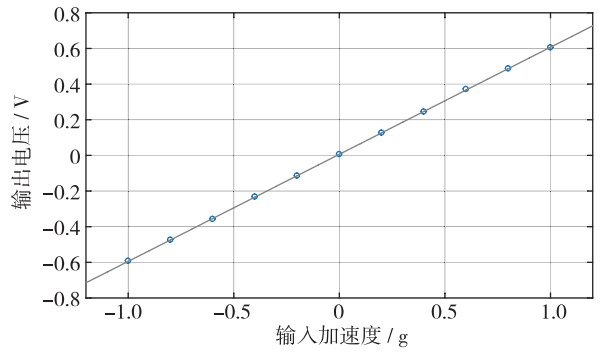


图 11　输入-输出线性传输函数

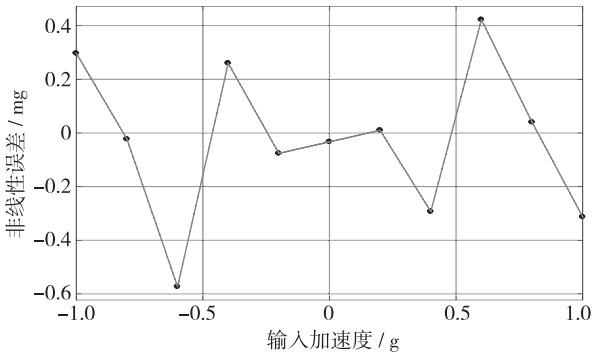


图 12 非线性误差曲线

表 1 本文与其他文献中接口电路的参数对比

性能	文献[3]	文献[8]	文献[9]	文献[11]	本文
工艺/μm	0.35	0.35	0.18	0.35	0.18
最大非线性误差/%	6.6	1.6	-	0.1	0.57
输入带宽/Hz	1 200	1 200	1 000	-	2 500
输入参考噪声/($\mu g \cdot Hz^{-1/2}$)	1	10	220	17	18
功耗/mW	50	8.64	35	3.1*	6.7

注：* 表示不包含反馈回路。

4 结 论

本文基于 0.18 μm CMOS 工艺，设计了一种电容式 MEMS 加速度计接口电路。基于 VCO，实现了输出的数字量化，在保证电路性能的同时，大大降低了电路的复杂性和功耗。结果表明，在 1.8 V 供电电压下，最大非线性误差为 0.57%，噪声为 18 $\mu g \cdot Hz^{-1/2}$，输入带宽达 2.5 kHz，功耗仅为 6.7 mW。该接口电路达到良好的性能。

参 考 文 献：

[1] KO H, PARK S J, CHOI B D, et al. Two-chip implemented, wafer-level hermetic packaged accelerometer for tactical and inertial applications [C] // 13th Int Conf Sol Sta Sensors, Actuat & Micro Syst. Seoul, South Korea. 2005: 507-510.

[2] WANG Y, CHODAVARAPU Y P. Design of a CMOS readout circuit for wide-temperature range capacitive MEMS sensors [C] // 15th Int Symp Quality Elec Des. Santa Clara, CA, USA. 2014: 738-742.

[3] YE Z H, YANG H G, YIN T, et al. High-performance closed-loop interface circuit for high-q capacitive microaccelerometers [J]. IEEE Sensor J, 2013, 13(5): 1425-1433.

[4] YAZDI N, AYAZI F, NAJAFI K, et al. Micromachined inertial sensors [J]. Proceed IEEE, 1998, 86(8): 1640-1659.

[5] PETKOV V P, BALACHANDRAN G K, BEINTNER J. A fully differential charge-balanced accelerometer for electronic stability control [J]. IEEE J Sol Sta Circ, 2014, 49(1): 262-270.

[6] YUCETAS M, SALOMAA J, KALANTI A, et al. A closed-loop SC interface for a ± 1.4 g accelerometer with 0.33% nonlinearity and 2 $\mu g/\sqrt{Hz}$ input noise density [C] // IEEE ISSCC. San Francisco, CA, USA. 2010: 320-321.

[7] BOSER B E, HOWE R T. Surface micromachined accelerometers [J]. IEEE J Sol Sta Circ, 1996, 31(3): 366-375.

[8] YE Z H, YANG H G, YIN T, et al. A closed-loop interface for capacitive micro-accelerometers with pulse-width- modulation force feedback [J]. Analog Integr Circ Sig Process, 2018, 94: 195-204.

[9] LAJEVARDI P, VLADIMIR P P, MURMANN B. A Δ-Σ interface for MEMS accelerometers using electrostatic spring constant modulation for cancellation of bondwire capacitance drift [J]. IEEE J Sol Sta Circ, 2013, 48(1): 265-275.

[10] WU J F, CARLEY L R. Electromechanical delta sigma modulation with high-Q micromechanical accelerometers and pulse density modulated force feedback [J]. IEEE Trans Circ & Syst I: Regu Pap, 2006, 53(2): 274-287.

[11] WU Q S, LIU F, YANG H G, et al. Electromechanical closed-loop with high-Q capacitive micro-accelerometers and pulse width modulation force feedback [C] // Asia Pacific Conf Postgrad Res Microelec & Elec. Macau, China. 2011: 49-52.

[12] YE Z H, YANG H G, YIN T, et al. A closed-loop switched-capacitor interface for high-quality micro-accelerometer [C] // IEEE Sensor. Kona, HI, USA. 2010: 249-252.

一种适用于无线供电的温度传感器

李凡阳，徐亮鹏
（福州大学 福建省集成电路设计中心，福州 350000）

摘　要： 提出了一种适用于无线供电的温度传感器。采用基于压控振荡器的反馈环路，优化信号精度。利用压控振荡器和电流源反馈方法，设计了温度传感环路，无需内部稳压器就可达到较好的电源抑制效果。采用 0.18 μm 标准 CMOS 工艺进行仿真设计。结果表明，在 1 V 电源电压下，传感器的功耗在室温下仅为 3.5 μW。在－20 ℃～100 ℃范围内，温度误差范围为－0.119 7 ℃～0.117 6 ℃。在直流频率下，系统的电源抑制比为－29～－40 dB。

关键词： 温度传感器；压控振荡器；电流源反馈；低功耗
中图分类号：TN432　　**文献标识码：**A　　**文章编号：**1004-3365(2020)03-0361-04
DOI：10.13911/j.cnki.1004-3365.190478

A Temperature Sensor for Wireless Power Supply

LI Fanyang, XU Liangpeng
(*Fujian Integrated Circuit Design Center, Fuzhou University, Fuzhou* 350000, *P. R. China*)

Abstract: A temperature sensor for wireless power supply was proposed. A voltage controlled oscillator based feedback loop was used to optimize the signal accuracy. The temperature sensing loop were designed using voltage controlled oscillators and current sources feedback approach to achieve better power supply rejection without an internal regulator. The circuit was designed and simulated in a 0.18 μm standard CMOS process. The simulation results showed that the power consumption of the proposed sensor was only 3.5 μW at room temperature under 1 V power supply. The temperature error was －0.119 7 ℃ to 0.117 6 ℃ within the range of －20 ℃ to 100 ℃. The system's power supply rejection ratio (PSRR) reached －29 dB ～ －40 dB @ DC.

Key words: temperature sensor; voltage controlled oscillator; current source feedback; low power consumption

0　引　言

随着化石能源的不断消耗，收集环境射频能量系统引起极大关注，已经成为低功耗无线传感器供电电池的替代品。高效节能的射频能量收集系统与低功耗 CMOS 传感系统结合，将 CMOS 传感器的应用扩展到无线环境或医疗保健监控。例如，利用热监控，可以监控系统可靠性及性能随温度的变化影响。信号功率随着距离增加而快速衰减，射频能量收集系统的功率转换效率较低。因此，设计结构简单的低压低功耗温度传感器成为关键。

传统温度传感器（无内部稳压器）是将模数转换器与基于双极晶体管的温度传感器相结合，将与绝对温度成正比（PTAT）的电压信号转换为相应的数字码[1-4]。传统电压域温度传感器采用复杂的片上电路来获得高性能，功耗较大，占用面积大，已不能满足无线供电的要求。

随着半导体工艺尺寸的不断下降，时域电路较电压域电路的优势越来越明显。基于压控振荡器的温度传感器成为当前设计的主流。射频能量收集器是将收集的能量存储在电容中，利用存储能量的电

收稿日期：2019-08-10；**定稿日期：**2019-10-24
基金项目：福建省自然科学基金资助项目（2017J01731）
作者简介：李凡阳（1983—），男（汉族），广东人，博士，副教授，研究方向为模拟集成电路设计。

容为温度传感器供电。因此无线温度传感器在工作期间的电源电压变化明显。为得到较好的电源抑制比，使用内部稳压器是解决方法之一[5-9]，但增加了电路复杂度和功耗。

本文提出了一种适用于无线供电的温度传感器。采用时域电路设计方法，简化了电路结构。采用压控振荡器和电流源反馈方法，提高了系统的电源抑制比，消除了内部稳压器。

1 提出的温度传感器

1.1 系统架构

本文提出的温度传感器包括生成基准电压电路、PTAT 电压单元和基于压控振荡器的检测环路，系统架构如图 1 所示。基准电压电路、PTAT 电压单元等效为一个电流源与电阻的并联形式。基于压控振荡器的检测环路由无源滤波器、压控振荡器、鉴频鉴相器和电流源反馈环路构成。

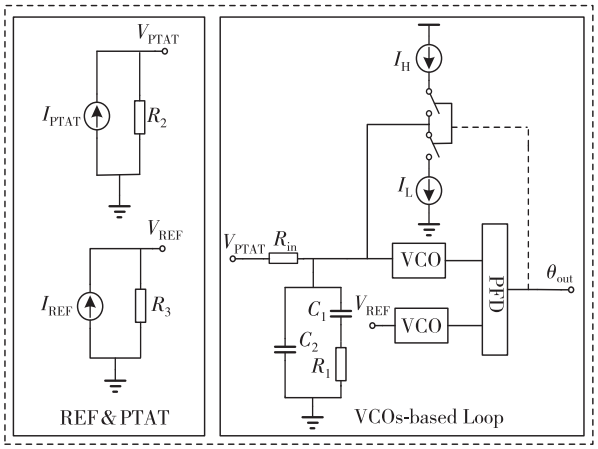


图 1 提出的温度传感器的系统架构

1.2 基本原理

压控振荡器将基准电压、PTAT 电压转换为相位信息。鉴频鉴相器检测两个压控振荡器的输出相位，鉴频鉴相器输出的脉宽调制信号(PWM)用于控制反馈电流。基于压控振荡器的检测环路将 PTAT 电压信号转换为脉宽调制信号。通过测量输出脉宽调制信号的占空比，得到脉宽调制信号占空比与 PTAT 电压的关系。因此，基于压控振荡器的检测环路可替代传统模数转换器。

2 提出的温度传感器关键单元

2.1 基准电路和 PTAT 电路

本文设计的基准电路、PTAT 电路如图 2 所示。

在 I_{PTAT} 产生电路中，MOS 管 M6、M7、M8 和 M9 确保 A、B 两点的电压相等。流过电阻 R_1 的电流为：

$$I_{R1}=\frac{V_{GS5}-V_{GS11}}{R_1}=\frac{\Delta V_{GS}}{R_1} \tag{1}$$

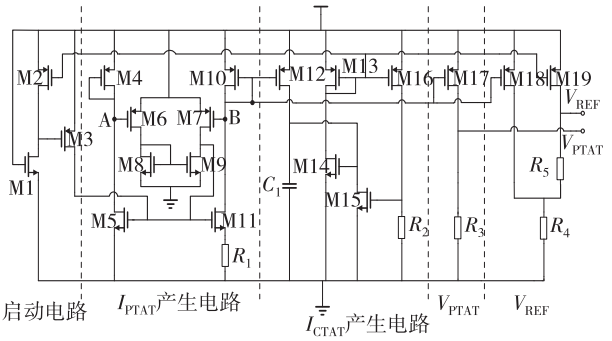


图 2 本文设计的基准电路和 PTAT 电路

MOS 管 M5、M11 工作在亚阈值区，这两个 MOS 管的栅源电压差为：

$$\Delta V_{GS}=(V_{th5}-V_{th11})+nV_T\times \ln\left[\frac{\left(\frac{W}{L}\right)_{11}}{\left(\frac{W}{L}\right)_5}\right] \tag{2}$$

式中，V_{th5}、V_{th11} 表示两个 MOS 管的阈值电压；$V_T=kT/q$，为热电压。由式(2)可知，工作在亚阈值区的 MOS 管栅源电压差与绝对温度成正比。因此，流过电阻 R_1 的电流为 PTAT 电流。

在 I_{CTAT} 产生电路中，M15 管工作在亚阈值区，漏电流为[8]：

$$I_{ds}=\mu_{eff}C_{ox}\frac{W_{eff}}{L_{eff}}(m-1)V_T^2\exp\left(\frac{V_{GS}-V_{TH}}{mV_T}\right)\times\left(1-\exp\left(-\frac{V_{DS}}{V_T}\right)\right) \tag{3}$$

式中，V_{DS} 为 MOS 管的漏源电压。

在 $V_{DS}\gg V_T$ 的情况下，式(3)对温度求导，化简可得：

$$\frac{\partial V_{GS}}{\partial T}=\frac{\partial V_{TH}}{\partial T}+\frac{mk}{q}\ln\left[\frac{L}{W}\left(\frac{q}{k}\right)^2\times\frac{I_{ds}T_0^2}{m\mu(T_0)C_{ox}}\right] \tag{4}$$

流过电阻 R_2 的电流为：

$$I_{R2}=\frac{V_{GS15}}{R_2} \tag{5}$$

由式(4)、式(5)可知，流过电阻 R_2 的电流为 CTAT 电流。

由 PMOS 管 M10、M17 构成的电流镜将 PTAT 电流镜像到电阻 R_3，PTAT 电压输出为：

$$V_{\mathrm{PTAT}}=\left[\frac{\left(\frac{W}{L}\right)_{17}}{\left(\frac{W}{L}\right)_{10}}\right]\times\frac{R_3}{R_1}\times\Delta V_{\mathrm{GS}} \tag{6}$$

从式(6)可知，PTAT 电压与电阻 R_3 和 R_1 之比成正比，从而消除了工艺角对电阻的影响。

由 PMOS 管 M10、M18 构成的电流镜将 PTAT 电流镜像到电阻 R_4，由 PMOS 管 M16、M19 构成的电流镜将 CTAT 电流镜像到电阻 R_4 和 R_5。电阻 R_5 的加入会带来更好的温度补偿效果。基准电压输出为：

$$V_{\mathrm{REF}}=\frac{\left(\frac{W}{L}\right)_{18}}{\left(\frac{W}{L}\right)_{10}}\times\frac{R_4}{R_1}\times\Delta V_{\mathrm{GS}}+\frac{\left(\frac{W}{L}\right)_{19}}{\left(\frac{W}{L}\right)_{16}}\times\frac{R_4+R_5}{R_2}\times V_{\mathrm{GS15}} \tag{7}$$

通过调节 MOS 管的宽长比、电阻值，就可产生与温度无关的基准电压。

2.2　基于压控振荡器的检测环路

检测环路的等效电路如图 3 所示。由两个压控振荡器和鉴频鉴相器组成的前馈通路可以看作一个传统放大器。

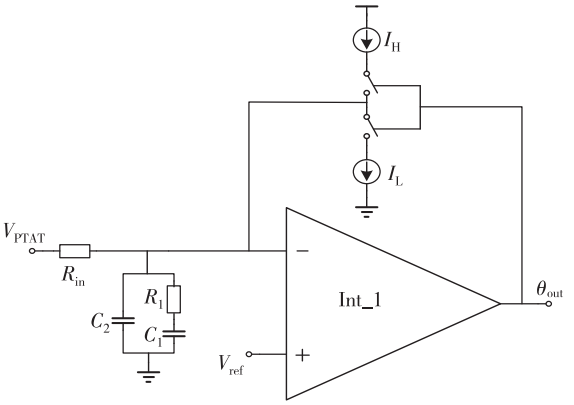


图 3　检测环路的等效电路

基于压控振荡器的检测环路可等效为传统闭环放大器。等效放大器的传输函数为：

$$A_{\mathrm{open_loop}}=\frac{k}{S} \tag{8}$$

式中，k 为前馈通路的直流增益。由式(8)可知，等效放大器的低频增益非常大。因此，该结构与低频应用(例如温度检测)相匹配。

在图 3 所示的电路中，闭环传输函数为：

$$A_{\mathrm{close_loop}}=\frac{\theta_{\mathrm{out}}}{V_{\mathrm{PTAT}}}=\frac{A}{1+AF}\approx\frac{1}{F} \tag{9}$$

式中，A 为开环增益，F 为反馈系数。

两个压控振荡器的输出为：

$$\theta_{\mathrm{out1}}=\theta_1+\frac{K_{\mathrm{VCO}}}{s}v \tag{10}$$

$$\theta_{\mathrm{out2}}=\theta_2+\frac{K_{\mathrm{VCO}}}{s}v \tag{11}$$

式中，v 为电源电压变化对压控振荡器的影响。因此，当电源电压改变时，输出相位为：

$$\Delta\theta_{\mathrm{out}}=\theta_{\mathrm{out1}}-\theta_{\mathrm{out2}}=\theta_1-\theta_2 \tag{12}$$

由式(12)可知，电源电压变化对输出相位不产生影响。本文电路还利用了电流源反馈。因此，反馈系数 F 不随电源电压的变化而变化，系统具有良好的电源抑制性能。

3　仿真结果与分析

本文基于 0.18 μm 标准 CMOS 工艺设计了一种适用于无线供电的温度传感器，对设计的温度传感器进行了仿真。1 V 电源电压下，在 −20 ℃～100 ℃范围内，温度误差曲线如图 4 所示。

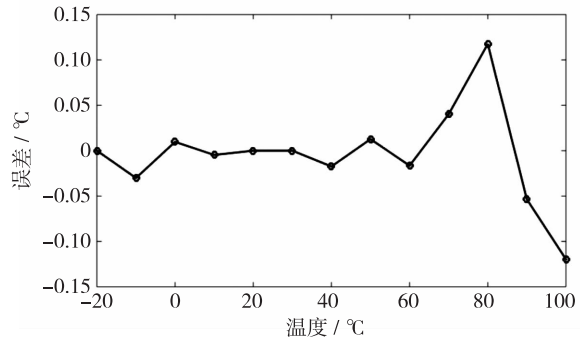


图 4　温度误差曲线

可以看出，在−20 ℃～60 ℃范围内，温度误差范围为−0.030 1 ℃～0.012 7 ℃。在全仿真温度范围内，温度误差范围为−0.119 7 ℃～0.117 6 ℃。这表明该传感器达到了较高的精度。

系统的电源抑制比定义为：

$$r_{\mathrm{PSRR}}=20\lg\frac{\Delta\theta_{\mathrm{out}}}{\Delta V_{\mathrm{supply}}} \tag{13}$$

式中，$\Delta\theta_{\mathrm{out}}$ 为电源电压变化时系统输出相位的变化，$\Delta V_{\mathrm{supply}}$ 为电源电压的变化。在 1～1.2 V 电源电压下，电源抑制比的温度特性曲线如图 5 所示。可以看出，在直流频率、80 ℃下，电源抑制比为−40 dB。在−20 ℃～100 ℃范围内，该传感器的电源抑制比达到预期要求。

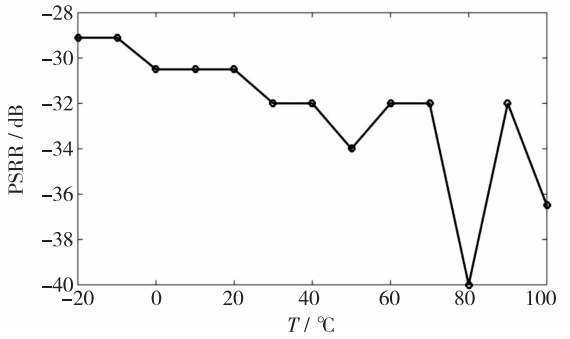


图 5 电源抑制比的温度特性曲线

本文与其他文献中温度传感器的参数对比如表 1 所示。可以看出，本文温度传感器在精度与功耗之间实现了良好的折中。

表 1 本文与其他文献中温度传感器的参数对比

参数	文献[5]	文献[6]	文献[2]	本文
工艺/nm	130	130	65	180
数字转换	FDC	FDC	ADC	Pseudo PLL
温度范围/℃	10～100	35～42	－70～125	－20～100
温度精度/℃	－2.6～1.3	＜0.1	＜0.5	－0.119 7～0.117 6
功耗/μW	1.05	8.5	10.4	3.5
是否有内部稳压器	是	是	否	否

4 结 论

本文设计了一种适用于无线供电的温度传感器。采用了压控振荡器和电流源反馈的结构，消除了内部稳压器，节约了功耗和面积。仿真结果表明，在－20 ℃～100 ℃范围内，温度误差范围为－0.119 7 ℃～0.117 6 ℃。在直流频率、80 ℃下，电源抑制比为－40 dB。在 1 V 电源电压下，功耗仅为 3.5 μW。该温度传感器适用于无线供电应用领域。

参 考 文 献：

[1] REHMAN S U, SHABRA A. A temperature estimation method using the ratio of emitter-to-base voltages [J]. IEEE Trans VLSI Syst, 2017, 25(7): 2174-2182.

[2] SEBASTIANO F, BREEMS L J, MAKINWA K A A, et al. A 1.2 V 10 μW NPN-based temperature sensor in 65 nm CMOS with an inaccuracy of ±0.2 ℃ (3σ) from －70 ℃ to 125 ℃ [C] // IEEE ISSCC. San Francisco, CA, USA. 2010: 312-313.

[3] SOURI K, CHAE Y, MAKINWA K A A. A CMOS temperature sensor with a voltage-calibrated inaccuracy of ±0.15 ℃ (3σ) from －55 to 125 ℃ [C] // IEEE ISSCC. San Francisco, CA, USA. 2012: 208-210.

[4] PERTIJS M A P, MAKINWA K A A, HUIJSING J H. A CMOS smart temperature sensor with a 3σ inaccuracy of 0.1 ℃ from -55 ℃ to 125 ℃ [J]. IEEE J Sol Sta Cir, 2005, 40 (12): 2805-2815.

[5] SAFFARI P, BASALIGHEH A, SIEBEN V J, et al. An RF-powered wireless temperature sensor for harsh environment monitoring with non-intermittent operation [J]. IEEE Trans Cir & Syst I: Regu Pap, 2018, 65(5): 1529-1542.

[6] MARTINS G C, DE SOUSA F R. An RF-powered temperature sensor designed for biomedical applications [C] // 26th Symp Int Cir & Syst. Curitiba, Brazil. 2013: 1-6.

[7] HWANG S, KOO J, KIM K, et al. A 0.008 mm² 500 μW 469 kS/s frequency-to-digital converter based CMOS temperature sensor with process variation compensation [J]. IEEE Trans Cir & Syst I: Regu Pap, 2013, 60(9): 2241-2248.

[8] KOCER F, FLYNN M P. An RF-powered, wireless CMOS temperature sensor [J]. IEEE Sensors J, 2006, 6(3): 557-564.

[9] KOCER F, WALSH P M, FLYNN M P. An RF powered, wireless temperature sensor in quarter micron CMOS [C] // IEEE Int Symp Cir & Syst. Vancouver, Canada. 2004.

基于 ESIstream 协议的高速串行收发接口

吴燕青[1,2]，蒲　杰[2]，彭嘉豪[1,2]，蔡　浩[1,2]
（1. 重庆邮电大学，重庆 400065；2. 模拟集成电路国家重点实验室，重庆 400060）

摘　要： 针对现有高速串行接口协议复杂、数据效率低的问题，基于 ESIstream 协议，提出一种应用于 12～14 位 ADC/DAC 新型收发接口的设计方案。采用 14B/16B 编解码算法，降低了数字电路的设计复杂度，将有效数据率提高到 87.5%。加解扰器中，LFSR 采用斐波纳契结构和多项式 $X^{17}+X^3+1$ 来并行设计，降低了 LFSR 的工作时钟频率。采用 Modelsim 软件进行功能验证，并基于 Design Compiler 平台，采用 TSMC 65 nm 工艺库对电路进行综合。结果表明，该收发电路的单通道传输速度可达 6.4 Gbit/s。

关键词： ESIstream；多通道同步；高速接口
中图分类号：TN79；TN432　　**文献标识码：**A　　**文章编号：**1004-3365(2020)03-0365-05
DOI：10.13911/j.cnki.1004-3365.190479

High Speed Serial Transceiver Interface Based on ESIstream Protocol

WU Yanqing[1,2], PU Jie[2], PENG Jiahao[1,2], CAI Hao[1,2]
(1. *Chongqing University of Posts and Telecommunications, Chongqing* 400065, *P. R. China*;
2. *Science and Technology on Analog Integrated Circuit Laboratory, Chongqing* 400060, *P. R. China*)

Abstract: To solve the problem of complicated protocol and low data efficiency in high speed serial interfaces, based on ESIstream protocol, a new transceiver interface for 12～14 bit ADC/DAC was proposed. The 14B/16B encoding and decoding algorithm was adopted to reduce the complexity of digital circuit design and increase the effective data rate to 87.5%. In addition, the LFSR in the scrambler was designed in parallel with Fibonacci structure and polynomial $X^{17}+X^3+1$, which reduced the working clock frequency of LFSR. The designed transceiver circuit was verified by Modelsim software. Based on the Design Compiler platform, the circuit was synthesized in TSMC 65 nm process library. The results showed that the transmission speed in single channel of the transceiver could reach 6.4 Gbit/s.

Key words: ESIstream; multichannel synchronization; high speed interface

0　引　言

与 LVDS、CMOS 通信技术相比，千兆位级串行通信技术最主要的优势就是传输速度快[1]，该技术现已成为 I/O 领域最热门的技术。目前，采样速率达到数 GS/s 的 ADC/DAC 中，大多采用 JESD204B 接口串行传输数据。但是，该接口协议复杂，需要较大规模的数字电路才能实现，这就需要开发者花费较多的时间和精力去学习，例如文献[2-3]的接口电路。另外，这种接口电路的实现非常复杂，不利于该接口在抗辐照 ADC/DAC 中的应用。英国 E2V 公司制定了一个可适用于 12～14 位抗辐照 ADC/DAC 的高速串行接口协议——ESIstream 协议，并且发布了一款集成有该接口且应用在相控阵和 MIMO 系统中的 12 bit 双 1.5 GS/s 的 ADC——

收稿日期：2019-08-11；**定稿日期：**2019-09-23
基金项目：模拟集成电路国家重点实验室稳定支持项目(JCKY2019210C057)
作者简介：吴燕青(1993—)，男(汉族)，河南开封人，硕士研究生，研究方向为高速串行接口电路设计。

EV12AD500。如文献[4]所述，这标志着新的真正军用/宇航级的高速串行接口 ADC/DAC 的发展趋势[4-5]。但是，目前国内对该协议的研究较少。

基于 ESIstream 协议设计接口电路时，如何实现数据帧和加解扰器对齐，如何监测同步过程、并在同步失败后进行重同步，如何从同步序列中正确恢复出解扰器的初始值，如何在采用多通道传输数据时确保数据的同步，这些均需在设计时重点考虑。

本文在详细研究了 ESIstream 协议规范的基础上，提出了一种适用于 12～14 位 ADC/DAC 协议层收发端电路的实现方法。通过时钟检测电路来监控同步过程，并在同步失败时自动启动重同步功能。采用 14B/16B 编解码算法，降低了数字电路设计的复杂度，将有效数据率提高到 87.5%。加解扰器中的 LFSR 采用斐波纳契结构和多项式 $X^{17}+X^{3}+1$ 来并行设计，相比于串行设计，降低了 LFSR 的工作时钟频率。最终，设计的电路在 Modelsim 上完成接收端与发送端的回环测试，并在 Design Compler 平台上采用 TSMC 65 nm 工艺对电路进行综合。结果显示，在满足各项约束条件下，电路在 400 MHz 下可以正常工作。

1 整体设计方案

ESIstream 协议层收发端电路需要实现的功能较多，合理划分各个功能模块是该接口设计的难点。本文采用自顶向下的设计方法，将发送端主要划分为同步序列发送模块、加扰模块、伪随机序列码生成模块、14B/16B 编码模块，将接收端主要划分为同步序列检测模块、重同步模块、LFSR 初始值恢复模块、解扰模块、14B/16B 解码模块和多通道同步模块。收/发端接口整体框架如图 1 所示。

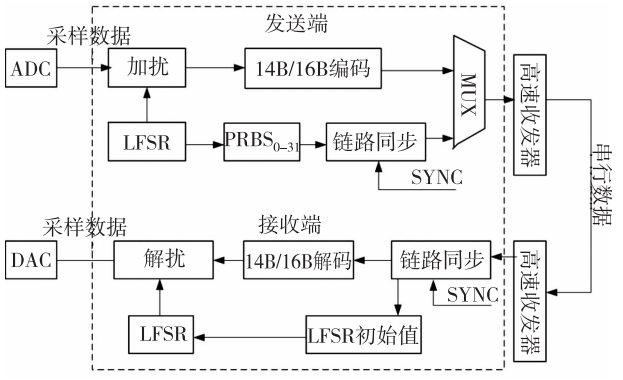


图 1 发射端接口框架

实现系统同步是本文设计的重点。接收端和发送端必须进行帧同步和加解扰器的同步。ESIstream 协议规定了接口电路的同步方式。同步时，通过发送端发送的 64 帧队列来实现收发端的同步功能，相比于 JESD204B，同步过程更简单[6]。在接收端，为确保系统同步过程正确，需要对时钟信号实时检测，在同步失败时，通过重同步电路来发送重同步 SYNC 信号。

发射端与接收端之间需要耦合电容进行 AC 耦合，因此，传输的数据需要确保 DC 平衡，避免数据眼图闭合，破坏接收到的数据。编解码模块是 ESIstream 接口的核心。采用 14B/16B 编码算法，对加扰后的 14 位数据编码，确保数据满足 DC 平衡条件，编码效率达到 87.5%。相对于通常使用的 8B/10B 编码方式，该电路更简单，编码效率更高[7]。

加解扰技术的使用也是为了保证数据的 DC 平衡，使数据流中有着足够的翻转，减少长连 1 和长连 0 的出现，这样可以确保接收端 CDR 电路正确恢复出时钟信号[8]。

在接收端，通过 buffer 缓存电路和多路选择器，对齐多通道数据，实现多通道对齐功能。

本文主要完成 ESIstream 接口协议层电路的设计，如图 1 中的虚框部分。高速收发器主要完成并行数据和串行数据的电气特性转换和波形均衡，它属于 ESIstream 接口的物理层电路。

2 协议层收/发端电路设计

2.1 链路同步及重同步设计

链路同步过程是从发射端接收到接收端发送的 SYNC 同步脉冲后开始，同步脉冲至少要持续一个时钟周期才有效，在此之后发送 64 帧的同步序列。同步过程如图 2 所示。

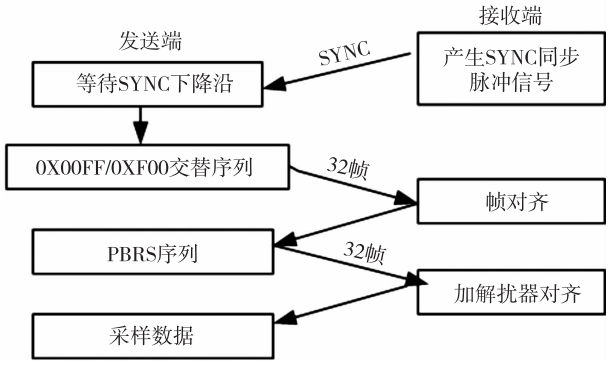


图 2 64 帧同步序列实现同步过程

链路同步过程中，64 帧同步脉冲通过状态机和计数器来实现，如图 3 所示。状态机共四个状态，分别为 S0、S1、S2、S3。S0 为初始状态，当 SYNC 由低电平跳变到高电平时，状态机进入状态 S0，等待同步脉冲的消失。S1 状态主要发送链路同步系列中的 0x00ff 序列。S2 状态主要发送链路同步系列中的 0xff00 序列。同步过程通过 S1 和 S2 状态来完成 32 帧帧对齐序列的发送。之后，状态机跳转到 S3 状态。S3 状态主要发送链路同步序列的后 32 帧 PRBS 序列。PBRS 序列由加扰模块生成。发送完 32 帧 PRBS 序列后，状态机跳转回 S0 状态，同步过程完成。

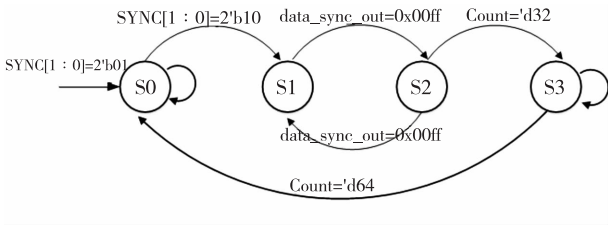


图 3　链路同步状态机

同步监测和重同步是接收端同步过程的设计难点。在 SYNC 同步脉冲下降沿到来后，开始检测同步帧队列。正确接收到 32 帧的 0x00ff 和 0xff00 交替序列后，接收电路开始检测 32 帧编码后的伪随机序列。在这个过程中，通过对时钟位的检测来监视同步过程。发现时钟位出现无序跳变时，由重同步电路向系统发送一个至少持续一个时钟周期的 SYNC 同步脉冲，实现系统的重同步。

2.2　加解扰电路设计

链路同步完成后，采样数据需先进行加扰操作。本文使用的扰码由 LFSR 产生。基于斐波纳契结构和多项式 $X^{17}+X^{3}+1$，采用并行结构来设计 LFSR，有效运行长度是 $2^{17}-1$。这种结构的加解扰器数字电路规模小，并行结构降低了时钟工作频率。图 4 所示为为斐波纳契结构 LFSR 并行结构图。

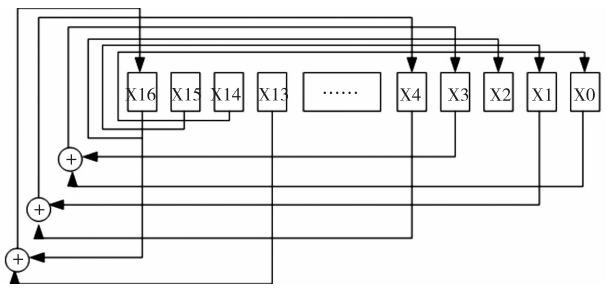


图 4　LFSR 并行结构图

发送端 LFSR 的初始值为一固定值，在同步序列的 32 帧 0x00FF、0x00FF 发送完成后，生成一个 LFSR 重置使能信号。LFSR 重置初始值，并产生 17 位的扰码。电路中，17 位扰码只使用到其中的低 14 位。链路同步完成后，加扰时，14 位扰码按位与 14 位采样数据进行异或，得到扰码后的数据。

解扰为加扰逆过程。如何根据同步序列，恢复出解扰器中 LFSR 初始值，并使加解扰过程中扰码对齐，是设计难点。本文中，通过计算数据在电路中的延迟时间，并根据 LFSR 并行设计结构，预推导出解扰器中 LFSR 初始值的公式。采用这种方法，可弥补因 LFSR 电路产生扰码延迟，确保采样数据在加扰和解扰过程中使用到的扰码一致。假设数据延迟三个时钟周期，根据同步过程中检测到的 32 帧 PBRS 序列中前两帧确定的加扰器中 LFSR 初始值 PBRS[16：0]，推导出的解扰器中 LFSR 初始值公式如下。

LFSR(0) = PBRS(8)^PBRS(14)；
LFSR(1) = PBRS(9)^PBRS(15)；
LFSR(2) = PBRS(10)^PBRS(16)；
LFSR(3) = PBRS(11)^PBRS(0)^PBRS(3)；
……
LFSR(15) = PBRS(6)^PBRS(9)^PBRS(12)^PBRS(15)；
LFSR(16) = PBRS(7)^PBRS(10)^PBRS(13)^PBRS(16)。

2.3　14B/16B 编解码电路设计

编码过程分为时钟位的添加和 DB 位的添加。编码后的数据中，第 14 位是 clk 位，用来监视接口的同步过程，第 15 位为 DB 位，即 DC 平衡标志位。编码后的帧数据结构如图 5 所示。

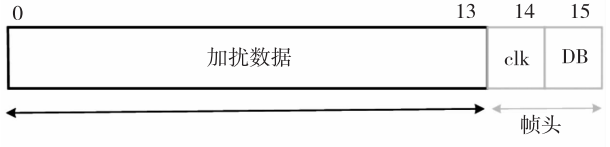


图 5　帧结构图

待编码数据有两种类型。一种是同步序列中后 32 帧伪随机序列码。另一种是加扰后的采样数据。编码过程即对发送的 14 位待编码数据，添加 clk 位和 DB 位。clk 位在每帧数据中交替变化 0 和 1，在完成添加 clk 位后，添加 DB 位。

电路设计中有一个 RD(Running Disparty)计

数器(RDC)。RDC 计数当前状态下的平衡视差(RD)。根据协议规定，数据在传输过程中允许最大长连 1 或 0 为 32 位。确定 DB 位原理如图 6 所示。$RD_{(i)}$ 为当前状态下平衡视差值，$D_{(i)}$ 为当前状态下已添加 *clk* 位的 15 位数据中 0 比 1 多的个数，$D_{(i+1)}$ 为当前状态 15 位数据按位取反后中 0 比 1 多的个数。当 $RD_{(i)}+D_{(i)}-1$ 不满足条件时，15 位数据取反，同时确定 DB 位为 1(0 代表采样数据在编码时未取反，1 代表采样数据在编码时取反)。通过以上操作，实现对采样数据的 14B/16B 编码。

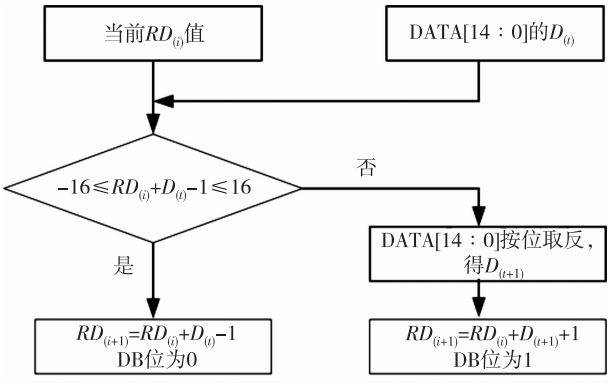


图 6 DB 位判定原理图

接收端电路对数据解码时，根据数据的 DB 位来判断。当 DB 位为 1 时，需将数据的低 15 位与(111_1111_1111_1111)异或，这样就完成对数据的解码过程。若 DB 位为 0，则数据保持不变。在解码完成后，数据即可进行解扰。

2.4 多通道同步设计

多通道传输时，不仅需要完成链路同步，同时要实现多通道同步。本文为四通道。基于 ESIstream 协议，通过在接收端添加缓冲电路的方法实现多通道的数据对齐功能。电路主要由一个多路选择器和 FIFO 组成。

四个通道在链路同步时，接收到前 32 帧同步数据，每个链路分别将 FIFO_re_en 信号拉高。由于不同的链路存在延迟状况，每个链路所产生的使能信号存在不同的延迟。但是，在不同的链路使能信号同时作为多路选择器的输入信号时，多路选择器的输出信号只会以最迟的信号为准，如图 7 所示。当四个通道的使能信号均为高时，通过多路选择电路将 FIFO_re_en 信号拉高，此信号作为四个通道中的 FIFO 的读使能信号，在同一时刻读取数据。这样即可实现多个不同通道的数据对齐。

3 电路仿真及综合结果

本文采用 Verilog HDL，对设计的 ESIstream 接口进行设计，并采用 Modelsim 软件，对设计的接口电路进行功能仿真验证，并最终在 Design Compiler 平台上，采用 TSMC 65 nm 工艺库，对电路进行综合。

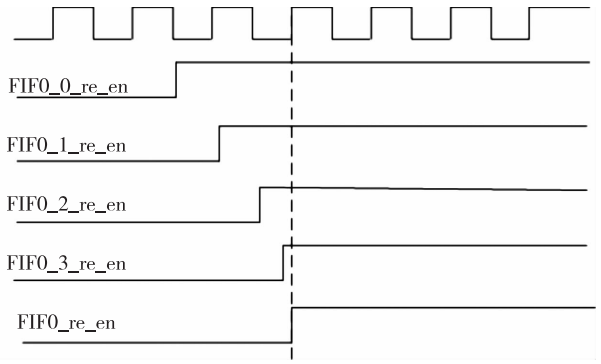
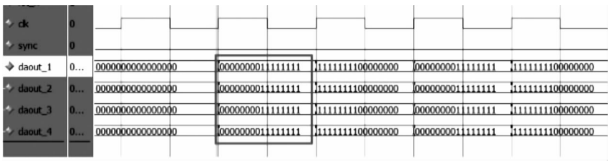
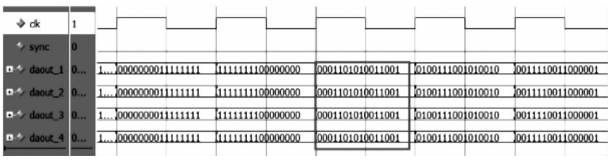


图 7 多通道同步时序图

功能验证时，以累加数据作为发射端的输入采样数据，并模拟同步信号。发送端发送的用于数据帧对齐的 32 帧仿真输出结果如图 8(a)所示，发送端发送的用于加解扰器对齐的 32 帧 PRBS 仿真输出结果如图 8(b)所示。经过对输出数据进行分析，接口电路在接收到链路同步请求信号后，能正确地完成 64 帧同步数据的发送。



(a) 帧对齐数据



(b) 加解扰器对齐数据

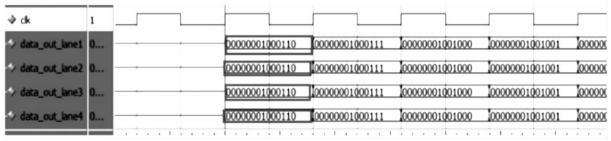
图 8 同步序列仿真图

对接收端进行功能仿真时，将发送端输出数据作为四个接收端的输入数据。为了验证接收端的多通道同步功能，数据输入时，不同通道的数据有一个时钟周期的延迟，接收端输入的数据如图 9(a)所示。四个通道的接收端在完成链路同步工作后，接收端同时输出暂存于缓冲电路中恢复出的采样数

据，完成多通道同步。图 9(b)所示为接收端恢复出并完成多通道对齐的采样数据。通过以上对仿真数据的分析，表明基于 ESIstream 协议设计的收发端接口电路是正确的，达到了预期设计的功能。

本文在 Design Compiler 平台上，采用 TSMC 65 nm 工艺库，对发送端和接收端电路分别进行综合。当发送端和接收端电路工作在 400 MHz 时，接口的传输速率可达到 6.4 Gbit/s。与文献[3]中采用四字节并行处理的 JESD204B 接收端进行比较，结果列于表 1。可以看出，基于 ESIstream 协议设计的接口电路面积更小，功耗更低。

(a) 接收端同步序列输入



(b) 多通道对齐后输出的采样数据

图 9　多通道同步输出仿真图

表 1　时钟、面积、功耗资源统计

性能指标	ESITX	ESIRX	JESD204BRX[3]
时钟周期/ns	2.5	2.5	0.25
时钟不确定量/ns	0.1	0.1	0.01
库单元建立时间/ns	0.08	0.03	0.05
时序松弛量/ns	0.02	0.46	0.03
组合逻辑面积/μm^2	2 681.28	6 348.24	28 122.8
缓冲/倒向器面积/μm^2	812.16	479.88	2 243.5
非组合逻辑面积/μm^2	4 962.24	13 209.8	29 023.9
单元功耗/mW	1.978	5.492	11.86
线网翻转功耗/mW	0.424	0.0528	1.22
总动态功耗/mW	2.402	5.545	13.08

4　结　论

本文在深入理解 ESIstream 协议的基础上，通过对加扰、编码和同步等模块的设计，最终实现了一款适用于 12～14 位 ADC/DAC 的收发端接口。通过 Modelsim 进行仿真验证分析，确定设计的接口电路能够完成接口收发端的功能。采用高速串行接口是未来 ADC 数据接口的发展趋势，ESIstream 接口则为应用于医疗、军事、太空探索等特殊领域的抗辐照 ADC 提供了一种可选择的高速串行接口。

参 考 文 献：

[1] HARRIS J. Survival guide to high-speed A/D converter digital outputs [J]. Elec Engineer Times, 2012(1620):35-36, 38.

[2] WU Z, ZHANG C, LI F, et al. High speed serial interface transceiver controller based on JESD204B [C] // New Circ & Syst Conf. Vancouver, BC, Canada. 2016: 26-29.

[3] 付东兵，焦阳，徐洋洋，等. 基于 JESD204B 的接收端数据链路层设计与实现 [J]. 微电子学，2019，49(4)：508-512.

[4] GLASCOTT-JONES A, PILARD R, STACKLER M. A 12 bit dual ADC for use in phased array and MIMO systems [C] // IEEE Int COMCAS. Tel-Aviv, Israel. 2017: 1-5.

[5] STACKLER M, PILARD R, WAGNER G, et al. Large array application and direct conversion capabilities [C] // IEEE APMC. Kuala Lumpar, Malaysia. 2017: 845-848.

[6] 宛强，郭金翠，王巍，等. JESD204B 接收系统同步技术研究与实现 [J]. 电子器件，2018，41(6)：1566-1571.

[7] 刘泳锐，张彦军，刘龙飞，等. 8b/10b 编码实现 LVDS 交流耦合传输中的直流平衡 [J]. 科学技术与工程，2012，12(35)：9693-9696，9701.

[8] 霍兴华，姚亚峰，贾茜茜，等. JESD204B 接口协议中的加扰电路设计 [J]. 电视技术，2014，38(23)：64-67.

一种快速稳定 AGC 放大器的研究

刘登学，庞佑兵，杨　帆，杨　超
（中国电子科技集团公司 第二十四研究所，重庆 400060）

摘　要： 设计了一种快速稳定 AGC 放大器。电路采用了一种新颖的拓扑结构，即采用对数检波电路对输入信号进行检波，产生 VGA 控制电压，去除了检波后的滤波电路，极大降低了电路的稳定时间。整体电路采用 SMT 工艺制作。电路具有稳定时间短(1.685 μs)、输入信号动态范围大(70 dB)、输出幅度变化小(≤1.0 dB)、增益高(66.12 dB)、一致性好等特点，可广泛用于雷达、声纳、通讯、电子对抗等系统。

关键词： AGC 放大器；稳定时间；动态范围
中图分类号：TN722　　**文献标识码：**A　　**文章编号：**1004-3365(2020)03-0370-04
DOI：10.13911/j.cnki.1004-3365.190724

Study on a Fast Settling AGC Amplifier

LIU Dengxue, PANG Youbing, YANG Fan, YANG Chao
(*The 24th Research Institute of China Electronics Technology Group Corporation, Chongqing* 400060, *P. R. China*)

Abstract: A fast settling AGC amplifier was designed. The circuit was designed with a novel topology. A logarithmic detector circuit was used to detect the input signal, and a control voltage for VGA was produced. The filter that followed the detector was removed, and the settling time was greatly reduced. The whole circuit was fabricated in a SMT process. The circuit featured a fast settling time (1.685 μs), a wide dynamic range of input signal (70 dB), a small error of output amplitude (≤1.0dB), a high gain (66.12 dB), and an excellent consistency. It could be widely used in radar systems, sonar systems, communication systems, electronic countermeasure systems and so on.

Key words: AGC amplifier; settling time; dynamic range

0　引　言

自动增益控制(Automatic Gain Control，AGC)放大器是接收系统中的重要器件，其作用是将接收系统中收到的大动态信号进行放大或衰减，使其变为幅度稳定的输出信号，供后续电路(如A/D转换等)处理，用以补偿接收机增益的不稳定性，同时防止强信号引起接收机饱和过载[1]。

如图 1 所示，传统 AGC 放大器采用检波电路对最后一级可变增益放大器(Variable Gain Amplifier，VGA)的输出信号进行检波，输出信号经过滤波电路后，产生一个线性检波电压来控制各级 VGA 放大器。

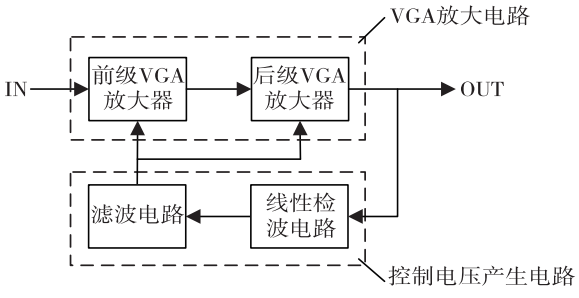


图 1　传统 AGC 放大器原理框图

其中的检波器是由二极管或三极管构成的线性检波电路。滤波电路通常为低通滤波器。传统 AGC 放大器受其闭环结构限制，以及受滤波器性能

收稿日期：2019-12-10；**定稿日期：**2020-01-25
作者简介：刘登学（1975—），男(汉族)，重庆人，硕士，高级工程师。从事放大器、AGC 等混合模块电路的研究工作。

的影响，其稳定时间较长，一般为几毫秒，不能满足现代快速目标检测和多目标跟踪系统的要求，存在“漏检”和丢失目标的问题，且调试相对困难[2]。

本文设计了一种快速稳定 AGC 放大器，使用新的拓扑结构，采用对数检波电路进行检波，去除了检波后的滤波电路，解决了传统结构 AGC 放大器稳定时间较长的问题[3]，稳定时间小于 1.685 μs，能够很好地满足整机接收系统的要求。

1　电路设计与分析

1.1　电路原理分析

本文采用新颖的拓扑结构，设计了一种快速稳定 AGC 放大器，其原理框图如图 2 所示。输入信号分为两路，一路进入 VGA 放大电路，另一路进入控制电压产生电路。VGA 放大电路包括前后两级 VGA 放大器（注：如果输入动态范围要求不高，可以使用一级 VGA 放大器）。在控制电压的控制下，对输入的信号进行放大或衰减，使输出信号保持稳定的幅度。控制电压产生电路包括对数检波电路和控制电压调整电路，用于产生 VGA 放大器需要的控制电压。

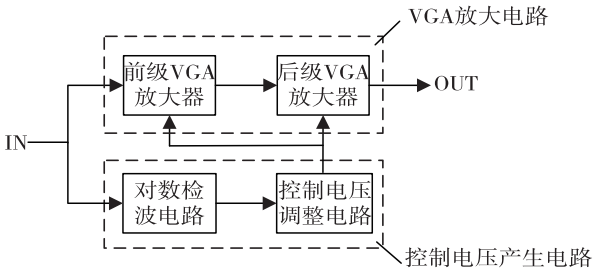


图 2　快速稳定 AGC 放大器原理框图

AGC 放大器的输出电压为：

$$U_O(t)=G(V_C)U_I(t) \tag{1}$$

式中，$G(V_C)$ 表示控制电压为 V_C 时 AGC 放大器的增益，$U_I(t)$ 表示输入电压。

将 AGC 放大器开始作用的最小输入信号幅度称为起控电平，用 U_{IMIN} 表示。当电压逐渐增大到使自动增益控制电路失去调节作用时的电压称为失控电平，用 U_{IMAX} 表示。则输入信号动态范围为：

$$D=\frac{U_{IMAX}}{U_{IMIN}} \tag{2}$$

以 dB 为单位，式(2)则可以表示为：

$$D(\mathrm{dB})=20\lg\left(\frac{U_{IMAX}}{U_{IMIN}}\right) \tag{3}$$

传统 AGC 放大器稳定时间表示为：

$$\tau=\left(\frac{1}{V_C}\times\frac{G_{M2}}{C}\times k_{V2}\right)^{-1} \tag{4}$$

式中，V_C 表示控制电压，k_{V2} 表示对数检波电路的特征参数，G_{M2}/C 是与滤波电路有关的量纲[4][5]。

在快速稳定 AGC 放大器中，由于去除了滤波电路，稳定时间可表示为：

$$\tau=\left(\frac{1}{V_C}\times k_{V2}\right)^{-1} \tag{5}$$

由于滤波电路是影响稳定时间的重要因素，在去除滤波电路后，快速稳定 AGC 放大器可以大大降低稳定时间。

传统 AGC 放大器是对输出信号进行线性检波，然后产生控制电压来控制 VGA 放大器的增益。当输入信号增大，输出信号也相应增大，线性检波电路会产生一个增大的电压，经过滤波后，去控制 VGA 放大器，使其降低增益（VGA 放大器需设置为负向控制，即控制电压增大，增益降低），从而降低输出幅度，使输出幅度恢复到设定值。反之亦然。但这个恢复稳定的过程是一个连续变化的过程，需要较长的时间。这就是传统 AGC 放大器稳定时间较长的主要原因[6-7]。

而快速稳定 AGC 放大器是对输入信号进行对数检波，然后产生一个控制电压。当输入信号增大时，将产生一个与之对应的电压，通过分压后直接控制 VGA 放大器，使其增益降低，使输出幅度立即恢复到设定值。这个恢复稳定的过程是一个跃变的过程，需要的时间非常短，稳定时间主要取决于对数检波时间和 VGA 放大器的变化时间。所以快速稳定 AGC 放大器的稳定时间非常短[8]。

1.2　单元电路理论分析

VGA 放大器的作用是在控制电压的控制下，对输入的信号进行放大或衰减，使输出信号幅度保持稳定。VGA 放大器的选用需要考虑输入信号动态范围、增益、带宽、VGA 控制方向等因素。本电路中采用 AD603，设置为负向控制。前后级 VGA 放大器的线路一样，原理图如图 3 所示[9]。

整机系统的输出阻抗一般为 50 Ω，而 AD603 的输入阻抗是 100 Ω，所以需要将其匹配到 50 Ω。在 AD603 的输入端与地之间并联一个 51 Ω 的电阻（图 3 中的 R_1），即可达到匹配目的。

由于对数检波电路产生的 VGA 控制电压与输入信号幅度呈正向关系，即输入信号幅度增大，产生的 VGA 控制电压将增大，反之亦然，所以需要对 AD603 采用反向控制，即 VGA 控制电压增大，增益

将降低，这样可保持最终输出信号幅度稳定不变。设计 AD603 为反向控制的方法是设置 GPOS 引出端（AD603 的第 1 引出端）为固定电压端，可通过电源电压分压后产生固定电压；设置 GNEG（AD603 的第 2 引出端）为控制电压输入端，通过串联电阻 R_5 连接控制电压 V_{agc}。电阻 R_5 的作用是限制电流，并减小控制电压上的噪声和杂波对 AD603 的影响。

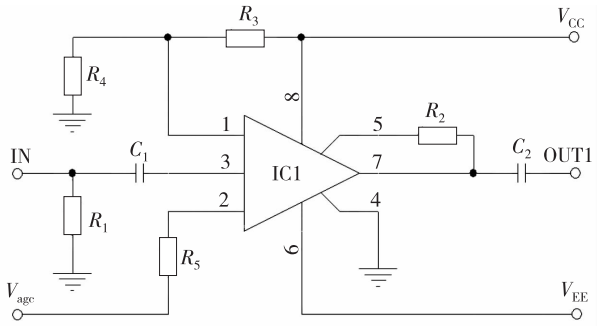


图 3 VGA 放大器原理图

AD603 有三种工作模式：高增益模式，增益为 10 dB～50 dB；中增益模式，增益为 0 dB～40 dB；低增益模式，增益为－10 dB～30 dB。可以根据电路的增益要求确定具体采用某种工作模式，并通过 R_2 进行设置。本电路要求增益≥60 dB，由于需预留一定的增益余量，所以将 AD603 设计为中增益模式，两级级联后增益可达到 80 dB。将 VGA 控制电压适当调低，使 AD603 不工作在满增益状态（本电路设置最大增益为 34 dB，两级级联后为 68 dB），则既可满足电路的增益要求，又能达到一定的降额目的。

对数检波电路对输入信号进行对数检波，输出的电压幅度与输入信号幅度呈对数关系，传输函数表达式为：

$$V_{C1}=V_Y \lg \frac{V_{IN}}{V_X} \tag{6}$$

式中，V_{C1} 为输出电压，V_Y 为对数斜率，V_{IN} 为输入电压，V_X 为对数起点电压。

本电路中检波器采用对数检波器 AD8310，输入动态范围高达 95 dB，稳定时间为 40 ns 左右，输出电压范围为 0.4 V～2.6 V。检波电路原理图如图 4 所示[10]。

AD8310 的输入端采用差分输入模式，而整机一般是单端输出信号，故将 AD8310 的一个输入端通过耦合电容 C_6 接地，信号通过耦合电容 C_5 输入，将差分输入变为单端输入。在 AD8310 的输入端与地之间并联一个 51 Ω 的电阻（图 4 中的 R_{11}），可将 AD8310 的输入阻抗匹配到 50 Ω。

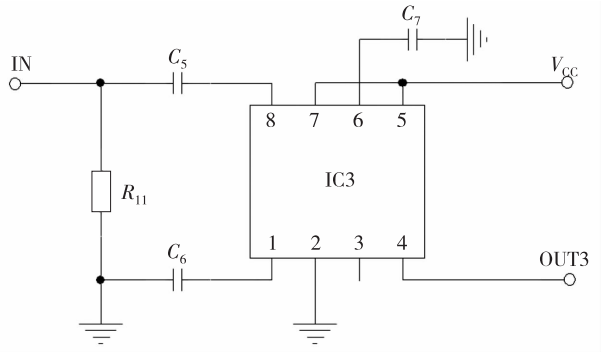


图 4 检波电路原理图

图 5 所示为控制电压调整电路原理图，主要作用是将对数检波电路产生的电压进行分压，使之满足 VGA 放大器所需的控制电压范围。电容 C_8 的作用是对控制电压进行滤波，减小对 VGA 放大器的影响。但 C_8 的容值不宜太大，否则会增加 AGC 放大器的稳定时间，一般取值范围为 0～510 pF。

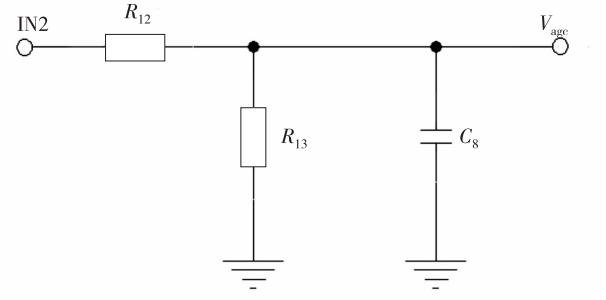


图 5 控制电压调整电路原理图

1.3 仿真分析

采用 Pspice 软件对电路进行了仿真分析，仿真线路图如图 6 所示，仿真结果如图 7 所示。仿真结果显示，稳定时间为 1.135 μs，增益为 66.7 dB。

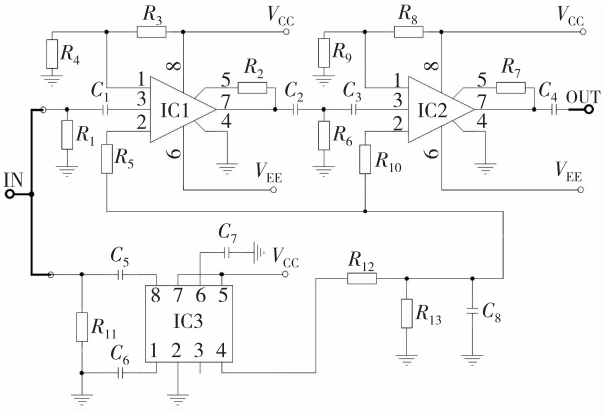
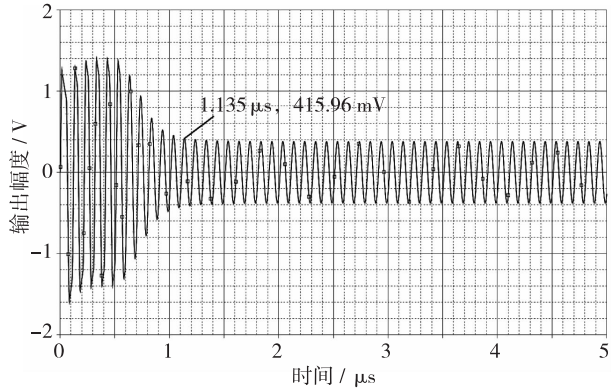
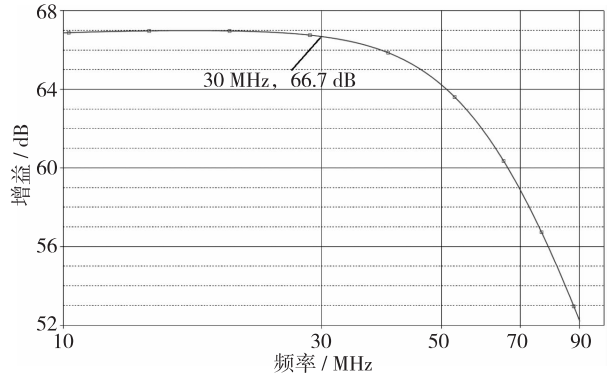


图 6 仿真线路图



（a）稳定时间仿真结果



（b）增益仿真结果

图 7　输出信号的仿真结果

2　测试结果与分析

本电路采用表面组装技术（Surface Mounted Technology，SMT）制作，使用了表贴小型封装器件。版图如图 8 所示，基板采用双面 PCB 板，背面大面积接地。主信号通路设计为 50 Ω 阻抗线，并尽量呈一字形排列，从而减小寄生参数的影响。

对加工好的电路进行了测试，测试结果与仿真结果基本吻合，如图 9 所示。测试结果显示，电路的稳定时间为 1.685 μs，增益为 66.12 dB，输入动态范围达到 75 dB（－65 dB～＋10 dB），在整个输入动态范围内输出信号幅度变化≤1.0 dB。

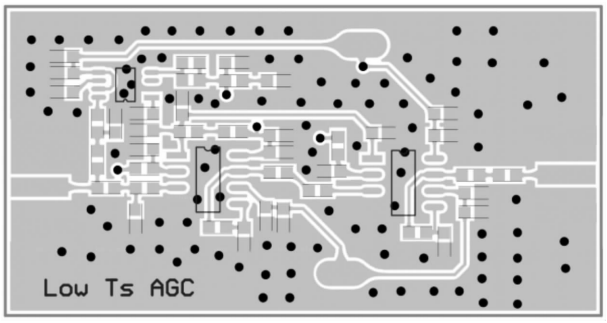
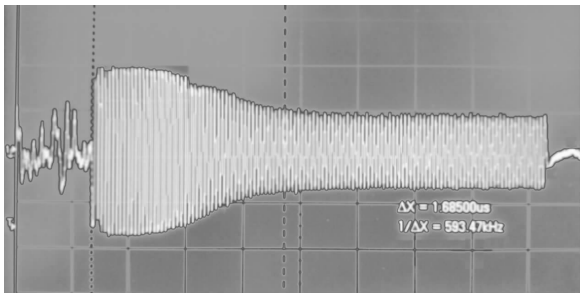
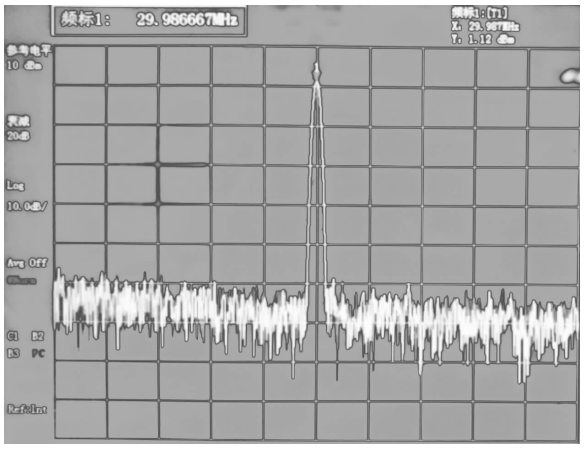


图 8　版图



（a）稳定时间测试结果



（b）输出幅度测试结果

图 9　测试结果

表 1 所示为快速稳定 AGC 放大器（以“快速”表示）与传统 AGC 放大器（以“传统”表示）的主要参数对比。与传统 AGC 放大器比较，快速稳定 AGC 放大器的优点是稳定时间非常短，是传统 AGC 放大器的两千分之一；缺点是输出信号的过冲有所增大。两者的其余性能指标（如输入动态范围、增益、输出幅度变化等）相当。

表 1　主要参数对比

参数	稳定时间/μs	输入动态范围/dB	增益/dB	输出幅度变化/dB
快速	1.685	75	66.12	≤1.0
传统	3 500	70	66.00	≤1.8

3　结　论

本文从实际应用出发，采用一种新颖的电路结构进行设计，研制出了一种快速稳定 AGC 放大器。电路中采用对输入信号进行对数检波，产生控制电压，经分压后控制两级 VGA 放大器的方式，同时去除了对稳定时间影响较大的滤波电路，所以能极大地减小稳定时间，稳定时间是传统 AGC 放大器的

（下转第 378 页）

·模型与算法·

非均衡表驱动线性拟合的S型激活函数硬件加速

戴忠东[1,2]，张 石[1]，张 尧[1]
（1. 浙江大学 超大规模集成电路设计研究所，杭州 310027；
2. 上海复控华龙微系统技术有限公司，上海 200439）

摘 要： 深度学习的兴起使得对计算的需求进一步加剧，其中循环神经网络长短时记忆单元中的非线性激活函数是硬件加速的重点。传统的查找表法、泰勒级数展开法、分段线性拟合法的硬件资源开销相对较大。本文在表驱动线性拟合的硬件加速基础上，进行了分析与数学推导，提出了非均衡参数化表驱动线性拟合S型激活函数的硬件加速。通过移动直线中心，降低了单边误差。对函数中误差较大与较小的区间进行差异划分，提高了误差分布较大区间的直线区间数量，进一步减小误差。FPGA高层综合的实验结果表明，非均衡表驱动线性拟合法在不增加硬件资源开销和不降低性能的前提下，能够实现较小误差的优化。参数化进一步提高了硬件的复用性与应用选择的灵活性。

关键词： 深度学习；循环神经网络；硬件加速；表驱动线性拟合；FPGA；参数化
中图分类号：TP332；TP183 **文献标识码：**A **文章编号：**1004-3365(2020)03-0374-05
DOI：10.13911/j.cnki.1004-3365.190572

S-Shaped Activation Function Hardware Acceleration of the Unbalanced Table-Driven Linear Fitting

DAI Zhongdong[1,2], ZHANG Shi[1], ZHANG Yao[1]
(1. *Institute of VLSI Design, Zhejiang Univesity, Hangzhou* 310027, *P. R. China*;
2. *Shanghai Fudan-Holding Hualong Microsystem Technology Co., Ltd., Shanghai* 200439, *P. R. China*)

Abstract: With the rise of deep learning, the demand for computation was further intensified, and the nonlinear activation function in the long short-term memory unit of the recurrent neural network was the focus of hardware acceleration. The hardware overhead of traditional look-up table, Taylor series expansion and piecewise linear fitting were relatively large. Based on the hardware acceleration of table-driven linear fitting, a step-by-step analysis and mathematical derivation was made in this paper. The hardware acceleration of the S-shaped activation function of the unbalanced parametric table-driven linear fitting was proposed. By moving the center of the line, the unilateral error was reduced. The number of linear intervals with larger error was increased and the error was further reduced by differentiating the intervals with larger and smaller errors. The experimental results of high-level synthesis on FPGA showed that the non-balanced table-driven linear fitting method could achieve less error optimization without increasing hardware resource overhead and reducing performance, while the parameterization further improved the reusability of hardware and the flexibility of application selection.

Key words: deep learning; recurrent neural network; hardware acceleration; table-driven linear fitting; FPGA; parameterization

收稿日期：2019-09-30；**定稿日期：**2020-03-09
基金项目：国家重点研发计划资助项目(2018YFB0904902)
作者简介：戴忠东(1968—)，男(汉族)，上海人，高级工程师，从事SOC、CPU集成电路设计研究工作。

0　引　言

循环神经网络通过反馈机制来分析前后关联时间信息，是自然语言处理[1]、语音识别[2]、网络入侵检测[3-5]等领域的主流深度学习方法。循环神经网络由长短时记忆单元通过网络形式连接而构成[6]，而长短时记忆单元的主要运算由非线性激活函数实现。因此，激活函数的实现对循环神经网络的性能具有重要的影响。

对非线性函数的硬件加速的传统方法通常有三种：1）查找表法，查找表法是最常用的非线性函数硬件加速实现方法[7]，在确定的误差范围内将非线性函数值存在存储器（表）中，在计算时，按地址查找存储器，取出函数值，该方法的硬件存储开销较大；2）泰勒级数展开法，将非线性函数按泰勒公式在 $x=x_0$ 处进行级数展开[8]，前提是函数在 x_0 处具有任意阶导数，该方法的乘法器开销较大；3）分段线性拟合法，根据输入确定多段直线中对应的直线段（在输入上的投影即直线区间），再取出直线段的两端点，结合直线公式计算，输入对应的函数拟合值[9]，该方法的硬件存储开销较大。

针对上述非线性函数硬件加速的不足，在表驱动线性拟合的硬件加速基础上，本文提出了非均衡参数化表驱动线性拟合的 S 型激活函数的硬件加速。根据误差要求差异，划分直线区间数量。通过中心移动，减小单边误差。兼顾资源消耗与性能，进行了优化实现。

1　基本原理

1.1　S 型激活函数拟合

与一般神经网络形式类似，循环神经网络如图 1 所示。长短时记忆单元作为网络节点的构成，包括输入层、隐含层和输出层。网络按照时间序列展开。循环神经网络隐含层的长短时记忆单元具有反馈机制，可以实现时间的上下文信息的传递。循环神经网络将一定长度的时间序列数据作为训练集，完成训练后，预测下一时刻的输出。

S 型激活函数源于 S 型函数，是循环神经网络常用的激活函数[10-12]。S 型函数主要为 Sigmoid 函数。S 型函数具有指数特性，曲线形状类似生物响应，函数在 x 轴两端趋于饱和。由图 2 所示的导数图像可以看出，$\lim\limits_{x\to\infty} f'(x)=0$。

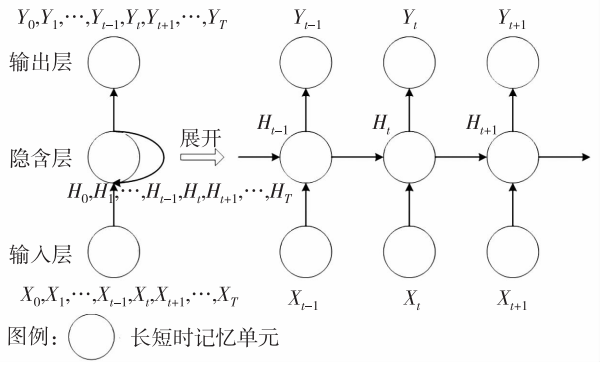


图 1　循环神经网络

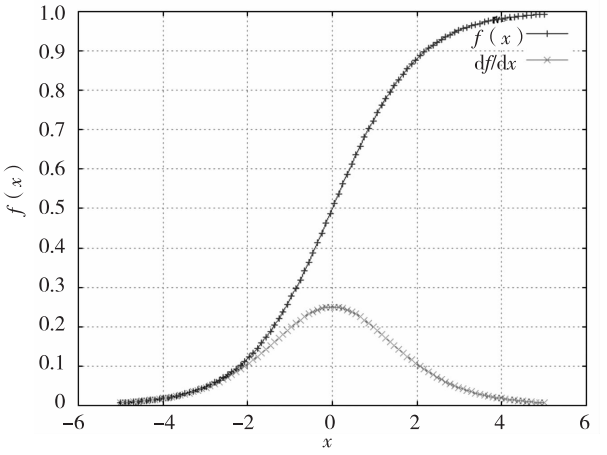


图 2　Sigmoid 函数及导数图像

Sigmoid 函数为激活函数，在定义域（$-\infty$，$+\infty$）上，函数值域为[0，1]的子集（0，1），并满足单调递增。函数描述为：

$$f(x)=\mathrm{Sigmoid}(x)=\frac{1}{1+\mathrm{e}^{-x}} \tag{1}$$

在循环神经网络中，还需配合 Sigmoid 函数的 1 阶导数使用，为简化计算，可直接由其原函数表示：

$$f'(x)=\frac{\mathrm{e}^{-x}}{(1+\mathrm{e}^{-x})^2}=f(x)(1-f(x)) \tag{2}$$

激活函数的计算通常是输入不同应用的不同定义域，与其权值进行乘累加，得到值域输出。由于应用的不同，若固化激活函数，输出值域往往容易失配，出现过大或过小的现象，导致循环神经网络难以收敛。因此，可将激活函数参数化，加快收敛速度。Sigmoid 函数的参数化公式为：

$$f(\rho x)=\mathrm{Sigmoid}(\rho x)=\frac{1}{1+\mathrm{e}^{-\rho x}} \tag{3}$$

ρ 取值与函数定义域对应。在实现时，Sigmoid

实际拟合函数记为 $\tilde{f}(x)$。通过下文1.2节中的分段直线进行拟合，分段直线的端点函数值 $\tilde{f}(x)$ 等于原函数值 $f(x)$。该线性拟合方法保证了与原函数相似的单调递增。

当 $x=8$ 时，$f(x)$ 约为 0.999 7，与 $f(+\infty)=1$ 的差值仅约 0.000 3。因此，设 $x\in(8,+\infty)$，则 $\tilde{f}(x)=1$，这相当于简化的常数分段直线拟合，减少了硬件存储开销。当 $x\in[0,8]$ 时，采用普通的分段直线拟合，则直线端点的函数值 $\tilde{f}(x)$ 等于原函数值 $f(x)$。由于Sigmoid函数关于 $x=0$ 对称，对于 $x\in(0,-\infty)$ 的 $\tilde{f}(x)$，按下式，可重用 $x\in[0,+\infty)$ 的拟合，进一步减少硬件存储开销：

$$\tilde{f}(x)=1-\tilde{f}(-x),x\in(0,-\infty) \tag{4}$$

综上所述，Sigmoid的实际拟合函数 $\tilde{f}(x)$ 的定义域为 $(-\infty,+\infty)$，值域为 $[0,1]$，保持了单调特性，符合通常激活函数要求，减少了硬件存储开销。

非线性函数值 $f(x)$ 与实际拟合函数值 $\tilde{f}(x)$ 的拟合误差 $\varepsilon(x)$ 为：

$$\varepsilon(x)=|f(x)-\tilde{f}(x)| \tag{5}$$

1.2 表驱动线性拟合法

表驱动线性拟合法是常用的方法，源于分段线性拟合法与查找表法的直接结合[13-14]。与分段线性拟合法类似，将非线性函数输入划分成多段等分直线区间，直线方程参数按照查找表的形式存入存储器。直线区间数量与误差有关，较多的直线区间能够减小误差，但增加了硬件存储开销。

计算时，电路从查找表中取出直线端点，直线方程的计算式为：

$$y_i=k_ix+b_i \tag{6}$$

式中，$i=1,\cdots,N$，N 表示直线区间数量。

表驱动线性拟合法的Sigmoid函数值的分段直线方程推导如下。

对输入 x 进行查找，得到 x 在Sigmoid函数拟合的第 i 段直线区间中，即 $x\in[\alpha_i,\beta_i]$，其中 $\alpha_i<\beta_i$。直线段的两端是存储的直线方程参数，即 $(\alpha_i,f(\alpha_i))$，$(\beta_i,f(\beta_i))$，代入式(6)，通过直线的斜率与截距，进行插值，求得 x 对应的Sigmoid函数值：

$$y_i=\frac{f(\beta_i)-f(\alpha_i)}{\beta_i-\alpha_i}x+\frac{\beta_if(\alpha_i)-\alpha_if(\beta_i)}{\beta_i-\alpha_i} \tag{7}$$

接着，对误差情况进行分析。当平均划分为64段直线区间时，表驱动线性拟合法的误差如图3所示。在 $x=1.313$ 时，误差最大值为 1.879×10^{-4}。整体上，误差的均值与方差分别是 $4.644\ 5\times10^{-7}$、4.317×10^{-14}。

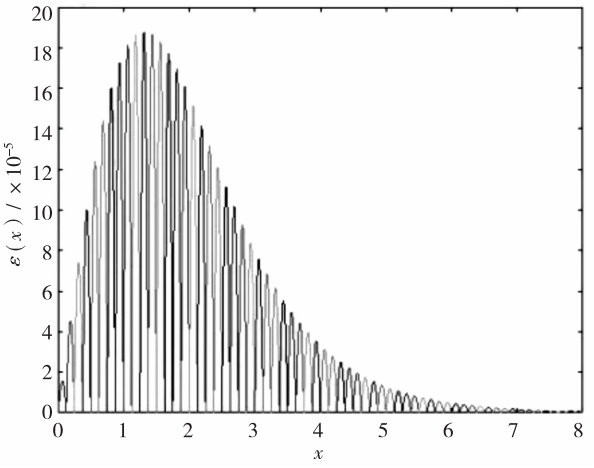


图3 表驱动线性拟合法的误差

2 非均衡表驱动线性拟合法

2.1 中心平移

进一步对图3所示表驱动线性拟合法的误差进行分析，可知，误差在每段直线区间的分布是单边的，即与实际的数值相比，输出的拟合值均偏小，在分段直线两端均为0，在分段直线内部，拟合值偏小最多。因此，可通过向上平移的方式来减小最大误差。平移量 δ_i 为：

$$\delta_i=\frac{1}{2}\max(f(x)-y_i) \tag{8}$$

将平移量用于计算Sigmoid函数值的分段直线方程，得：

$$y_i=\frac{f(\beta_i)-f(\alpha_i)}{\beta_i-\alpha_i}x+\frac{\beta_if(\alpha_i)-\alpha_if(\beta_i)}{\beta_i-\alpha_i}+\delta_i \tag{9}$$

对中心平移的误差进行分析。中心平移的表驱动线性拟合的误差如图4所示。对比图3与图4可知，两者的误差包络形状类似，但误差的标尺缩小为原来的1/2。图4中的最大误差数值比图3小，即在 $x=1.313$ 时，误差约 $9.393\ 8\times10^{-5}$。整体上，误差的均值与方差分别为 $2.123\ 4\times10^{-7}$、1.156×10^{-14}。

2.2 差异划分

观察图3与图4可知，误差在[0,8]的整个区间上是不均衡的，[4,8]上的误差远小于[0,4)上的误差。由于直线区间数量对误差存在影响，可以设想，如果增加[0,4)上的直线区间数量，同时减少[4,8]区间上的直线区间数量，在总体直线区间数量不变

的前提下，[0,4)与[4,8]上的误差会变得更均衡，使得最大误差减小。

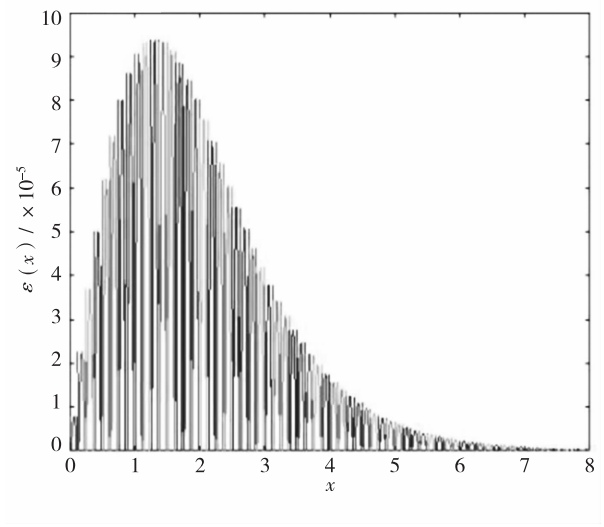


图 4　中心平移的表驱动线性拟合的误差

在总体实现时，仍保持 64 段直线区间，同时，在[0,4)上增加 16 段，变为 48 段，在[4,8]上减少 16 段，变为 16 段。这样修改后，最大误差仍出现在[0,4)上，即当 $x=1.313$ 时，误差为 $6.009\ 6\times10^{-5}$。整体上，误差的均值与方差分别为 $3.075\ 4\times10^{-6}$、1.283×10^{-11}。

差异划分 Sigmoid 函数值的分段直线方程为：

$$\begin{cases} y_i=\dfrac{f(\beta_i)-f(\alpha_i)}{\beta_i-\alpha_i}x+\dfrac{\beta_i f(\alpha_i)-\alpha_i f(\beta_i)}{\beta_i-\alpha_i}+\delta_i,x\in[0,4) \\ \qquad\qquad i=1,\cdots,N_1, \\ y_i=\dfrac{f(\beta_i)-f(\alpha_i)}{\beta_i-\alpha_i}x+\dfrac{\beta_i f(\alpha_i)-\alpha_i f(\beta_i)}{\beta_i-\alpha_i}+\delta_i,x\in[4,8] \\ \qquad\qquad i=1,\cdots,N_2, \end{cases} \tag{10}$$

差异划分的表驱动线性拟合法的误差如图 5 所示。将图 3、图 4、图 5 的误差均值与方差进行对比，可知，图 4 的误差均值与方差最小，图 3 次之，图 5 最大。因此，本文主要面向函数值优化，在缩小最大误差的前提下，实现了硬件加速。

3　实验测试

硬件实验平台基于 FPGA XC7Z020-2CLG484、Vivado 2016 集成开发环境[15]，采用高层综合(HLS)实现[16]，时钟频率为 100 MHz。FPGA 硬件资源开销与最大误差的情况如表 1 所示。

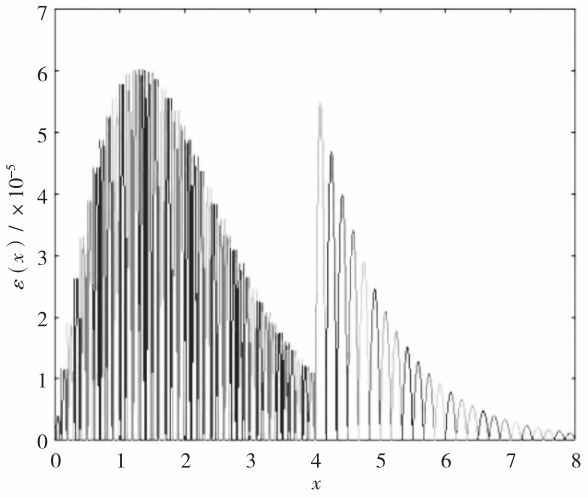


图 5　差异划分的表驱动线性拟合法的误差

表 1　FPGA 硬件资源开销与最大误差的情况

方法	存储器块	DSP 块	触发器	查找表	时钟数	最大误差
表驱动线性拟合	4	5	987	2 399	18	1.879×10^{-4}
非均衡表驱动线性拟合	4	5	987	2 399	18	$6.009\ 6\times10^{-5}$
非均衡参数化表驱动线性拟合	4	10	1 361	3 223	30	$6.009\ 6\times10^{-5}$

从 1、2 节的分析可知，误差在 $x=1.313$ 时最大。根据以上实验结果，在实现 Sigmoid 函数时，表驱动线性拟合法、非均衡表驱动线性拟合法的硬件资源开销与总的延迟均一致。非均衡表驱动线性拟合法的最大误差较小，相对较优。参数化的 Sigmoid 函数实现只需进行系数 ρ 映射，就可变换到普通 Sigmoid 函数实现，在硬件增加有限的情况下，可实现较完全的 S 型激活函数加速。

4　结　论

本文在表驱动线性拟合法的基础上，逐步进行分析、改进，提出了非均衡的参数化表驱动线性拟合的硬件加速方法。在不增加硬件资源开销的前提下，该非均衡表驱动线性拟合法通过直线中心平移、差异划分直线区间，进一步减小了 S 型激活函数的最大误差。参数化方法还可实现不同的 S 型激活函数，提高了硬件的可复用性，增强了适应不同应用的硬件灵活性。

参 考 文 献：

[1] OGATA T, MURASE M, TANI J, et al. Two-way translation of compound sentences and arm motions by recurrent neural networks [C] // IEEE Int Conf IRSJ. San Diego, CA, USA. 2007: 1858-1863.

[2] BATTENBERG E, MARIOORYAD S, STANTON D, et al. Effective use of variational embedding capacity in expressive end-to-end speech synthesis [Z]. arXiv preprint arXiv: 1906.03402v3, 2019.

[3] MANAVI M, ZHANG Y. A new intrusion detection system based on gated recurrent unit (GRU) and genetic algorithm [C] // Int Conf Secur, Priv & Anonym Comput, Commun & Storage. Cham, Switzerland. 2019: 368-383.

[4] ERTAM F. An efficient hybrid deep learning approach for internet security [J]. Physica A: Statist Mech & its Appl, 2019, 535: 122492.

[5] LAZARIS A, PRASANNA V K. An LSTM framework for modeling network traffic [C] // IEEE IFIP. Halifax, Canada. 2019: 19-24.

[6] HOCHREITER S, SCHMIDHUBER J. Long short-term memory [J]. Neural Comput, 1997, 9(8): 1735-1780.

[7] 黄聚永，袁慧梅，吴向阳，等. 基于查找表和Newton插值算法的正余弦函数的FPGA实现 [J]. 继电器，2007，35(16)：33-36.

[8] 高丽媛，卢达，赵光宙，等. 应用自动微分的永磁同步电机预测控制 [D]. 哈尔滨：哈尔滨理工大学，2012.

[9] 连逸亚，吴小俊. 超深卷积神经网络的图像超分辨率重建研究 [J]. 计算机工程，2019，45(1)：217-220.

[10] HUANG G B, ZHU Q Y, SIEW C K. Extreme learning machine: a new learning scheme of feedforward neural networks [C] // IEEE Int Joint Conf Neural Networks. Budapest, Hungary. 2004: 985-990.

[11] MARREIROS A C, DAUNIZEAU J, KIEBEL S J, et al. Population dynamics: variance and the sigmoid activation function [J]. Neuroimage, 2008, 42(1): 147-157.

[12] ZENG Z, WANG J. Analysis and design of associative memories based on recurrent neural networks with linear saturation activation functions and time-varying delays [J]. Neural Comput, 2007, 19(8): 2149-2182.

[13] OUYANG J, LIN S, QI W, et al. SDA: software-defined accelerator for large-scale DNN systems [C] // IEEE HCS. Cupertino, CA, USA. 2014: 1-23.

[14] MARATHE S. A generic approach for neural networks on FPGA [C] // Int Conf Intellig Comput & Commun Technol. Sao Miguel, Portugal. 2019: 82-91.

[15] WINTERSTEIN F, BAYLISS S, CONSTANTINIDES G A. High-level synthesis of dynamic data structures: a case study using Vivado HLS [C] // IEEE Int Conf FPT. Kyoto, Japan. 2013: 362-365.

[16] NEUENDORFFER S, MARTINEZ-VALLINA F. Building zynq® accelerators with Vivado® high level synthesis [C] // Proceed ACM/SIGDA Int Symp Field Programmable Gate Arrays. 2013.

(上接第373页)

两千分之一。电路的特点是稳定时间短、输入信号动态范围大、输出幅度稳定、增益高、一致性好。该电路便于大批量生产。

参 考 文 献：

[1] 陈邦媛. 射频通信电路 [M]. 北京：科学出版社，2011：493-502.

[2] WANG F,RAO J H. Realize variable gain amplifier in the underwater optical wireless communication system [J]. Laser Technology, 2012,36(1):99-102.

[3] 刘登学,庞佑兵，杨帆,等. 一种快速稳定AGC放大器 [P]. CN108306621A，2018-07-20.

[4] R7400 datasheet [Z]. Hamamatsu Corporation.

[5] GENG Y H, FENG X A, ZHANG L. Design and implementation of a large dynamic AGC circuit [J]. Microprocessors, 2012, 33(3): 20-24.

[6] 朱启. 北斗导航系统接收机中自动增益控制的设计与实现 [D]. 西安:西安电子科技大学，2011.

[7] ZHANG Y, LIU Y H, BACHMAN C, et al. A fast convergence two-stage AGC for a Bluetooth low energy radio with 84 dB tuning range [J]. IEEE 25th Annual Int Symp Personal, Indoor, and Mobile Radio Communication (PIMRC). Washington D C, USA. 2014: 1921-1925.

[8] BAI C F, WU J H, ZHANG M. A CMOS low power fast-settling AGC amplifier based on integrated RSSI [J]. Anal Integr Circ Sig Process, 2016, 87: 379-387.

[9] AD603 datasheet REV. D. [Z]. Analog Devices, Inc.

[10] AD8310 datasheet REV . B. [Z]. Analog Devices, Inc.

·动态与综述·

宇航 VDMOS 器件单粒子辐射加固技术综述

唐昭焕[1,2]，谭开洲[1]，胡刚毅[1]，杨发顺[2]，马 奎[2]
（1. 中国电子科技集团公司 第二十四研究所，重庆 400060；2. 贵州大学 大数据与信息工程学院，贵阳 550025）

摘 要： 宇航用功率 VDMOS 器件是航天器电源系统中实现功率转换的核心元器件之一。针对航天器对宇航用功率 VDMOS 器件的发展需求，在总结国内外宇航用功率 VDMOS 器件产品及技术发展现状的基础上，对比分析了宇航用功率 VDMOS 器件在技术水平、系列化程度、长期可靠性和系统应用等方面存在的主要差距。对我国宇航用功率 VDMOS 器件的主要任务进行了展望。

关键词： 宇航 VDMOS；单粒子辐射；辐射加固技术；线性能量传输
中图分类号：TN386 **文献标识码：**A **文章编号：**1004-3365(2020)03-0379-05
DOI：10.13911/j.cnki.1004-3365.190357

Review of Single-Event Irradiation Hardening Technology for Aerospace Power VDMOS

TANG Zhaohuan[1,2], TAN Kaizhou[1], HU Gangyi[1], YANG Fashun[2], MA Kui[2]
(1. *The 24th Research Institute of China Electronics Technology Group Corporation, Chongqing* 400060, *P. R. China*;
2. *College of Big Data and Information Engineering, Guizhou University, Guiyang* 550025, *P. R. China*)

Abstract: Power VDMOS for aerospace is one of the key devices used for power conversion in spacecraft power systems. In view of the development demand of the power VDMOS devices, based on the summary of domestic and foreign aerospace power VDMOS device products and technology development status, the main differences in technology level, products series, long-term reliability and system application of the devices were compared and analyzed. The main tasks for China's aerospace power VDMOS devices were prospected.

Key words: aerospace VDMOS; single-event irradiation; irradiation hardening technology; liner energy transfer

0 引 言

功率 VDMOS 器件具有功耗低、输出功率大、安全工作区宽、负温度系数、热稳定性好、控制电路简单等诸多优点，作为功率变换或功率转换器件，已广泛用于 DC/DC 变换器、马达驱动、不间断电源、开关电源等电子系统[1]。随着太空探索的日益深入和空间卫星的飞速发展，宇航用功率 VDMOS 器件的自主可控需求迫在眉睫。美国 IR 公司从 1989 年开始，陆续推出了六代高可靠(HiRel)功率 VDMOS 器件的系列化产品，抗总剂量达到 10 kGy(Si)，抗单粒子达到了 90 MeV·cm^2/mg，广泛用于高可靠整机系统[2]。功率 VDMOS 器件存在固有的栅氧介质和寄生三极管结构，在空间重粒子的辐射下会发生单粒子栅穿(Single Event Gate Rupture, SEGR)和单粒子烧毁(Single Event Burnout, SEB)失效。在国内，以平面型器件结构和微米级制造工艺为主的技术方案中，器件的抗单粒子辐射加固仍然是制约卫星在空间辐射环境下长期安全稳定工作

收稿日期：2019-06-16；**定稿日期：**2019-07-09
基金项目：空间环境材料行为与评价技术国家级重点实验室基金资助项目(61429100306)；半导体功率器件可靠性教育部工程研究中心基金资助项目(010201)
作者简介：唐昭焕(1981—)，男(侗族)，贵州松桃人，博士，高级工程师，从事半导体功率器件辐射效应、损伤模型等抗辐射加固技术工作。

的技术瓶颈。

鉴于宇航用功率 VDMOS 器件应用领域的特殊性，关于抗辐射加固技术的报道很少。本文在综述国内外宇航用功率 VDMOS 器件产品和技术发展现状的基础上，分析了国内外宇航用功率 VDMOS 器件存在的主要差距，并对几项认识上的误区进行了分析。最后，对国内宇航用功率 VDMOS 器件当前发展的主要任务进行了展望。

1 宇航用 VDMOS 器件发展现状

1.1 国外宇航用 VDMOS 产品及技术

1986 年，A. E. Waskiewicz 等人首次提出了功率 VDMOS 器件的 SEB 效应[3]。1987 年，T. Fischer 首次提出了功率 VDMOS 器件的 SEGR 效应[4]。随后，美国 IR 公司 L. Sandra 技术团队和 J. L. Titus 技术团队对工业级 VDMOS 器件的抗辐射性能进行了试验。依据试验结果，IR 公司于 1989 年推出了第一代抗辐射加固 VDMOS 器件系列产品 G4。但是，G4 代产品不是真正意义上的抗辐射加固 VDMOS 产品，只是一种具有 1～10 kGy(Si) 抗总剂量辐射能力的产品。

随后 10 年中，IR 公司在对 G4 系列化产品进行完善的同时，联合高校及技术团队对宇航用功率 VDMOS 器件的辐射效应、影响因子、偏置条件、物理模型、评估方法、试验方法及加固技术等进行了大量研究。1998 年，推出了第一代真正意义上的宇航用功率 VDMOS 器件产品 R5。2001 年，IR 公司推出了第三代宇航用抗辐射加固 VDMOS 产品 R6，抗单粒子能力达到 90 MeV·cm²/mg，较 R5 提高了 10 倍，系统效能提升了 2.5%。2004 年，IR 公司推出了带逻辑层阈电压的第四代抗辐射 VDMOS 器件 R7，由于带有 CMOS 和 TTL 控制电路，R7 的抗总剂量能力和抗单粒子能力分别为 1～3 kGy(Si) 和 82 MeV·cm²/mg，均有所降低。随着工艺特征尺寸的降低和硅槽技术的发展，2013 年，IR 公司推出了第五代抗辐射 Trench-VDMOS 产品 R8，工艺特征尺寸为 0.4 μm，元胞个数达到 1 740 万个/cm²，品质因数 FOM(FOM=$R_{on}\times Q_g$)降低了 35%～60%，芯片面积、芯片重量大幅降低。2015 年，德国英飞凌公司收购了 IR 公司，进行了技术整合。2016 年，英飞凌公司推出了首款基于 R9 的第六代高可靠抗辐射功率 VDMOS 产品 IRHNJ9A7130。相对于 R8，在进一步减小面积、减轻重量的同时，导通电阻降低了 33%，抗总剂量能力仍然达到 1～3 kGy(Si)，抗单粒子能力达到 90 MeV·cm²/mg。

IR(英飞凌)公司六代 HiRel 功率 VDMOS 产品的参数表如表 1 所示。可以看出，IR(英飞凌)公司在解决了宇航用功率 VDMOS 器件抗单粒子辐射加固的技术瓶颈后，再结合小线宽、Trench、低 R_{on} 封装等先进技术，显著提升了宇航用 DC/DC 变换器的转换效率。

表 1 IR 公司六代 HiRel 功率 VDMOS 产品的性能参数

名称	性能参数					
	G4	R5	R6	R7	R8	R9
年份	1989	1998	2001	2003	2013	2016
类型	N	N/P	N	N/P	N	N
耐压范围/V	60～600	30～250 －30～－200	100～1 000	60～250 －60	20～200	100
抗总剂量/kGy(Si)	1～10	1～10	1～3	1～3	1～3	1～3
抗单粒子/(MeV·cm²·mg⁻¹)	-	-	90	82	90	90
器件元胞	Hexagonal	Stripe	Stripe	Stripe	Stripe	Stripe
工艺方案	Planar	Planar	Planar	Planar	Trench	Trench
特征尺寸/μm	5	1.5～0.6	1.5～0.6	1.5～0.6	0.4	-
衬底材料	Silicon	Silicon	Silicon	Silicon	Silicon	Silicon
元胞密度/(万个·cm⁻²)	18	-	-	-	1 740	-
卓越特征	第一代 HiRel 产品	真正第一代 HiRel 产品	抗单粒子提升 10 倍	与 CMOS 和 TTL 集成	FOM 值降低 35～60%	R_{on} 进一步降低 33%

目前，IR（英飞凌）公司的六代 HiRel 功率 VDMOS 产品仍然占据高可靠 VDMOS 的主要市场份额，是整机系统中国产宇航 VDMOS 器件的重要参考，并成为 Fairchild、Vishay 等公司产品研发的标杆。

1.2　国内宇航用 VDMOS 器件及技术

国内对宇航用功率 VDMOS 器件的研发起步较晚。2010 年以前，国内宇航用功率 VDMOS 器件产品的工艺特征尺寸为 1～3 μm，抗辐射加固 VDMOS 器件产品难以达到与 R5、R6 相当的水平。2010 年以后，依靠先进的 I 线光刻机、高能离子注入机和高性能刻蚀机，实现了 0.25 μm 的工艺特征尺寸。各种研究项目的支持促进了宇航用功率 VDMOS 器件单粒子辐射加固基础技术的发展和系列化产品的研发，形成了整机商与元器件商协同研发的良好局面，但还没有形成“使用一代、存储一代、研发一代”的良性发展局面。

通过对宇航用功率 VDMOS 器件抗单粒子辐射加固技术瓶颈近十年的技术研发，我国业界产生了许多研究成果。2008 年，电子科技大学李泽宏等人提出了一种带局部 SOI 的抗单粒子辐射加固 VDMOS 器件，在保持功率不变的前提下，抗单粒子能力提高了两倍[5]。2011 年，中芯国际何永根等人提出了一种栅介质层及 MOS 晶体管的形成方法，在栅氧生长后，在 SiO_2 层表面注入氮离子，既保证了栅氧介质/硅的良好界面特性，又提高了栅氧介质的击穿电压[6]。2012 年，中科院微电子所王立新等人研究了星用功率 VDMOS 器件的 SEGR 效应，对漏源击穿电压为 400 V、500 V 的 N 沟道功率 VDMOS 器件进行了碘粒子辐照试验，在 $V_{gs}=0$ V 和 $V_{ds}=100\%BV_{dss}$ 时器件未发生单粒子效应，采用条栅、窄 neck 区（3 次 body 区注入）等方法，保证了抗 SEGR 的能力[7]。

2012 年，中国电子科技集团公司第二十四研究所唐昭焕等人提出了一种 neck 区带 LOCOS 的抗单粒子栅穿 VDMOS 器件，抗 SEGR 能力提高了 120%[8]。2013 年，哈尔滨工程大学王英等人研究了 UMOSFET 的单粒子烧毁特性，优化了 P＋注入，增加了 Buffer 层，在 77 K 的低温条件下验证了 SEGR 受栅电压的影响[9]。王英等人还研究采用减小载流子寿命、降低发射极掺杂、P＋-Plug 优化等提升 SEB 的方法，发现 LET 值对 SEB 的影响不明显，neck 区比其他位置更容易触发 SEB，并给出了各个区 SEGR 的阈值[10]。2014 年，陈佳等人使用锎（^{252}Cf）源对 VDMOS 器件的单粒子效应进行了试验研究[11]。李泽宏等人提出了一种在 body 区内、源区之下制作局部 SOI 的 VDMOS 器件，该器件利用了 SiO_2 对电子-空穴对的复合作用，有效抑制了寄生三极管[12]。2015 年，C. H. Yu 等人使用局部载流子寿命控制方法，研究了平面型 VDMOS 器件的单粒子烧毁效应，采用一种低载流子寿命控制区增加产生空穴的复合，优化了外延层参数，利用高掺杂增强了载流子的复合作用[13]。清华大学万欣等人报道了一种采用高 k 介质、沟道区高掺杂对 VDMOS 器件进行 SEB 加固的方法[14]，采用氮化硅（Si_3N_4）栅介质替代 SiO_2。2016 年，贾云鹏等人研究了线性掺杂缓冲层对 VDMOS 器件单粒子烧毁效应的影响[15]。

2　国内外宇航 VDMOS 器件技术差距

目前，国内元器件商正依托自主生产线研制第二、三代（相当于 R5、R6 产品水平）抗辐射加固 VDMOS 器件产品。

1）技术水平方面。宇航用功率 VDMOS 器件产品仍存在面积较大、动态参数较大、导通电阻较大和抗单粒子辐射能力弱等问题。国内先进的宇航用功率 VDMOS 器件样品的常态电参数可与 IR 公司同类产品相媲美，其抗总剂量辐射加固指标可优于 IR 公司同类产品，但其抗单粒子辐射加固指标稍逊。国内产品尚未深入涉及到深亚微米工艺结合 Trench 的技术方案。

2）系列化程度。给整机单位配套的宇航用功率 VDMOS 器件系列产品屈指可数，中低端 HiRel 产品系列化程度较低，高端（R8 和 R9）HiRel 的工艺、封装技术尚未完全突破。

3）长期可靠性方面。国内宇航用功率 VDMOS 器件建立了标准《GJB 128A-1997 半导体分立器件试验方法》，但典型失效分析和预测模型尚未建立。

4）应用程度。短期内宇航用 VDMOS 器件的自主保障程度仍然较低，应用程度仍是制约产品良性发展的重要因素之一。

3　宇航用 VDMOS 器件认识的误区

3.1　客观认识差距

我国具备了 IR（英飞凌）公司 G4、R5、R6 三代

HiRel 功率 VDMOS 器件产品研发和系列化的工艺线，但抗单粒子辐射的技术瓶颈还需突破。

我国基本具备了英飞凌公司 R8 和 R9 代 HiRel 功率 VDMOS 器件产品研发的硬件，但需补充设备。在封装技术方面，寄生电阻大的技术瓶颈还需突破。

3.2　对重粒子线性能量传输的机理认识

宇航用功率 VDMOS 器件的单粒子效应主要为 SEB 和 SEGR。表征重粒子特性及半导体器件抗单粒子辐射能力的重要物理量为线性能量传输（Liner Energy Transfer，LET），定义为重粒子在材料中入射路径单位尺度范围内积累的能量：

$$r_{\mathrm{LET}}=\frac{\mathrm{d}E}{\mathrm{d}L\times\rho} \tag{1}$$

式中，$\mathrm{d}E$ 为重粒子入射路径上单位长度内重粒子的能量差，单位为 MeV；$\mathrm{d}L$ 为单位长度，单位为 cm；ρ 为材料密度，单位为 $\mathrm{mg/cm^3}$。

由式(1)可知，LET 不仅表征了重粒子自身的特性，还与入射的材料密度密切相关。几种粒子在 Si 中的 LET 值与入射深度的关系曲线如图 1 所示。可以看出，不论哪一种粒子，LET 值在材料中均存在一个峰值，称为布拉格峰（Bragg Peak）。

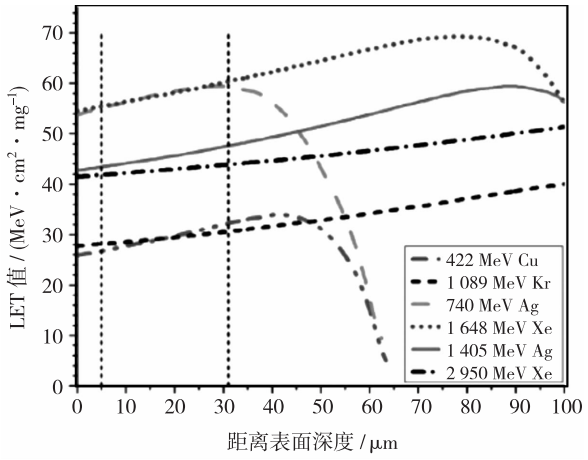


图 1　几种粒子 LET 值与入射深度的关系曲线[16]

当粒子入射到 VDMOS 芯片表面的能量足够大时，布拉格峰在体硅材料内部。研究表明，当布拉格峰位于外延层与衬底材料界面时，重粒子对器件的 SEGR 影响最大[17]。随着粒子入射深度增加，LET 值愈来愈大。当入射深度达到布拉格峰深度时，LET 值急剧降低。具备这种特性的粒子只能由回旋加速器加速后产生。如，中国科学院近代物理研究所的 SFC＋SSC 加速器，可产生 $^{181}\mathrm{Ta}^{31+}$ 粒子。

当粒子入射到 VDMOS 芯片表面的能量较低时，粒子 LET 值分布在图 1 所示的布拉格峰的右边。随着粒子入射深度增加，LET 值急剧减小。这类粒子的能量较低，LET 值与入射深度的关系遵从图 1 所示布拉格峰的右边曲线。这一认识对评价宇航用 VDMOS 器件的抗单粒子辐射能力至关重要。不同粒子沿入射路径产生附加电子-空穴对的密度分布如图 2 所示。可知，要使得粒子对器件的辐射损伤最大，外延层中产生附加电子-空穴对的数目需要最多。IR 公司 R5、R6 产品的单粒子特性曲线分别如图 3 和图 4 所示。

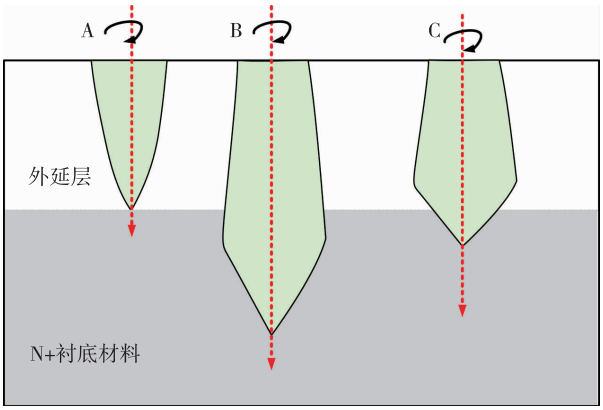


图 2　不同粒子沿入射路径产生附加电子-空穴对的密度分布

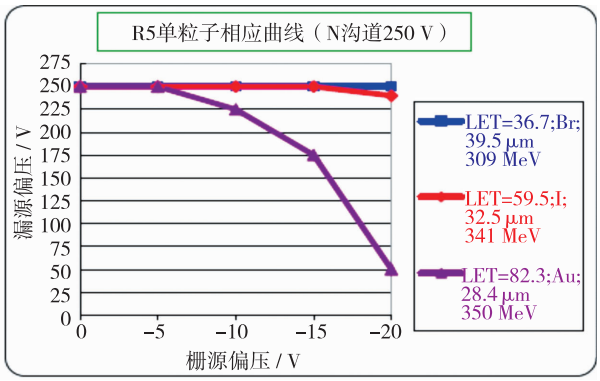


图 3　IR 公司 R5 产品的单粒子特性曲线[18]

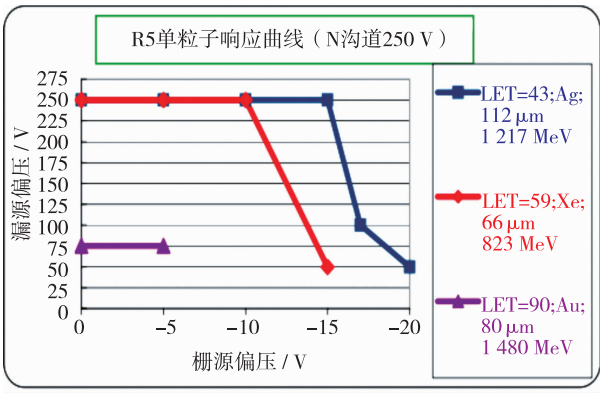


图 4　IR 公司 R6 产品的单粒子特性曲线[19]

R5 产品的抗单粒子指标为串列式加速器的试验结果[20]，粒子在器件中产生附加电子-空穴对的密度分布按图 2 中所示 A 分布。R6 产品的抗单粒子指标为回旋加速器的试验结果。当入射粒子为 Au 时，LET 值为 90 MeV·cm^2/mg，器件的安全工作条件为 V_{gs}＝－5 V、V_{ds}＝75 V。粒子在器件中产生附加电子-空穴对的密度分布按图 2 所示 B 或 C 分布。

4　宇航用 VDMOS 器件的发展任务

宇航用功率 VDMOS 器件的抗单粒子辐射加固技术是一项持续、长期和协同的研究工作。未来十年，发展路线要按照“夯实基础、砥砺前行”的方针前进，具体建议如下：1）基于现有工艺线的硬件资源，突破平面型宇航用 VDMOS 器件抗单粒子辐射加固的关键技术，切实开展如 G4、R5、R6 等产品的系列化、模块化、可靠性及应用技术研究，将基础产品做扎实，研制高可靠性的系列产品；2）补充部分关键设备，推进“产学研”协同，开展 R7、R8、R9 等产品的关键技术研究，突破工艺技术、低损耗封装技术，上下游协同，研发高性能产品。

参 考 文 献：

[1] 陈星弼. 功率 MOSFET 与高压集成电路 [M]. 南京：东南大学出版社，1990：1-43.

[2] RAD-hard MOSFETs and ICs product selection guide [EB/OL]. http://www.irf.com/product-info/selection-guide/sg-hirelmosfet.pdf.

[3] WASKIEWICZ A E, GRONINGER J W, STRAHAN V H, et al. Burnout of power MOS transistors with heavy ions of Californium-252 [J]. IEEE Trans Nucl Sci, 1986, 33(6): 1710-1713.

[4] FISCHER T. Heavy-ion induced gate rupture in power MOSFETs [J]. IEEE Trans Nucl Sci, 1987, 34(6): 1786-1791.

[5] LI Z H, ZHANG Z C, ZHANG B, et al. The radiation characteristics of partial SOI VDMOS [C] // Int Conf Commun, Circ & Syst. Xiamen, China. 2008: 1361-1364.

[6] 何永根，禹果柄，吴兵. 栅介质层及 MOS 晶体管的形成方法 [P]. CN201110428309.7，2013-06-19.

[7] 王立新，高博，刘刚，等. 星用功率 VDMOS 器件 SEGR 效应研究 [J]. 核技术，2012，35(6)：434-437.

[8] TANG Z H, HU G Y, CHEN G B, et al. A novel structure for improving the SEGR of a VDMOS [J]. J Semicond, 2012, 33(4): 044002-1 - 044002-4.

[9] WANG Y, ZHANG Y, WANG L G, et al. Single-event burnout hardening of power UMOSFETs with optimized structure [J]. IEEE Trans Nucl Sci, 2013, 60(6): 2001-2007.

[10] WANG Y, ZHANG Y, YU C H. Research of single-event burnout in power UMOSFETs [J]. IEEE Trans Nucl Sci, 2013, 60(2): 887-892.

[11] 陈佳，乔哲，唐昭焕，等. 基于铜源的 N 沟道 VDMOS 器件单粒子效应研究 [J]. 微电子学，2014，44(1)：105-109.

[12] 李泽宏，吴玉舟，张建刚，等. 一种具有抗单粒子烧毁能力的功率 MOS 器件 [P]. 20141032425.2，2014-10-01.

[13] YU C H, WANG Y, CAO F, et al. Research of single-event burnout in power planar VDMOSFETs by localized carrier lifetime control [J]. IEEE Trans Nucl Sci, 2015, 62(1): 143-148.

[14] WAN X, ZHOU W S, REN S F, et al. SEB hardened power MOSFETs with high-k dielectrics [J]. IEEE Trans Nucl Sci, 2015, 62(6): 2830-2836.

[15] PENG J Y, SU H Y, JIN R, et al. Simulation study on single event burnout in liner doping buffer layer engineered power VDMOSFET [J]. J Semicond, 2016, 37(2): 024008-1 - 024008-4.

[16] TITUS J L. An updated perspective of single event gate rupture and single event burnout in power MOSFETs [J]. IEEE Trans Nucl Sci, 2013, 60(3): 1912-1928.

[17] LIU S, BODEN M, CAO H, et al. Evaluation of worst-case test conditions for SEE on power DMOSFETs [C] // IEEE Radiat Effects Data Workshop. Ponte Vedra, FL, USA. 2006: 165-171.

[18] Single-event-effects summary report, IR rad-hard Gen-5 250 V N-channel [EB/OL]. http://www.irf.com/product-info/hi-rel/reports/gssee_572x4se.pdf.

[19] Single-event-effects summary report, IR rad-hard Gen-6 250 V N-channel. [EB/OL]. http://www.irf.com/product-info/hi-rel/reports/gssee_672x4.pdf.

[20] TITUS J L, JAMIOLKOWSKI L S, WHEATLEY C F. Development of cosmic ray hardened power MOSFETs [J]. IEEE Trans Nucl Sci, 1989, 36(6): 2375-2382.

后摩尔时代新兴计算芯片进展

武俊齐，赖 凡
（中国电子科技集团公司 第二十四研究所，重庆 400060）

摘 要： 信息处理系统由于基础半导体技术遭遇“摩尔定律接近终结”和现行计算架构（冯·诺依曼架构）缺陷所导致的瓶颈，其发展受到严重挑战。为克服这些制约因素，一方面，集成电路开始沿着由技术内生动力和应用拉动的趋势，即“超越摩尔定律”和“超越 CMOS”的方向，逐步发展，包括对单片 3D 系统和碳纳米管场效应晶体管芯片等新兴计算芯片技术的研究；另一方面，计算范式变革推动了以“神经形态计算”类脑芯片等构建的非冯·诺依曼架构的芯片迅速发展。本文从以上两个方面研究了后摩尔时代新计算芯片技术发展的脉络，分析了数字计算芯片、模拟计算芯片、神经形态计算芯片等新兴计算芯片技术的新进展。

关键词： 摩尔定律；超越摩尔定律；超越 CMOS；计算芯片；3D SoC；碳纳米管场效应晶体管；冯·诺依曼架构；神经形态计算；量子计算；边缘计算

中图分类号：TN43；TN492 **文献标识码：**A **文章编号：**1004-3365(2020)03-0384-05

DOI：10.13911/j.cnki.1004-3365.190755

Progress of New Computing Chips in the More Than Moore's Era

WU Junqi, LAI Fan
(*The 24th Research Institute of China Electronics Technology Group Corporation, Chongqing* 400060, *P. R. China*)

Abstract: The development of information processing systems had been severely challenged due to the bottleneck of its basic semiconductor technology caused by the end of "Moore's law" and the shortcomings of the current computing architecture (Von Neumann). To overcome these constraints, on the one hand, integrated circuits began to develop along the trend driven by technology's endogenous power and applications, that is, "beyond Moore's law" and "beyond CMOS", including the development of monolithic 3D systems (3D SoC) and research on emerging computing chip technologies such as carbon nanotube field effect transistor (CNTFET) chips. On the other hand, the change of computing paradigm had promoted the rapid development of chips using non-Von Neumann architecture, such as "neuromorphic computing" brain chips. This article studied the context of the development of new computing chip technology in the post-Moore era from the above two aspects, and analyzed the new development of emerging computing chip technologies such as digital computing chips, analog computing chips, and neuromorphic computing chips.

Key words: Moore's law; beyond Moore's law; beyond CMOS; computing chip; 3D SoC; carbon nanotube field effect transistor (CNTFET); Von Neumann architecture; neuromorphic computing; quantum computing; edge computing

0 引 言

国际半导体技术发展路线图（ITRS）和后续的“国际器件与系统路线图”（IRDS）指出[1]，随着摩尔定律接近终结，集成电路（IC 或芯片）的发展进入后摩尔时代，先前遵循摩尔定律的 CMOS 按比例尺寸缩小的主流技术，开始更多地沿着由技术内生动力

收稿日期：2019-09-21；**定稿日期：**2019-11-18

基金项目：模拟集成电路国家重点实验室基金资助项目（614280205030517）

作者简介：武俊齐（1964—），男（汉族），四川石棉人，高级工程师，从事微电子技术情报研究及期刊出版工作。

和应用拉动的趋势，即“超越摩尔定律”和“超越CMOS”的方向，逐步发展，包括了对单片3D系统(3D SoC)和碳纳米管场效应晶体管(CNTFET)等新兴计算芯片技术的研究，它们是由技术内生动力和应用所推动的发展趋势[2-3]。

另一方面，信息处理系统的计算范式也进入到变革的前夜。计算范式涉及到设计和制造所要求的技术和科学的框架。建立在CMOS技术基础之上的现行主流计算范式(即冯·诺依曼架构)采用二进制计算，并按照程序顺序执行，计算和存储是分开的。目前该范式遭遇到基础微电子“摩尔定律接近终结”和自身架构缺陷所导致的瓶颈，其发展受到严重制约。这种情况刺激了以“神经形态(neuromorphic)计算”类脑架构为代表的、采用非冯·诺依曼架构的又一类新兴芯片迅速发展[4-6]。

本文将讨论后摩尔时代冯·诺依曼架构和非冯·诺依曼架构下的各类新兴计算芯片，包括新兴的数字计算芯片、模拟计算芯片、神经形态计算芯片等，指出这些新技术可能对信息处理领域产生的重要影响。

1　主要技术分析

1.1　异质集成

异质集成是“超越摩尔定律”的主要推动力，而应用则是异质集成的重要拉手。值得注意的是，只要要求得以满足，则勿需采用更小特征尺寸的先进工艺。异质集成正由芯片级、晶圆级向单芯片晶体管直接互连方向发展。

1.1.1　芯片级和晶圆级封装

半导体产业持续追求在集成式3D封装中连接不同的芯片和小芯片(chiplet)。2018年8月Altera公司发布了业界第一款异构系统级封装(System-in-Package，SiP)器件，该器件集成了来自SK Hynix的堆叠宽带存储器(HBM2)，以及高性能Stratix 10 FPGA和SoC。2018年底Intel推出采用异构堆栈逻辑与内存芯片的新一代3D封装技术。这款名为Foveros的3D封装技术实现了逻辑与内存的3D异构结构，打造出了一款新颖的堆栈芯片。相较于目前可用的被动内插器和堆栈内存技术，Foveros技术将3D封装概念进一步扩展到高性能逻辑处理单元，如CPU、图像和人工智能(AI)处理器等。2019年，Intel和合作伙伴Ayar实验室实现了光I/O芯片和PFGA芯片的集成方案[7]，即计算芯片在封装内实现高速光互连。

1.1.2　单片异质集成

单片异质集成就是在单个芯片上集成不同半导体材料的器件，从而在单芯片上将处理器、具有存储功能的“粘性逻辑”(sticky logic)器件，以及垂直而非平面集成的微系统组件结合在一起。2017年，西班牙光子科学研究所(ICFO)的研究人员首次展示了石墨烯与CMOS集成电路的单片集成，制备出的高分辨率成像传感器包含成百上千个基于石墨烯和量子点的光电探测器。更引人注目的是，2019年，麻省理工学院的研究者采用SkyWater公司的工艺制成了单片3D SoC[2]，他们将碳纳米管晶体管和电阻式RAM存储器构建在普通CMOS逻辑芯片之上，并实现单芯片上不同层间异质晶体管互连，制成了用于酒精嗅探的多层电子鼻SoC，采用的工艺仅是90 nm工艺，而非更小尺寸的先进工艺。这是单片3D SoC具有实际意义的进展。

1.2　新型计算范式

当前使用CMOS器件的冯·诺伊曼(Von Neuman)计算范式已有50年的悠久历史。随着新技术和消费需求所导致的计算系统集成了更多的功能，这一范式已经发展得相当成熟。计算机已经从执行批处理操作发展到超大规模网络管理功能，它逐渐成为能够自主、自我管理的智能学习系统。但是随着“摩尔定律”行将终结，探索革命性的新计算范式的工作已逐步展开。

计算范式涉及设计和制造计算系统所需的技术和科学框架。先进计算范式和方案是从简单的晶体管基逻辑和运算推演而来的，能够从根本上改变微电子组成和起点，使一类新兴芯片技术得以发展起来。表1总结了由系列新逻辑门技术支撑的四种新兴的计算范式，包括数字计算、模拟计算、神经形态(神经启发)计算和量子计算。它们是未来5～10年受到重点关注的技术。支持新计算范例器件技术的复杂性和纳米级尺寸将给硬件保证和信任验证方法带来更大的挑战。较小的特征尺寸、独特的门架构和非常高的门数向可靠性和网络弹性(cyber resiliency)研究提出了新的挑战。

1.3　“超越CMOS”信息处理器件

图1所示为具有代表性的“超越CMOS”新兴微纳信息处理器件发展情况[1]，使用架构、数据表示、器件、材料、状态这五个范畴里的词条来描述新器件特征和属性。在CMOS平台技术词条之外的其他词条则代表单个的、需进一步探索的、且具有高创新

性的方案，从中可能产生可微缩新兴器件及其采用 的信息处理范式。

表 1 将在未来 5～10 年带来计算革命的多种计算范式

数字计算	模拟计算	神经形态计算	量子计算
CMOS 3 nm，2021 年	SiGe/RF	神经记忆电阻	分子计算
自选多数门	混合数字/模拟	VLSI	神经启发计算
自旋波器件	NEMS	生物形态	人-机交互
III-V 族隧道晶体管	纳米机电系统	-	皮层耦合计算
异质功能 TFET	纳米光子学	-	自旋电子
石墨烯纳米条带	约瑟夫森结/超导	-	-
CNTFET	-	-	-

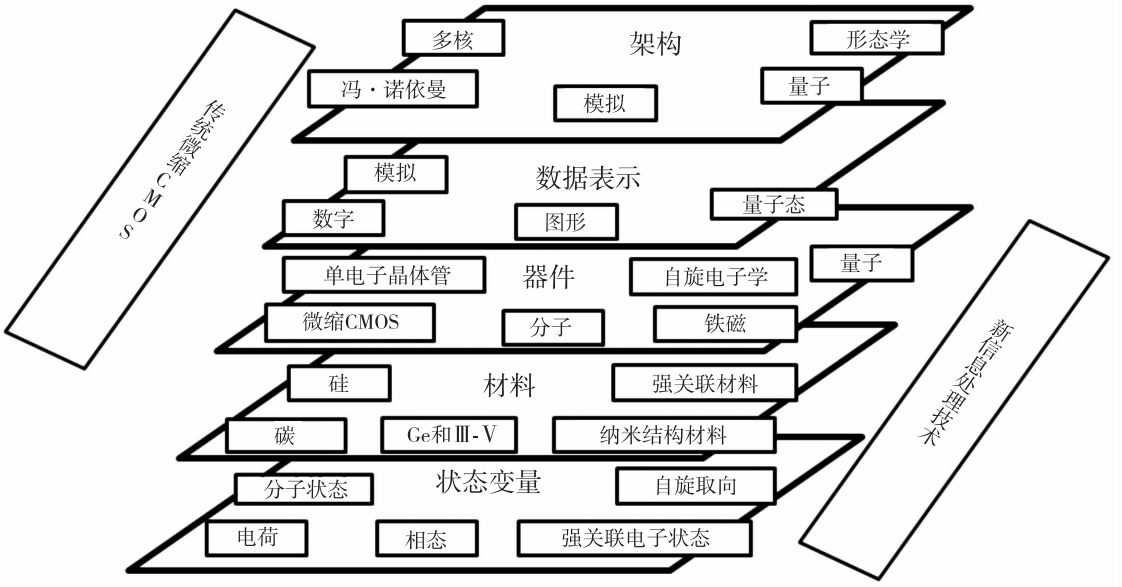


图 1 开发中的新型微纳电子信息处理器件一览（来源：ITRS，2011）

2017 年 3 月，Intel 在物理国际研讨会上展示了十几种“超越 CMOS”逻辑和计算新器件，显示了对这一领域的高关注度。Intel 的最终目标是在使用相同的晶圆生产线条件下显著降低每次计算的操作能耗。Intel 正在探索不同类型的自旋电子技术，如全自旋、磁电和自旋轨道耦合逻辑器件等技术，以便在功耗方面击败 CMOS 技术。

2018 年 12 月 3 日，《自然》杂志发表了一篇有关下一代逻辑器件的研究论文，作者包括 Intel、加州大学伯克利分校和劳伦斯伯克利国家实验室的研究人员。这篇论文描述了一种由 Intel 发明的磁电自旋轨道（MESO）逻辑器件[3]。相较于目前的 CMOS 器件，MESO 器件结合超低休眠状态功率技术，有望把电压降低至之前的 1/5，功耗降低至之前的 1/10～1/30。在探求不断微缩 CMOS 器件的同时，Intel 一直在研究超越 CMOS 时代的未来十年即将出现的计算逻辑选项，推动计算效能提升，并跨越不同的计算架构，促进性能增长。

2 新兴计算芯片的进展

2.1 先进数字计算

目前 7 nm 节点数字 CMOS 工艺已可量产，并具备在 2022 年微缩至 3 nm 的潜力。为了实现这些新的技术节点，需要对材料和工艺进行改进，这样会增加设备和制造成本，并且需要对在复杂设计和制造流程中的恶意介入行为提出新的防范要求。与此同时，正在开发自旋基逻辑、隧道 FET 和新材料 FET 等可替代传统 CMOS 开关的器件和芯片。

2.2 模拟计算

先进的 SiGe RF 技术、数字/模拟混合平台、NEMS、光子和超导电子技术的不断发展增加了模拟计算的受关注度。最近德国高性能微电子创新研究所（IHP）展示了 f_T/f_{max} 为 505 GHz/720 GHz

的 SiGe HBT 晶体管，创下特征频率和最高振荡频率的新纪录[8]。这种 SiGe HBT 晶体管能够使有线和无线系统的数据速率达到 100 Gbit/s 以上。在 2018 年的国际微波大会(IMS2018)上，IHP 还演示了最新的采用 SiGe BiCMOS 工艺制作的 120 GHz 4 收 4 发毫米波雷达芯片。模拟计算范式尤其适用于新兴的传感器应用，相对其他技术具有明显的功率优势。

2.3　神经形态计算

神经形态计算采用类脑芯片架构，是模拟人脑的神经突触传递结构，通过模仿人脑工作原理，采用神经元和突触的方式替代传统冯·诺依曼架构，使芯片能够进行异步、并行、低速和分布处理数据，并具备自主感知、识别和学习的能力。

美国国防高级研究计划局（DARPA）的 SyNAPSE 项目研究了一种皮层耦合处理器(Cortical-Processor)技术，开发了 DARPA 的下一代机器学习处理架构，研究出能辨认复杂模式并能适应环境变化的新一代类脑处理芯片和算法。这种芯片不是在容量和尺度上模拟人脑，而是模仿人类的认知思维过程[4]。

2017 年清华大学微电子所钱鹤、吴华强课题组在《自然通讯》(Nature Communications)在线发表了题为“运用电子突触进行人脸分类”的研究成果[5]，他们将氧化物忆阻器的集成规模提高了一个数量级，首次实现了基于 1 024 个氧化物忆阻器阵列的类脑计算。该成果采用完全不同于传统冯·诺依曼架构的体系，在最基本的单个忆阻器上实现了存储和计算的融合。

类脑芯片在 2018 年 1 月迅速引发了广泛关注。斯坦福大学研究院电子与微系统技术实验室的 Jeehwan Kim 等人在《自然》杂志上发表了一篇论文，他们采用一种硅锗材料研发了一款人工突触芯片，可支持识别手写字体的机器学习算法[9]。

在美国举行的“2018 神经启发计算元素(NICE)研讨会”上，德国海德堡大学展示了新的 BrainScales 芯片原型，该芯片拥有模拟和数字混合设计，工作速度比实时快一千至一万倍[6]。第二代的 BrainScales 神经形态芯片具备可自由编程的片上学习功能，并且拥有活动树突触的复杂神经元模拟硬件模型。

2019 年 6 月，麻省理工学院发布新闻，该院的研究人员开发出一种用于光学神经网络的新型光子芯片。在 MNIST 图像分类数据集上进行的模拟训练表明，该芯片处理神经网络的能耗理论上是传统的电子芯片的千万分之一，是传统的光子芯片的千分之一[10]。

2.4　量子计算

美国国家战略计算倡议备选方案主要依靠于量子信息科学。量子计算芯片是量子计算机的核心部件，其发展水平也代表了量子计算机的进展情况。目前，研究较多的是量子计算的载体，包括超导约瑟夫森结、半导体量子点、离子阱、金刚石色心、拓扑绝缘体及量子光学芯片等。但是路线图仍然不清晰。

在这些技术思路中，半导体量子计算备受青睐。这是因为传统半导体工艺已经十分成熟。与超导量子芯片方案相比，半导体量子计算的保真度不足，但半导体量子点具有可容错和可拓展两大优势，而且能够与现有半导体芯片工艺完全兼容，因此得到了研究机构和业界的广泛关注。2017 年，日本理化研究所在硅锗系统上获得了退相干时间达到 20 μs、保真度超过 99.9% 的量子比特。目前，Intel、Silicon Quantum Computing 等公司都投入巨资研发相关技术。2018 年 2 月，中国科学技术大学郭光灿院士团队在半导体量子芯片研制方面再获新进展，创新性地制备出半导体六量子点芯片，在国际上首次实现了半导体体系中的三量子比特逻辑门操控[11]，为未来研制集成化半导体量子芯片迈出关键一步。2019 年澳大利亚新南威尔士大学发布消息[12]，表示该校量子计算与通信技术卓越中心(CQC2T)的研究人员已经证明，他们开创性的单原子技术可以适用于构建 3D 硅量子芯片，实现精确的层间对准和高精度的自旋状态测量，并达成全球首款 3D 原子级硅量子芯片架构，朝着构建大规模量子计算机迈出重要一步。美国加州大学巴巴拉分校(UCSB)量子传感和成像研究组选择了含有称为涡流-磁通的局部区域的磁性机构，历时两年开发出一种全新的量子传感器技术，实现的量子传感器具有纳米尺度的空间分辨率和精致的敏感性[13]。

2.5　边缘(EI)计算

边缘计算芯片是一种靠近物或数据源头的网络边缘侧的人工智能(AI)芯片。不仅民用市场前景广，对军用智能传感器网络也有重大意义。AI-EI 芯片是一种去冯·诺依曼架构的设计。新方案是采用 Processing in Memory(PIM)的方式，把处理器直接放在存储单元的位置，以降低整个系统的复杂度。该解决方案能够将大数据和 AI 应用程序的运行速度提高 20 倍，将能耗降低至之前的 1/10[14]。这需要在电路

(模拟信号)的层面重新设计存储器。初创公司Mythic已采用PIM技术来设计AI芯片,其边缘计算芯片结构采用了类脑AI芯片结构方案。

3 新芯片的“颠覆性”效果

当前以突破由摩尔定律所表述的半导体技术发展瓶颈的多种新兴技术不断出现,试图通过改进范式、算法、架构、电路和器件技术、制造技术等,研制出计算能力有较大突破的新兴计算芯片。目前多个方向已展现出重大能力。例如,英伟达公司于2018年发布了全新Volta架构的人工智能芯片GPU—NVIDIA Tesla V100升级版,它拥有超过210亿个的晶体管,其数量是上代Tesla P100的1.37倍,它的单精度浮点性能高达15 TFLOPS,双精度浮点高达7.5 TFLOPS[15]。而麻省理工学院正在研究高性能光子神经网络芯片,该芯片可模仿人脑的神经形态结构。计算机模型表明,该新型芯片用于处理大规模神经网络的运行效率比现有的计算机高出约千万倍。新兴芯片的研发很可能对半导体、集成电路发展产生深远影响,对信息处理和传输带来“颠覆性”变革。

4 结束语

在目前摩尔定律几近失效、微电子技术接近交叉路口的特殊时期,ITRS/IRDS指出了推动芯片技术向“延续摩尔定律”、“超越摩尔定律”和“超越CMOS”方向发展的“后摩尔时代”路线图。“延续摩尔定律”通过器件的尺寸微缩,并通过对新材料、新结构和新原理器件的研发来进一步推动集成电路的发展。“超越摩尔定律”通过(单片)3D等多功能异质集成技术,并结合应用需要,发展系统级封装(SIP)和系统级芯片(SoC)。“超越CMOS”探索突破CMOS器件开关能耗瓶颈的新原理,并研制超低功耗的新器件。新型非冯·诺依曼架构计算范式或架构、可赋能集成电路已在提升能量效率、容错性等方面获得质的进步。可以预见,作为信息技术基础的集成电路技术有望通过研究新兴芯片而取得重大发展。

参 考 文 献:

[1] ITRS. International technology roadmap for semiconductors, emerging research devices [Z]. 2011.

[2] GREEN D S. Hetergeneous integration at DARPA: pathfinding and progress in assembly approaches [C] // IEEE 68th Elec Compon & Technol Conf. San Diego, CA, USA. 2018.

[3] Intel. Intel looks beyond CMOS to the future of logic devices [EB/OL]. https://newsroom. intel. com/news, 2018.

[4] Inside HPC, video: DARPA's SyNAPSE and the Cortical processor [EB/OL]. https://insidehpc. com/2015/09/video- darpas-synapse-and-the-cortical-processor, 2015.

[5] Face classification using electronic synapses [EB/OL]. https://www. nature. com/articles/ncomms15199. epdf, 2017.

[6] 人工智能快报. 欧美科学家发布三款神经形态芯片 [EB/OL]. https://cloud. tencent. com/developer/news/, 2018.

[7] Ayar Labs. Ayar Labs chosen as optical partner in Intel's DARPA PIPES project [EB/OL]. https://optics. org/news/ 10/11/28.

[8] 欧盟项目研发出工作频率达到0.7 THz的SiGe HBT [EB/OL]. http://www. sim. cas. cn/xwzx2016/kjqy2016/ 201612/t20161219_4723441. html, 2016.

[9] CHOI S, TAN S H, LI Z, et al. SiGe epitaxial memory for neuromorphic computing with reproducible high performance based on engineered dislocations [J]. Nature Materials, 2018, 17: 335-340.

[10] MIT News. Chip design drastically reduces energy needed to compute with light [EB/OL]. http://news. mit. edu/2019/ ai-chip-light-computing-faster-0605, 2019.

[11] 新华网. 我国半导体量子芯片研究获突破:首次实现三量子比特逻辑门 [EB/OL]. http://www. xinhuanet. com/2018-02/21/c_1122433501. htm, 2018.

[12] UNSW NEWSROOM. Quantum scientists demonstrate world-first 3D atomic-scale quantum chip architecture [EB/OL]. https://newsroom. unsw. edu. au/news/science- tech/quantum-scientists-demonstrate-world-first-3d-atomic-scale-quantum-chip, 2019.

[13] 工业和信息化部电子科学技术情报研究所. 美国成功研发出量子传感器和成像技术 [EB/OL]. http://www. dsti. net/Information/News/99590, 2019.

[14] HotChips上这款存算一体芯片为什么这么强? [EB/OL]. http://m. chinaaet. com/article/3000108410, 2019.

[15] 半导体行业观察. Nvidia黄仁勋发布了全球最大GPU [EB/OL]. https://moore. live/news/14735/detail, 2018.

基于石墨烯的光电探测器研究进展

李龙飞，吕颖杰，胡加杨，王德波
（南京邮电大学 电子与光学工程学院、微电子学院，南京 210023）

摘　要： 基于石墨烯的光电探测器具有响应度高、检测波段范围大和精确度高的特点。综述了石墨烯光电探测器的最新研究进展。针对紫外波段、可见光波段和红外波段三种类型的光电探测器，介绍了典型的基于石墨烯的七种光电探测器。分析了七种光电探测器的基本结构、工作原理和响应度等特性，并进行了对比分析。最后，展望了石墨烯光电探测器的未来发展趋势。

关键词： 石墨烯；光电探测器；响应度
中图分类号：TN389　　**文献标识码：**A　　**文章编号：**1004-3365(2020)03-0389-07
DOI：10.13911/j.cnki.1004-3365.190407

Research Progress of Photoelectric Detector Based on Graphene

LI Longfei, LÜ Yingjie, HU Jiayang, WANG Debo
(*College of Elec. and Optical Engineer. & College of Microelec., Nanjing Univ. of Posts and Telecommun., Nanjing* 210023, *P. R. China*)

Abstract: Compared with other photodetectors, graphene-based photodetectors had the advantages of high responsivity, large detection band range and high accuracy. The research of several photodetectors were reviewed. Firstly, the detectors were divided into ultraviolet band, visible band and infrared band according to different detection wavelengths. After classification, seven typical graphene-based photodetectors were listed. Their basic structure, the working principle and the responsivity were introduced. Then, seven kinds of photoelectric detectors were compared, and the prospect of the future development of graphene-based photoelectric detector was proposed. This work had certain guiding significance for the practical application and promotion of graphene-based photoelectric detectors.

Key words: graphene; photoelectric detector; responsivity

0　引　言

2004 年，英国曼彻斯特大学的 K. S. Novoselov、A. K. Geim 等人采用机械剥离法获得了第一片石墨烯，从此石墨烯成为研究热点[1]。石墨烯是由碳原子构成的单层苯环结构二维晶体碳单质，结构十分稳定[2]。单层石墨烯的厚度仅有 0.335 nm，它是目前已知的最轻薄的一种材料[3]。石墨烯的导热系数为 3 000 W/(m·k)，导热性能良好；杨氏模量为 1 TPa[4]，硬度极大，断裂强度约为 125 GPa[5]；导电性很好[6]；柔韧性极高，可拉伸性高达 20%，可用于制作性能优异的柔性材料[7]；电阻率随压力呈线性变化，可用于各种压力检测场合[8]。因为上述独特的优异性能，石墨烯及其复合物已被广泛应用于超级电容器[9]、锂离子电池[10]、石墨烯复合涂层[11]、化学传感器[12]、压力传感器[13]和光电探测器[14]等领域。

光电探测器可以探测电磁辐射的光功率[15]，可广泛应用于发射器校准、空间光通信、光视觉、生物

收稿日期：2019-07-14；**定稿日期：**2019-09-09
基金项目：国家青年自然科学基金资助项目(61704086)；中国博士后科学基金资助项目(2017M621692)；江苏省博士后基金资助项目(1701131B)；南京邮电大学国自基金孵化基金资助项目(NY215139，NY217039)；南京大学近代声学教育部重点实验室开放课题资助项目(1704)
作者简介：李龙飞(1998—)，男(汉族)，山东滨州人，本科，研究方向为石墨烯光电探测器。
王德波(1983—)，男(汉族)，山东新泰人，副教授，研究方向为石墨烯光电探测器。通信作者，E-mail：wdb@njupt.edu.cn。

和化学传感器等领域。光电探测的原理有光电效应[16]、光热电效应[17]、热辐射效应[18]、光致发光[19]和等离子波辅助[20]等类型。石墨烯具有良好的导电性、导热性和延展性。因此，可结合优异的光热性质和高速的电学传导特性，制作性能优良的新型光电探测器，即基于石墨烯的光电探测器。

针对紫外波段、可见光波段、红外波段三种类型的光电探测器，文章综述了基于石墨烯光电探测器的最新研究进展，介绍了这些器件的制作工艺、结构、电力学等。石墨烯也存在缺点，如探测器的灵敏度不稳定、差异较大等。针对这些缺点，提出了基于石墨烯的光电探测器的未来发展趋势。

1 紫外光电探测器

与可见光和近红外(IR)光电探测器相比，紫外(UV)光电探测器因其在侦察、目标探测与捕获、导弹发射探测等方面的应用而备受关注。目前，已经利用 ZnO、GaN、TiO_2、SnO_2、Ga_2O_3 等低维宽禁带半导体，制作出了不同几何形状的高性能紫外光探测器。以下列举利用多层石墨烯(MLG)膜与 ZnO 纳米棒结合、MLG 膜与 β-Ga_2O_3 结合、石墨烯量子点(GQD)等制成的紫外光电探测器。

1.1 MLG 膜/ZnO 纳米棒阵列光电探测器

MLG 膜/ZnO 纳米棒阵列紫外光电探测器如图 1 所示。

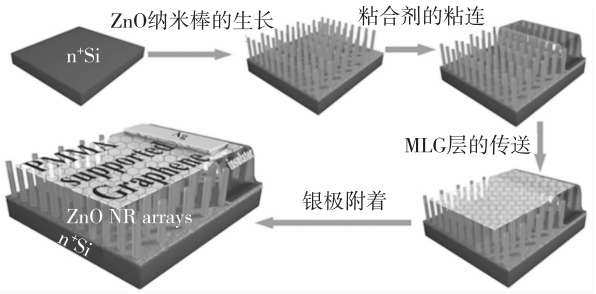


图 1 MLG 膜/ZnO 纳米棒阵列光电探测器[21]

该光电探测器的制作流程起始于硅晶圆上 ZnO 纳米棒阵列的合成。为了隔热，粘合剂被粘在 ZnO 纳米棒的外围。将作为聚甲基丙烯酸甲酯(PMMA)载体的 MLG 膜覆盖到 ZnO 纳米棒阵列表面。再将银极放置于 MLG 膜的角部。最后，用丙酮溶液去除 PMMA。

根据热离子发射理论，在正向偏置电压下，MLG 薄膜/ZnO 纳米棒阵列中，肖特基结上的电流为[21]：

$$I=I_0\exp\left[\frac{q(V-IR)}{nkT}\right] \tag{1}$$

式中，k 为玻尔兹曼常数，T 为绝对温度，R 为等效电阻，n 为理想参数。

当暴露在紫外光照射下，肖特基势垒几乎消失，这与文献[21]的报道结果一致。由文献[21]可知，光照可大大降低金属与半导体纳米线之间的势垒。紫外光电探测器(UVPD)在黑暗、365 nm 光照下的 *I-V* 特性如图 2 所示。可以看出，与暗电流相比，在光照射、反向偏压下，光电流增加了 3 个数量级。

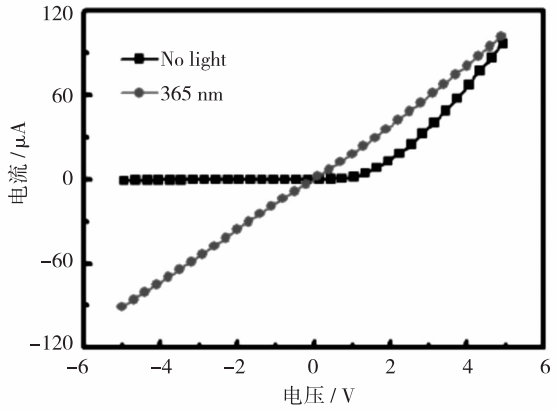


图 2 UVPD 在黑暗、365 nm 光照下的 *I-V* 特性[21]

在 365 nm 紫外光交替照射下，MLG 膜/ZnO 纳米棒阵列的时间响应曲线如图 3 所示。施加偏置电压为−1 V。

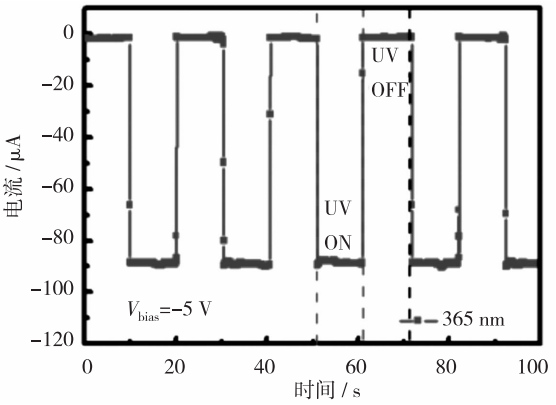


图 3 MLG 膜/ZnO 纳米棒阵列的时间响应曲线[21]

显然，光电探测器可以在低导态和高导态之间可逆切换，具有良好的稳定性和重现性。此外，响应度和光电导增益估计分别为 113 A/W 和 385。此光电探测器优异的器件性能可以归因于在 MLG 薄膜/ZnO 纳米棒阵列组成的器件中没有观察到陷光效应。陷光效应为光器件表面经过多次反射和折射之后降低了对光的反射率，从而使更多的光进入到光电探测器中。

1.2　MLG 膜/β-Ga_2O_3 光电探测器

MLG 膜/β-Ga_2O_3 光电探测器如图 4 所示。该深紫外光电探测器(DUVPD)是由单晶 Sn 原子掺杂成的 n 型 β-Ga_2O_3 晶片与化学气相沉积法制作的石墨烯组成[22]。由银极放置在 MLG 膜/侧、Cr/Au 放置在 Ga_2O_3 一侧而组成的 MLG-β-Ga_2O_3 异质结器件被安装在 PCB 板上。银极和 Cr/Au 电极通过 5 μm 厚的铝线连接到 PCB 板上。场发射扫描电镜(FESEM)图像显示，石墨烯片的表面相对光滑，存在一些石墨烯在水中转移过程中正常形成的褶皱。

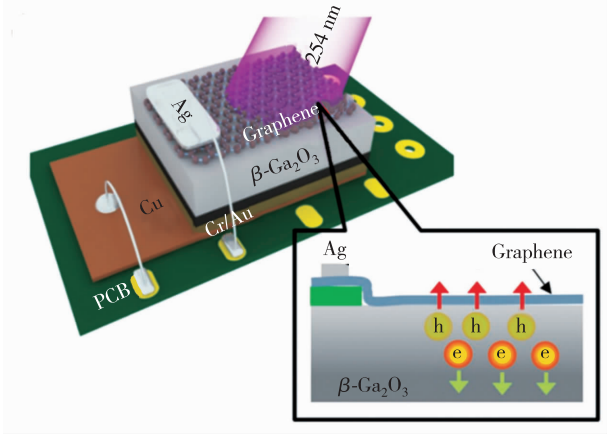


图 4　MLG 膜/β-Ga_2O_3 光电探测器[22]

为了评价目前 MLG 膜/β-Ga_2O_3 光电探测器对波长的选择性，测量了 200～800 nm 范围内的光谱响应。MLG 膜/β-Ga_2O_3 异质结 DUVPD 的归一化光谱如图 5 所示。

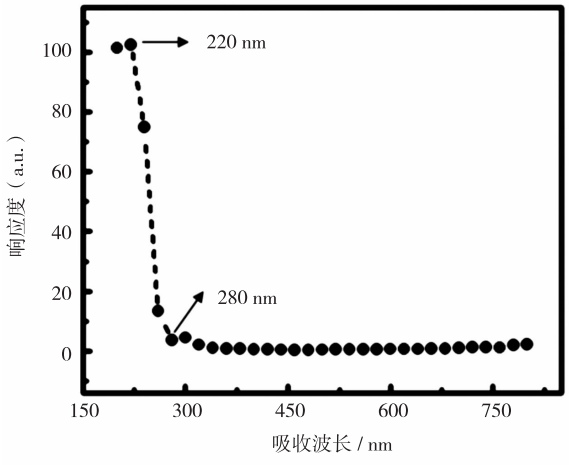


图 5　MLG 膜/β-Ga_2O_3 异质结 DUVPD 的归一化光谱[22]

可以看出，异质结器件具有良好的波长选择性。波长小于等于 220 nm 时，其灵敏度高；波长大于 220 nm时，其灵敏度逐渐降低；在约 280 nm 处，达到最小值。进一步照射波长大于 280 nm 的光子时，很难产生明显的光电流。吸收波长在 220 nm～280 nm范围内对应的是 Ga_2O_3 晶片的本征吸收。这种一致性的原因是 MLG 膜/β-Ga_2O_3 异质结 DUVPD 的选择性工作机制。只有当入射紫外光的能量大于 Ga_2O_3 的带隙 5.3 eV时，才会发生这种光电过程。采用 254 nm 紫外光照射时，MLG 膜/β-Ga_2O_3 光电探测器敏感度很高，具有很好的稳定性和重现性。该光电探测器对波长大于 280 nm 的光子几乎不吸收，与其他低维 Ga_2O_3 光电探测器相比，MLG 膜/β-Ga_2O_3 光电探测器的响应度和检测性更好。这些结果表明，MLG 膜/β-Ga_2O_3 光电探测器有望在未来得到应用。

1.3　GQD 光电探测器

基于 GQD 的光电探测器如图 6 所示。该光电探测器使用非对称电极进行光导测量，采用一个简单的溶液环境来构建非对称电极。而传统的基于薄膜的器件需要复杂、昂贵的薄膜生长过程。将 GQD 水溶液滴入石英衬底预制电极对的器件通道中，在 70 ℃下干燥 15 min，器件通道宽度为 10 mm，长度为 1 mm。

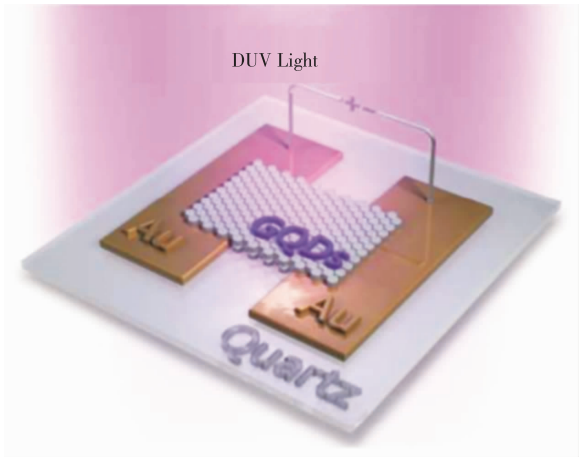


图 6　GQD 光电探测器[23]

GQD 光电探测器在黑暗、245 nm 下的 *I-V* 特性如图 7 所示。可以看出，暗电流与对称电极器件的暗电流顺序基本相同。

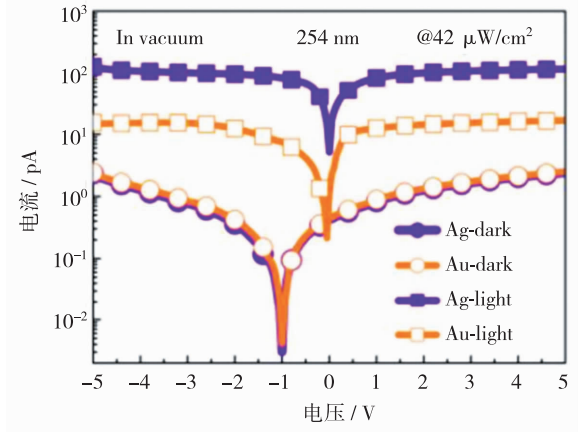


图 7　GQD 光探测器在黑暗、254 nm 光照下的 *I-V* 特性[23]

然而，由于电极结构不对称，该光电探测器在光照下具有明显的整流特性。与对称电极器件相比，它的正向光电流有了显著改善。在 302 nm 光照射下，光电流为 71.3 pA，在 254 nm 光照射下，光电流增加到 8 823 pA。因此，Ag-Au 器件在＋5 V 时的开/关比（I_{light}/I_{dark}）分别为 48、5 882，而 Au-Au、Ag-Ag 器件的开/关比分别为 1.2、13 和 2、90，与对称电极器件相比，其开/关比显著降低。

GQD 光电探测器采用非对称电极结构，与对称 Au-Au 或 Ag-Ag 电极相比，可减少载流子的迁移障碍，大幅提高灵敏度，从而具有稳定性高、响应速度快、重现性好、耐久性好等优点。

2　可见光光电探测器

2.1　Al_2O_3 光电探测器

典型的 Al_2O_3 光电探测器如图 8 所示。石墨烯通过机械剥离方法淀积于 SiO_2（厚度 300 nm）上，方法类似于文献[1]。采用常规电子束光刻法制备石墨烯，利用原子层淀积法（ALD）制备以 NO_2 为基础的功能化层。ALD 工艺法是将汽相前驱体脉冲交替地通入反应器，并在淀积基体上通过化学吸附和化学反应形成淀积膜。采用电子束光刻法确定栅电极，采用热蒸发法制作 Ti/Au（厚度为 5 nm/40 nm）。器件的几何结构最初在真空中进行了表征。在标准 FET 结构中，源漏偏置电压 V_D 为 1 mV，作为顶部和后部栅极（衬底）电压的函数。

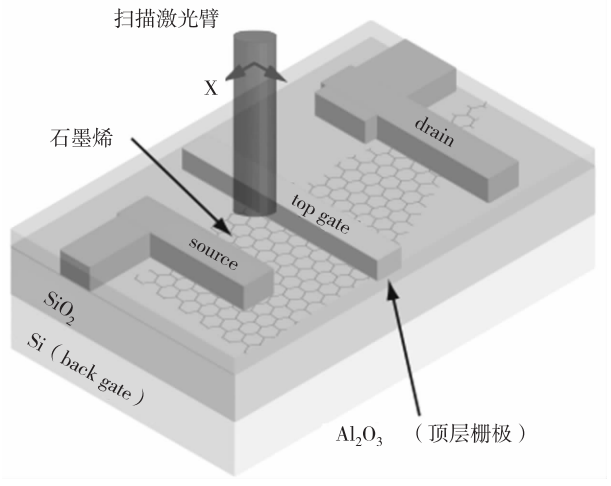


图 8　Al_2O_3 光电探测器[24]

器件的光电流与 V_T 的函数关系如图 9 所示。光电流作为顶栅电压的函数，施加在顶部的栅极两侧，图中的点和圆圈代表各自一方。引线通过后栅极调整到 Dirac 点，导致器件的导电类型从 0-n-0 过渡到 0-p-0。图 9 中的下方插图表示 FET 结构中对应的漏电流与顶栅电压关系。可知，Dirac 点的位置为 V_D＝1 mV 处。图 9 中的上方插图为光电流的理论模型。

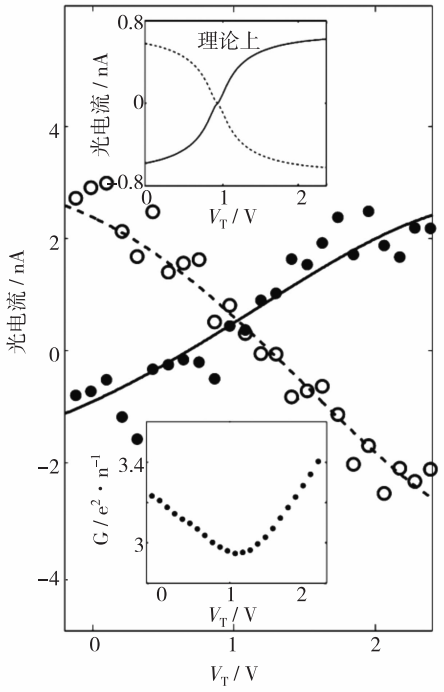


图 9　光电流与 V_T 的函数关系[24]

2.2　无缝横向石墨烯光电探测器

无缝横向石墨烯光电探测器如图 10 所示。制作工艺流程为：在铜箔上沉积 300 nm 厚的 Ni 层，形成 Ni/Cu 双层衬底；将 B、N 离子依次植入光刻法形成的 Ni/Cu 双层衬底中，作为石墨烯后续的掺杂源；在 H_2、Ar 混合物中退火后，Ni/Cu 界面附近石墨烯开始相互扩散；最终形成无缝横向石墨烯 p-n 结阵列。

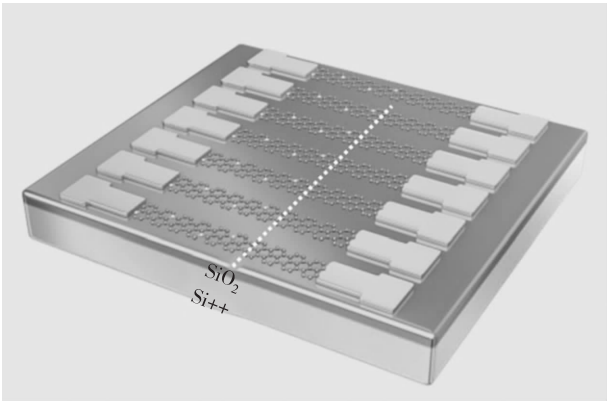


图 10　无缝横向石墨烯光电探测器[25]

因为 B 或 N 在类铜合金中的溶解度有限，注入的 B 或 N 原子在 CH_4 前驱体引入退火炉后，逐渐

向表面扩散，并参与掺杂石墨烯的生长。p 型、n 型石墨烯区域定型于之前的光刻工艺，从而形成了预期的无缝横向石墨烯 p-n 结阵列。与垂直 p-n 结不同，无缝横向石墨烯 p-n 结中没有物理边界。

B 掺杂石墨烯和 N 掺杂石墨烯制作的场效应晶体管(GFET)如图 11 所示。图中，GFET 与原始石墨烯进行了比较。可以看出，原始石墨烯的 I_{DS}-V_G 曲线在 0 V 附近(即在电子和空穴电导电中性区)具有典型的对称性。掺杂后的石墨烯涂层的电子和空穴传导不对称性变得更明显，空穴传导受到强烈抑制，电子传导未发生改变。在室温下，即使在环境条件下暴露 15 h，B 掺杂石墨烯、N 掺杂石墨烯上制作的 GFET 在忽略中性点偏移的条件下，也能获得高重现性的输运特性。

GFET 光电探测器能将掺杂剂纳入石墨烯晶格，并在 B 掺杂区、N 掺杂区实现均匀的晶格替代。与传统石墨烯光电探测器相比，无缝横向石墨烯光电探测器具有更优的性能。

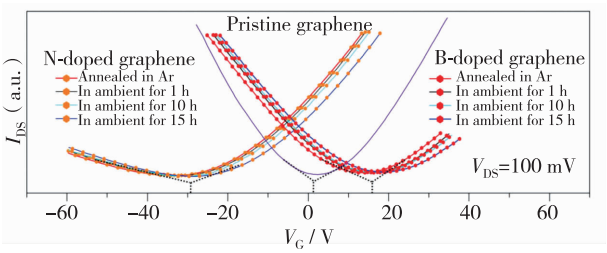


图 11　B 掺杂、N 掺杂石墨烯制作的 GFET[25]

3　红外光电探测器

高性能红外光电探测器可将光转换成电信号，能应用于从成像传感器到光通信的广泛领域。长波长红外(LWIR)光电探测器具有光子-载波转换效率高、室温噪声低、宽带波段响应速度快等特点。利用碲化汞(HgCdTe))膜、锑化铟(InSb)和人工半导体超晶格等传统窄禁带半导体，通过带间/带内跃迁技术来实现高性能红外光检测仍具挑战性。

3.1　Ti_2O_3 光电探测器

混合了石墨烯的 Ti_2O_3 光电探测器如图 12 所示，它采用了窄带隙 Ti_2O_3 纳米颗粒覆盖的石墨烯通道结构。

Ti_2O_3 在红外波长短于 13.3 μm 时具有强烈的光吸收作用，是一种有效的光吸收材料。当电子-空穴对主要生成于有光照的 Ti_2O_3 纳米颗粒中时，电荷转移过程发生在石墨烯/Ti_2O_3 界面，导致石墨烯通道电导调制，实现光检测。Ti_2O_3 晶体的结构为刚玉结构。Ti_2O_3 独特的窄带隙(0.09 eV)覆盖了中红外区域，因此选择 Ti_2O_3 作为吸光体。Ti_2O_3 与研究成熟的宽禁带半导体 TiO_2 有很大不同。Ti_2O_3 在中红外范围内具有独特的宽频带光吸收特性，非常适合于制作中红外光电器件。

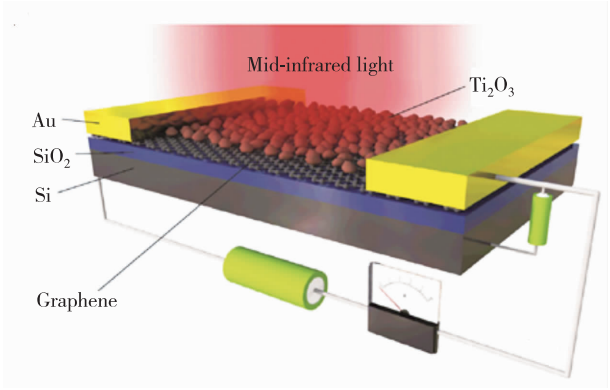


图 12　Ti_2O_3 光电探测器[26]

在不考虑暗电流的条件下，在一个开/关周期内测量光响应。响应时间由光电流从 10%到 90%(从 90%到 10%)的上升(下降)时间决定。Ti_2O_3 光电流的时间曲线如图 13 所示。可以看出，上升时间为 1.2 ms，下降时间为 2.6 ms。该光电探测器中，响应速度受石墨烯/Ti_2O_3 界面散射/俘获中心的限制。该装置在开/关测量过程中表现出良好的稳定性。如果妥善保管，几周后，器件性能仍保持稳定。

混合半导体石墨烯光电探测器目前被广泛研究。但是，工作带宽基本都局限于可见光和近红外波段。混合石墨烯/Ti_2O_3 光电探测器可将带宽拓展到中红外，且响应度可达 300 $A \cdot W^{-1}$，波长可以达到 10 μm，这为光电器件在中红外波段开辟了应用范围。

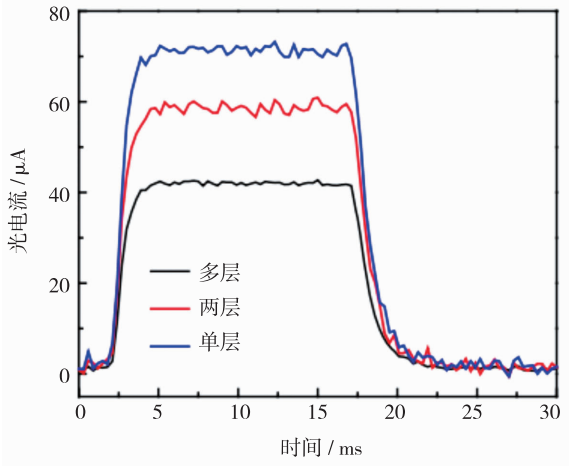


图 13　Ti_2O_3 光电流的时间曲线[26]

3.2　PhC 光电探测器

基于硅光子晶体缺陷波导(PhC)的石墨烯光电

探测器如图 14 所示。该探测器在 PhC 缺陷波导上实现，线缺陷由气隙引入。光子结构具有双重功能：1)光被引导到沟槽中，沟槽增强了光与物质的相互作用，提高了石墨烯中载流子的温度 T_e；2)沟槽将光子结构分成两个电绝缘部分，产生 pn 结。由于 PhC 结构中的横向光约束，波导两侧的硅区可得到扩展，从而控制整个石墨烯层中的 Seebeck 系数。产生 Seebeck 效应的原因是热端的载流子会往冷端扩散。例如 n 型半导体的温差电动势的方向是从低温端指向高温端，即 Seebeck 系数为负。

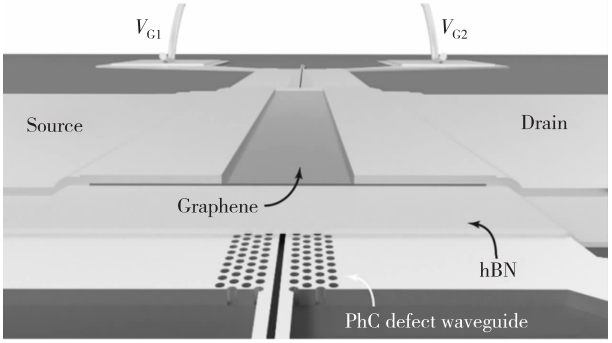


图 14 PhC 光电探测器[27]

该激光器提供波长为 1 550 nm、时间为 1 ps 的光脉冲。脉冲通过光纤耦合到器件中，脉冲响应可通过 20 GHz 带宽的示波器进行监测。使用锁模铒光纤激光器进行脉冲响应测量的曲线如图 15 所示。可以看出，脉冲在 FWHM 处的持续时间 $\Delta t \approx 24$ ps，对应带宽 $f_{3dB} \approx 0.44/\Delta t \approx 18$ GHz。图 15 中的插图表示脉冲响应对应的傅里叶变换。测量带宽受设备(主要是示波器)的限制，石墨烯光电探测器的带宽会更宽。

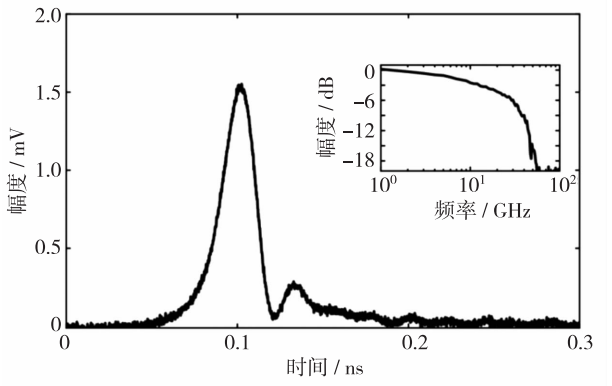


图 15 脉冲响应曲线[27]

4 石墨烯光电探测器的性能

本文分别介绍了基于石墨烯的紫外光电探测器、可见光光电探测器和红外光电探测器，介绍了这些器件的结构组成、工作原理、响应度等特性。可知，石墨烯光电探测器种类多、结构复杂。七种典型的石墨烯光电探测器的特性如表 1 所示。

表 1 七种典型的石墨烯光电探测器的特性

名称	MLG 膜/ZnO 纳米棒光电探测器[21]	MLG 膜/β-Ga_2O_3 光电探测器[22]	GQD 光电探测器[23]	Al_2O_3 光电探测器[24]	无缝横向石墨烯光电探测器[25]	Ti_2O_3 光电探测器[26]	PhC 光电探测器[27]
最佳工作波长/nm	365	254	254	532	632.8	3 000	1 500
最佳响应度/(A·W^{-1})	113	39.3	0.002 1	27.3	0.006 1	300	4.7

5 总结与展望

分别介绍了基于石墨烯的紫外光电探测器、可见光光电探测器和红外光电探测器及其结构组成、工作原理、响应度等，对比了各类探测器的性能。基于石墨烯的光电探测器可以覆盖大部分波段。石墨烯的单位体积能量密度低，因此器件在不同波段的响应度、增益等性能参差不齐。未来的发展趋势为：继续提高石墨烯的迁移率和光吸收特性；研发并应用高质量石墨烯的大规模制备新方法；与现有 MEMS 器件相集成；采用一些光学手段，如等离子基元、光波导、光学谐振腔等，提高石墨烯对光的吸收。本文对基于石墨烯的光电探测器研究有一定参考价值。

参 考 文 献：

[1] NOVOSELOV K S, GEIM A K, MOROZOV S V, et al. Two-dimensional gas of massless Dirac fermions in grapheme [J]. Nature, 2005, 438(7065): 197-200.
[2] 吴娟霞，徐华，张锦. 拉曼光谱在石墨烯结构表征中的应用 [J]. 化学学报，2014，72(3)：301-318.
[3] 刘欢喜，高喜. 基于石墨烯的网格型宽带可调谐太赫兹吸波器 [J]. 压电与声光，2018，40(6)：922-926.
[4] LEE C, WEI X, KYSAR J W, et al. Measurement of the elastic properties and intrinsic strength of monolayer grapheme [J]. Science, 2008, 321(5887):

385-388.

[5] RAMANATHAN T, ABDALA A A, STANKOVICH S, et al. Functionalized graphene sheets for polymer nanocomposites [J]. Nature Nanotechnology, 2008, 3(6): 327-331.

[6] STANKOVICH S, DIKIN D A, DOMMETT G H B, et al. Graphene-based composite materials [J]. Nature, 2006, 442(7100): 282-286.

[7] EDA G, FANCHINI G, CHHOWALLA M. Large-area ultrathin films of reduced graphene oxide as a transparent and flexible electronic material [J]. Nature Nanotechnology, 2008, 3(5): 270-274.

[8] 蒋圣伟. 石墨烯压力传感器与谐振器的模拟及实验研究 [D]. 武汉：华中科技大学，2015.

[9] LE L T, ERVIN M H, QIU H, et al. Graphene supercapacitor electrodes fabricated by inkjet printing and thermal reduction of graphene oxide [J]. Electrochem Commun, 2011, 13(4): 355-358.

[10] YOO E J, KIM J, HOSONO E, et al. Large reversible Li storage of graphene nanosheet families for use in rechargeable lithium ion batteries [J]. Nano Lett, 2008, 8(8): 2277-2282.

[11] SUTTER E, ALBRECHT P, CAMINO F E, et al. Monolayer graphene as ultimate chemical passivation layer for arbitrarily shaped metal surfaces [J]. Carbon, 2010, 48(15): 4414-4420.

[12] 徐洁，金党琴，丁邦东，等. 石墨烯-钙钛矿结构光电化学传感器的构建及测定土壤中稀禾啶 [J]. 化学研究与应用，2019, 31(4): 632-637.

[13] TIAN H, SHU Y, WANG X F, et al. A graphene-based resistive pressure sensor with record-high sensitivity in a wide pressure range [EB/OL]. https://www.nature.com/articles/srep08603/metrics, 2015.

[14] BAO Q, LOH K P. Graphene photonics, plasmonics, and broadband optoelectronic devices [J]. ACS Nano, 2012, 6(5): 3677-3694.

[15] MANDEL L, SUDARSHAN E C G, WOLF E. Theory of photoelectric detection of light fluctuations [J]. Concepts of Quantum Optics, 1983, 84(84): 142-154.

[16] ECHTERMEYER T J, NENE P S, TRUSHIN M, et al. Photothermoelectric and photoelectric contributions to light detection in metal-graphene-metal photodetectors [J]. Nano Lett, 2014, 14(7): 3733-3742.

[17] MA N, ZHANG K W, YANG Y. Photovoltaic-pyroelectric coupled effect induced electricity for self-powered photodetector system [J]. Advan Mater Interf, 2017, 29(46):03694.

[18] ILIC O, JABLAN M, JOANNOPOULOS J, et al. Near-field thermal radiation transfer controlled by plasmons in grapheme [J]. Phys Rev B, 2012, 85(15): 155422.

[19] WANG J. Highly polarized photoluminescence and photodetection from single indium phosphide nanowires [J]. Science, 2001, 293(5534): 1455-1457.

[20] OSTROM N P, EDEN J G. Microcavity plasma photodetectors: photosensitivity, dynamic range, and the plasma-semiconductor interface [J]. Appl Phys Lett, 2005, 87(14): 141101-1-141101-3.

[21] NIE B, HU J G, LUO L B, et al. Monolayer graphene film on ZnO nanorod array for high-performance Schottky junction ultraviolet photodetectors [J]. Small, 2013, 9(17): 2872-2879.

[22] KONG W Y, WU G A, WANG K Y, et al. Graphene-β-Ga_2O_3 heterojunction for highly sensitive deep UV photodetector application [J]. Advan Mater, 2016, 28(48): 1-4.

[23] ZHANG Q, JIE J S, DIAO S L, et al. Solution-processed graphene quantum dot deep-UV photodetectors [J]. ACS Nano, 2015, 9(2): 1561-1570.

[24] RUDNER M S, LEMME M C, FALK A L, et al. Gate-activated photoresponse in a graphene p-n junction [J]. Nano lett, 2011, 11(10): 4134-4137.

[25] WANG G, ZHANG M, CHEN D, et al. Seamless lateral graphene p-n junctions formed by selective in situ doping for high-performance photodetectors [J]. Nature Commun, 2018, 9(1): 1-9.

[26] YU X C, LI Y Y, HU X N, et al. Narrow bandgap oxide nanoparticles coupled with graphene for high performance mid-infrared photodetection [J]. Nature Commun, 2018, 9(1): 10-18.

[27] SCHULER S, SCHALL D, NEUMAIER D, et al. Graphene photodetector integrated on a photonic crystal defect waveguide [J]. ACS Photonics, 2018, 5(12): 4758-4763.

文献计量视角下半导体材料 SiC 和 GaN 研究态势

杨岳衡，唐红艳
（电子科技大学，成都 610054）

摘　要： 从文献计量角度出发，整理了国内外 2000～2018 年间第三代半导体材料 SiC、GaN 的科技论文，并从整体发展轨迹与研究内容两方面，对 SiC、GaN 的时间分布、研究力量、研究热点等内容进行统计与分析，探讨了该领域的总体发展态势以及我国目前的科研水平。运用研究方向聚类与突发性关键词检测的方法，发现和解释该领域发展的内在变化规律，尤其是在不同发展阶段的不同研究重点，并用该规律对未来研究热点进行预测，可为该领域的研究与布局提供参考。

关键词： 文献计量；第三代半导体；信息可视化；聚类分析
中图分类号：TN303　　**文献标识码：**A　　**文章编号：**1004-3365(2020)03-0396-07
DOI：10.13911/j.cnki.1004-3365.190466

Research Situation of the Semiconductor Material SiC and GaN Based on Bibliometric Analysis

YANG Yueheng, TANG Hongyan
(*University of Electronic Science and Technology of China, Chengdu* 610054, *P. R. China*)

Abstract: Based on bibliometric, national and international research output within 2000～2018 of the third generation of semiconductor material SiC and GaN was collected. Analysis and studies were made in the region of time distribution, research forces and research hotspots. The general international development tendency and scientific research level in China were also discussed. Meanwhile, study directions clustering and burst key words detecting were used to discover and explain the inner law of evolutionary in this field, especially in the different research focus of various development stages. This paper could also provide a reference on research and arrangement in further studies.

Key words: bibliometrics; third generation of semiconductor; information visualization; clustering analysis

0　引　言

自问世至今，半导体技术的发展经历了以硅(Si)、锗(Ge)为主要原料，以金属-氧化物半导体场效应晶体管(MOSFET)和绝缘栅双极型晶体管(IGBT)为代表的第一阶段；主要原料为砷化镓(GaAs)的第二阶段；目前已进入以宽禁带半导体器件为核心，主要原料为氮化镓(GaN)和碳化硅(SiC)的第三阶段[1-2]。与前两代器件相比，第三代半导体器件具有高击穿电场、高饱和电子速度、高热导率、高电子密度、高迁移率等优势[3]，有望突破前两代半导体器件的技术壁垒，被广泛应用于微波射频、新一代移动通信、新能源汽车、有轨列车及国防等领域[4]。

科技论文的发表是研究成果体现的重要形式之一。文献计量学作为一种以文献为特定研究对象的情报研究方法，可以有效反映地区、学科、领域、科研人员之间的相互联系与区别[5]。许多研究人员基于文献计量学，对第三代半导体器件的研究态势和研究热点进行了分析与追踪。林兴浩等人对照明材料的全球科研产出情况进行挖掘[6]。房俊民等人对关键光电子器件的研究趋势、国际竞争格局进行了定量

收稿日期：2019-08-02；**定稿日期：**2019-10-15
基金项目：国家自然科学基金重点项目(61931007)；国家自然科学青年基金资助项目(61804024)
作者简介：杨岳衡(1998—)，男(汉族)，四川成都人，本科在读，研究方向为半导体材料。

分析[7]。李春等人对全球第三代半导体产业概况进行了剖析，重点关注节能减排[8]。陈欣等人对有机薄膜晶体管传感器的应用情况进行了分析[9]。总的看来，目前对于第三代半导体器件，基于文献计量的研究主要集中于某一特定领域的应用，从整体规律进行对比与探讨的研究文献尚不多见。

本文从文献计量角度出发，通过文献调研、文献计量、文献标引等多种方法，借助 Citespace、Origin 等分析工具，对第三代半导体材料 SiC、GaN 的研究态势进行分析，并运用研究方向聚类与突发性关键词检测方法，发现并解释第三代半导体领域内不同发展阶段的内在变化规律，以期为我国未来在该领域的研究与布局提供参考。

1　研究方法

本文对 Web of Science 核心数据库以及 CNKI 核心数据库中第三代半导体材料 SiC、GaN 相关研究论文进行检索、分析和统计。检索式为 TS = ("GaN" or "gallium nitride"or "silicon carbide" or "SiC") and TS = ("power semiconductor" or "power device" or "power electronics" or "power diode" or "thyristor" or "switch" or "transistor" or "amplifier" or "inverter" or "MOSFET"or" IGBT" or "JFET" or"HEMT" or "BJT")。文献类型为 Article 或者 Book Review，检索时间范围为 2000～2018 年，分别得到相关 SCI 论文 7 389 篇，CNKI 收录论文 2 055 篇。

对采集到的科技文献采用计量分析与文本分析，借助 citespace，对下载的论文数据进行清洗、筛选和整理，通过对发文量、地区、研究机构、关键词的分析和聚类，得到文本及可视化结果。

运行 citespace 进行数据处理。具体参数设置如下：时间跨度为 2000～2018 年，时间切片选择为 1 年。主题词来源包含标题(Title)、摘要(Abstract)、作者关键词(Author Keyword)、增补关键词(Keyword Plus)。节点类型分别为作者、期刊、共被引期刊、领域、机构、国家、文献共被引及关键词。为了弥补 h 指数不能很好反映高被引论文的缺陷，阈值设置采取 g-index 法。选取 $k=5$，使筛选后的数据具有完整性和代表性。采用最小生成树(MST)，对网络进行切割切片。根据研究需要，分别选择网络、叠加视图(overlay maps)、聚类视图(cluster view)、时间线图(timeline view)，旨在揭示该领域的发展轨迹、研究现状与趋势，以及未来热点预测。

本文针对国内和全球第三代半导体的文献时间分布、研究力量、研究热点等内容进行统计，对统计结果展开多维度分析，发现并探讨我国目前在该领域的研究现状，以及与世界先进水平的差距。运用研究方向聚类与突发性关键词检测的方法，发现并解释该领域发展的内在变化规律，并尝试对未来研究热点进行预测。

2　结果与分析

本文先从宏观角度出发，对我国和全球第三代半导体技术的整体发展轨迹、研究热点进行追踪，把控国际形势和国内现状。再从微观角度出发，采用研究方向聚类、未来热点推测的方法，尝试发现和解释全球第三代半导体技术发展的内在变化规律，并对未来研究热点进行预测。

2.1　整体发展轨迹

本文通过对文献时间分布、研究力量统计结果进行分析，从宏观层面来探究第三代半导体技术的整体发展轨迹。

2.1.1　时间分析

可以从文献年代分布的角度观测学者对第三代半导体发展的关注程度。早在刚刚步入 21 世纪，国外的 C. H. Carter、S. Nakamura 等科学家在 SiC 和 GaN 宽禁带材料的生长及其在高功率、高频率电子器件的应用方面取得了突破，并对材料晶体、电子结构与器件物理化学性能等进行系统研究，由此开启了该领域的研究热潮[9-11]。

本文对 2000～2018 年国际及国内相关领域文献进行了初步年度分布统计。首先采集 2000～2018 年发表的第三代半导体领域方面的 SCI 及 CNKI 论文数量，得到国际与国内科研产出的大体趋势，如图 1 所示。

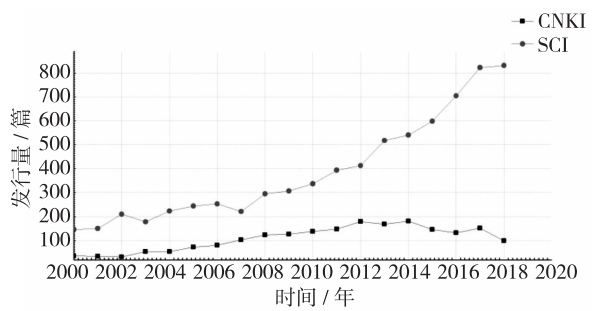


图 1　第三代半导体领域 SCI/CNKI 发文量的时间趋势

再对全部的 SCI 论文按地区检索，统计发文总

量在 300 篇以上的国家和地区，共计 9 个。其中，中国台湾地区在该领域的论文成果较多，在统计时与中国大陆分开计量，如图 2 所示。

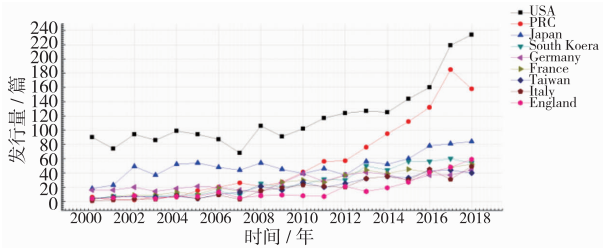


图 2 主要国家和地区的 SCI 论文时间变化趋势

从图 2 可见，2008 年之前，我国在第三代半导体材料的研究处于起步阶段，科研产出远远低于处于领头羊地位的美、日，甚至不如中国台湾地区和一些欧洲国家。2010 年，中国发表的 SCI 论文数量首次超过日本，随后一直保持在世界第二的水平。全球在该领域的研究产出于 2010 年开始呈现井喷，2018 年的发文数量已超过 2010 年的 2 倍，超过 2000 年的 6 倍。同时，其他主要大国也加强了对该领域的研究，国际形势从原有的“美、日领先，中、韩追赶”的竞争格局逐渐演变成“百花齐放”的态势[12]。

该现象表明，近几年新型半导体材料领域逐渐成为全球的重点研究对象，且在最近几年取得不小进展。另一方面，我国在该领域的基础技术与时间积淀不足，虽然近几年发展迅速，已具备一定的科研规模和能力，但在科研产出方面，与美国还存在明显的差距。

2.1.2 研究力量分析

为了更好地对比全球在第三代半导体材料领域的研究分布，通过绘制中外机构合作网络来分析 2000～2018 年的研究力量分布及合作情况，如图 3 所示。其中，紫色边框内的节点为高中心性(centrality)节点，它位于两个不同聚类的连接路径上，为连接其他节点发挥着重要的作用[13]。另外，节点间的连线数量反映了机构间的合作关系。

为了保证图谱的辨识度和完整性，发文量阈值(thresholds)取为 80 篇，高产高校及机构合计 13 所，主要集中在美国(4 所)、中国大陆(3 所)、中国台湾(3 所)、新加坡(1 所)、意大利(1 所)、中国香港(1 所)。在该阈值条件下，弗罗里达大学(UF)的节点度为 17，拥有最大的节点度中心性。排在第二位的是加利福尼亚大学圣巴巴拉分校(UC Santa Barbara)，节点度为 13。同时，这两个机构发文量均位于全球前五。由此可见，合作交流有助于提高机构的研究能力与科研产出。相比而言，我国高校机构的连线均不超过 10 条。除电子科技大学(UESTC)外，其他机构均为非高中心性节点。这表明虽然国内高校机构的科研产出丰富，但在研究合作方面，仍有待提高。

图 3 2000～2018 年中外机构合作网络图

本文单独整理出在第三代半导体材料领域，国内 SCI 发文量进入全球前 100 位的高校机构，共计 9 所，如表 1 所示。其中，中国科学院、西安电子科技大学、电子科技大学以及香港科技大学的发文总量均在 100 篇以上，位于全球前十，发文总量为 691 篇，占国内总发文量的 61.8%。这说明我国在该领域的研究较为集中，且这几个高校机构已具有较高水平的科研能力和较大规模的科研产出。

表 1 国内主要机构发文数量与排名

机构	发文量	全球排名
中国科学院	217	1
西安电子科技大学	184	2
电子科技大学	154	4
香港科技大学	136	6
北京大学	50	31
河北半导体研究所	41	43
杭州电子科技大学	32	51
中国科学技术大学	31	52
清华大学	22	77

2.2 研究内容分析

本文对全球文献研究热点、研究方向统计结果进行分析，从微观层面出发，探究全球第三代半导体的研究内容演进。

2.2.1　研究热点演进

分别绘制国内外研究热点网络图来分析 2000～2018 年第三代半导体材料领域研究热点演进。国内 2000～2018 年的研究热点网络图如图 4 所示。此处节点类型均选择为关键词(key word)，采用最小生成树(MSP)进行切割切片网络(pruning sliced network)的分析。节点的大小表示出现次数，节点间的连线表示与其他关键词的相关度。

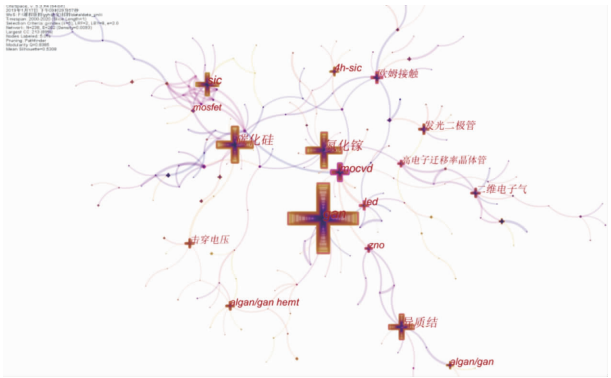


图 4　国内 2000-2018 年的研究热点网络图

对图 4 进行整理和修饰，为了使结果具有完整性和代表性，将阈值取为 50，共得到 20 组可视节点。对节点进行整合，出现频率位于前十的关键词分别为 GaN、SiC、异质结、mocvd、欧姆接触、LED、4H-SiC、发光二极管、二维电子气、击穿电压，如表 2 所示。除此之外，还应考虑中心性的因素。从图 4 可以发现，高中心性的节点(0.30 及以上)由高到低分别为 mocvd、LED、ZnO、异质结。除 ZnO 外，其余均为应用层面。由此可见，我国的研究产出主要集中在关键材料方面，这些材料的应用成为研究的主要纽带，起到至关重要的作用。

表 2　2000～2018 年国内研究热点及属性

关键词	计数	中心性	首次出现年份
GaN	691	0.51	2000
SiC	421	0.31	2000
异质结	166	0.33	2004
mocvd	120	0.77	2000
欧姆接触	88	0.26	2002
LED	84	0.39	2000
4H-SiC	83	0.06	2006
发光二极管	81	0.12	2005
二维电子气	77	0.14	2001
击穿电压	72	0.10	2011

从时间上来看，大部分高频率关键词在 2000～2004 年间相继出现，但有三个关键词是 2005 年以后才出现的，对击穿电压的研究更是在 2011 年才第一次被提出。这说明在研究方向上，不仅对老研究热点进行了深度上的发掘，也有广度上的扩展，确立了更多的研究方向。

国际 2000～2018 年的研究热点网络图如图 5 所示。对图 5 进行整理和修饰，为了使结果具有完整性和代表性，将阈值取为 350，共得到 12 组可视节点。为了使网络图更清晰直观且不影响观感，将节点大小(Node Size)调整为 1，节点上的数字表示该关键词出现的次数。

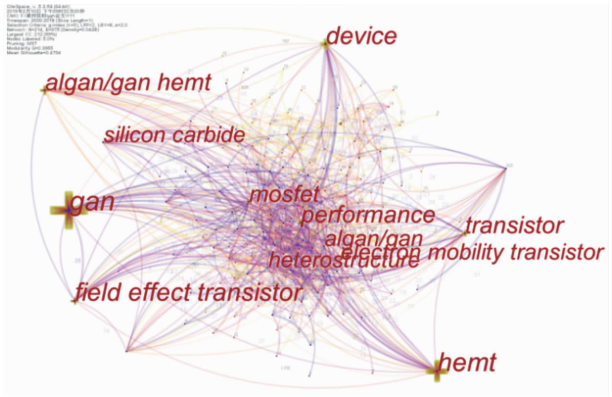


图 5　国际 2000-2018 年的研究热点网络图

相对应的，出现频率位于前十的关键词分别为 GaN、HEMT(高电子迁移率晶体管)、AlGaN/GaN HEMT、field effect transistor(场效应晶体管)、device、transistor(晶体管)、performance(性能)、mosfet、silicon carbide(SiC)、heterostructure(异质结)，如表 3 所示。

表 3　2000～2018 年国际研究热点及属性

关键词	计数	中心性	首次出现年份
GaN	1 667	0.08	2000
HEMT	1 176	0.07	2000
AlGaN/GaN HEMT	1 061	0.07	2001
field effect transistor	826	0.05	2000
device	707	0.09	2000
transistor	602	0.06	2000
performance	584	0.08	2000
mosfet	469	0.11	2000
SiC	423	0.15	2000
heterostructure	405	0.07	2000

与国内相似，GaN 依旧是第一研究热点，且该关键词出现的次数大幅领先于其他关键词。SiC 仅排在第九位，取而代之的热点研究对象是 HEMT 以及 AlGaN/GaN HEMT。而国内对于该领域的研究依旧处于初级阶段，关键词出现次数小于 50。

在对国际研究热点的统计中发现，高频关键词的中心性均偏低(0.30 及以下)。这表明，在该领域及其外延研究中，不仅侧重于关键材料(GaN，SiC)，还侧重于器件的性能优化和创新应用。另外，绝大多数高频关键词在 2000 年就已出现。这表明，在国际上，这些热点的研究已趋于成熟。这也可以解释为什么研究方向逐步从对材料本身的基础研究转移为对成型器件的应用优化。

相比于全球环境，我国开展该领域研究工作的时间较晚，但近年来，香港科技大学在 GaN 电力电子器件方面、西安电子科技大学在 GaN 高频和电力电子器件方面、北京大学以及中科院微电子所与苏州纳米所在电力电子器件方面均取得了显著的成绩，处于世界前列。[14]

2.2.2 研究方向聚类

为了得到全球第三代半导体材料领域不同阶段的研究方向，发现其内在规律，对数据集进行文献共引分析，并展示为时间线图(timeline view)。图谱中，采用对数似然算法(LLR)分析了聚类组别，并命名，共得到 41 个聚类，最终列出并展示明显聚类 10 个，如图 6 所示。节点表示该聚类的高被引文献，紫色边框代表了高中心性聚类。整个聚类网络聚类模块性指数(Q)值>0.3，聚类轮廓性指数(S)值>0.5，表明视图的聚类效果良好，因此该聚类是合理的[15]。

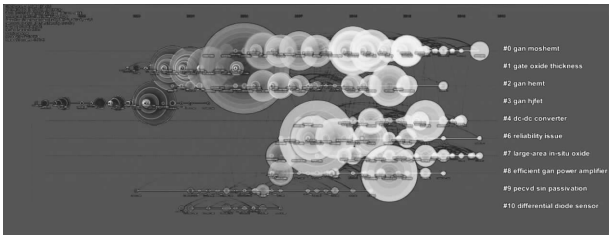


图 6 2000～2018 年文献共被引时间线图

使用 Carrot2 软件对各明显聚类进行处理，提取文献的主题、关键词、摘要，然后根据特点对不同群组进行分析，整合和再聚类，得到第三代半导体材料领域的代表性聚类集合与研究方向的主要阶段，具体如下。

第一类：主要以群组＃0，＃1 为代表。提取到的关键词有：gan hemt；theoretical investigation，trigatesurface passivation；comparative study；current collapse 等。该组文献发表于 2002～2018 年，其中不乏许多高中心性论文，主要研究内容也非常广泛。其中被引用最多的一篇文章发表于 2009 年，主要研究了一种晶格匹配的氮/氮化镓 moshemt，在特定温度、电流密度和漏极电压的情况下，其功效显著增加，说明了这种 moshemt 在高频下工作的能力[16]。

该聚类组反映了第三代半导体材料领域研究方向的第一阶段，主要提出了某一基础概念，并对材料的基础特性进行分析。该阶段的特点是与多个后续群组联系紧密，且对后期的各类研究起到引导和铺垫的作用。

第二类：主要以群组＃2，＃3，＃6 为代表。提取到的关键词有：access resistance；high-frequency performance；low frequency，gan heterostructures；interlayer；optical properties；AlN buffer，gan hemts；dynamic r-on；lateral charge distribution；recovery 等。该组文献主要在 gan hemts 的基础上，解决其实际应用中遇到的可靠性问题[17]，继续就 LED 照明方面进行更深层次的探讨，并为功率放大器的应用提供基础[18]。

该聚类组反映了第三代半导体材料领域研究方向的第二阶段，主要探讨某类材料在某一具体领域的应用，一般发生在阶段一中提到的基础特性的研究较为成熟以后。该阶段是从理论基础到工业化应用的初级阶段，其研究成果还不具备商品化条件。

第三类：主要以群组＃4，＃6，＃7 为代表。提取到的关键词有：design；implementation；sic-jfet inverters；integrated common mode capacitors，gan hemts；dynamic r-on；lateral charge distribution；recovery high breakdown；substrate-transfer technology；current blocking layer 等。该组文献着重于直流-直流转换器的设计与具体实现，并在此基础上探讨了 SiC-Jfet inverters，以减少整流损耗[19]。

该聚类组反映了第三代半导体材料领域研究方向的第三阶段，主要就阶段二中遇到的问题和不足来进一步讨论，优化了阶段二的成果。该阶段是从理论基础到工业化应用的高级阶段，其研究成果具备商品化的条件，能够被应用到实际生活中。

第四类：主要以群组＃9，＃10 为代表。提取到的关键词有：gan hemt；trap-related dispersion；physical large signal model；analytical mobility model，gan high electron mobility transistors；botulinum toxin detection；low detection limit；simulation 等。该组文献内容主要包括在氮化硅钝化中遇到的新机遇与挑战以及在材料方面的新突破等。

该聚类组反映了第三代半导体材料领域研究方向的第四阶段，主要包括该阶段组中所研究的某一

材料或某种应用遇到的新机遇与挑战。该阶段高被引文献出现的时间较为集中，且都聚合在下一阶段组阶段一中的高被引文献稍早时间。可见，该阶段为下一阶段组的主要研究方向提供指导，起到了承上启下的作用。

2.2.3　未来热点推测

对新主题涌现与新理论兴起的鉴别，可通过对短期内突然呈现出急速增长的关键词进行探测来实现。本文采用 citespace 软件的突发性检测（Burst Detection）功能，针对采集到的关键词，检测在其研究时间内的骤增程度，得到 TOP25 的强突现关键词，并分析它们的突显持续时间，如图 7 所示。

Top 25 Terms with the Strongest Citation Bursts

Terms	Year	Strength	Begin	End	2000 - 2018
extrinsic transconductance	2000	15.7231	2000	2012	
x-ray diffraction	2000	5.2167	2000	2003	
gate length	2000	11.8403	2000	2005	
gan heterostructure	2000	4.9573	2000	2002	
sapphire substrates	2000	26.4767	2000	2006	
channel mobility	2000	14.7827	2000	2008	
room temperature	2000	16.9048	2000	2005	
device structure	2000	10.1309	2000	2004	
high temperature	2000	3.7568	2000	2002	
elevated temperatures	2000	8.5958	2000	2005	
blocking voltages	2000	5.1622	2000	2002	
field-effect transistor	2000	13.875	2000	2008	
silicon carbide	2000	3.9932	2000	2002	
blocking voltage	2000	16.5459	2000	2005	
conduction band	2000	4.1202	2001	2005	
sapphire substrate	2000	23.563	2001	2006	
field-effect transistors	2000	9.5725	2002	2006	
specific on-resistance	2000	17.6197	2002	2005	
power-added efficiency	2000	3.2038	2003	2004	
surface states	2000	6.6875	2003	2007	
drain bias	2000	11.505	2004	2009	
maximum drain	2000	6.8563	2004	2008	
gan heterostructures	2000	4.6766	2004	2005	
4h-sic mosfets	2000	7.0327	2004	2005	
current collapse	2000	4.4609	2004	2007	

图 7　2000～2018 年突现关键词表

根据图 7，可以将全球第三代半导体材料研究前沿按照时间顺序分为三个阶段。

1）2000～2005 年：这一阶段涌现了第一批突现关键词，这些关键词持续时间较长、强度较大，说明该阶段是全球第三代半导体材料研究的起始阶段，所关注的主题为之后一段时间的研究确定了方向。

2）2005～2010 年：这一阶段涌现出第二批突现关键词，相比之下，这批关键词持续时间较短且强度较低，说明该阶段的研究对象是在第一阶段基础上的扩展和深入，并开始更加侧重于具体应用层面。

3）2010～2018 年：除 extrinsic transconductance 外，这一阶段并无其他突现关键词，说明在这一段时期，全球在第三代半导体材料的研究逐渐趋于成熟和全面，更加注重对现有热点的深度挖掘。

通过对研究前沿的统计归纳，发现该统计的结果与对研究方向统计结果的相似度较高，基本遵从相同规律。因此，该规律可用于对未来全球第三代半导体材料研究的热点趋势预测。

据此，对未来全球第三代半导体材料研究的热点趋势预测如下：1）进一步就现有热点进行更深入的研究，在材料层面再一次重大突破前，不太可能提出全新的研究主题，更大的可能是基于第一，第二阶段中确定的方向，在硬件应用层面，就其功耗、性能等方面进行优化与改良及交叉学科的研究；2）对新一代半导体材料或当代材料的衍生材料的研究取得重大突破时，新的研究热点将呈现井喷，并将按照“基础特性-具体应用-优化与改良-交叉学科扩展”的时间顺序来排列。

3　结　论

本文以 Web of Science 核心数据库以及 CNKI 核心数据库中 2000～2018 年第三代半导体相关研究论文为载体，基于文献计量学相关原理，借助 Citespace、Carrot 等软件，从整体发展轨迹与研究内容方面出发，就时间、研究力量、研究热点、研究方向和未来热点等方面进行分析、研究与推测，得到以下结论。

1）2000～2018 年，全球在第三代半导体材料方面的整体研究产出方面呈上升趋势，至今仍是全球科学家重点关注的研究热点。近十年间，除美、日外的其他国家和地区，特别是一些欧洲国家加大了对该领域的研究力度，国际形势逐渐演变为“百花齐放”的姿态。我国在该领域研究的起步较晚，但发展迅速。自 2010 年后，成为仅次于美国的第二科研产出国，体现出较高水平的科研能力和较大规模的科研产出。另一方面，虽然国内高校机构的科研产出丰富，但在研究合作方面仍有待提高。

2）全球第三代半导体材料研究热点不仅包括关键材料（GaN，SiC），还包括器件（AlGaN/Gan HEMT 等）的性能优化和创新应用。此外，绝大多数高频关键词在 2000 年前后便已出现，这些关键词至今仍是研究重点。这表明，该领域的研究已趋近成熟。相比而言，我国研究重点主要集中在关键材料及其外延上，在应用优化方面的关注相对较少，且数个高频关键词均在 2005 年后才被提出，说明我国在该领域的研究依旧处于探索和上升时期。

3）现在，全球第三代半导体材料的研究进入了一个较为缓和与成熟的瓶颈期，即在材料层面的下一次重大突破之前，还将延续现有研究方向，从具体应用、优化改良、交叉学科拓展等方面进行更深入的研究。我国在现阶段应尽快迈入后两个层次，并为全球进入第三代半导体材料下一阶段初期时的研究热点井喷做好准备，以便更好把握机会。

4）本文仅统计了第三代半导体材料领域2000～2018 年间的相关研究论文，下一步将继续跟踪并分析我国和国际在该领域的最新科研成果。

根据本文研究所得到的我国和全球在第三代半导体材料的整体研究、关键材料、趋势预测的结论，我国在第三代半导体材料领域的未来发展需要注意以下几点。

1）加强高校机构间的合作与交流。目前我国在该领域的科研产出虽然规模较大，但都比较集中，且这些高校机构的产出都相对独立，彼此间关联有限。反观美国的弗罗里达大学(UF)、加利福尼亚大学圣巴巴拉分校(UC Santa Barbara)等高校机构，在保有大量科研产出的同时也具有高中心性，这一方面非常值得我们借鉴与学习。

2）明确独有的研究方向，建立技术优势。在全球第三代半导体材料研究的重心放在具体应用、优化改良阶段时，对某一具体方面进行深入研究，从而建立技术优势就显得尤为重要。近年来，我国在关键材料的制备和器件封测技术等领域取得一定成绩，应加大力度，继续深入研究，达到世界先进水平，实现我国在该领域关键核心技术的国有化。

3）把握瓶颈期，实现弯道超车。我国在该领域的起步较晚，但得益于国家的大力支持，目前已接近国际先进水平。我国应在瓶颈期积累技术经验，为未来的技术研发和产业应用打下基础，并在下一次技术革新来临时，能够从容地应对机遇与挑战，实现弯道超车，成为领头羊。

参 考 文 献：

[1] 赵定远，赵莉华. 现代电力电子器件的发展 [J]. 成都大学学报(自然科学版)，2007，26(3)：210-214.

[2] 李春，邓君楷. 第三代半导体产业概况剖析 [J]. 集成电路应用，2017，34(2)：87-90.

[3] 林佳，黄浩生. 第三代半导体带来的机遇与挑战 [J]. 集成电路应用，2017，34(12)：83-86.

[4] 林兴浩，尚学峰. 基于文献计量的新型电力电子器件研究态势分析 [J]. 世界科技研究与发展，2018，40(4)：355-367.

[5] 黄鲁成，王静静，李欣，等. 基于文献计量的新兴趋势分析——以生物材料为例 [J]. 情报杂志，2015，34(7)：58-64.

[6] 翟晓芳，刘全明，程耀东，等. 结合社会化网络的文献综合计量模型 [J]. 计算机工程，2016，42(6)：21-26.

[7] 房俊民，王立娜，唐川，等. 基于文献计量的光电子器件研究发展态势分析 [J]. 科学观察，2016，11(3)：1-12.

[8] 王海阔，李建军，王元诚，等. 940 nm 大功率半导体激光器后工艺状化 [J]. 半导体光电，2018，39(5)：612-615，622.

[9] 陈欣，董璐，陈枢舒，等. 氮化镓材料专利计量分析及启示 [J]. 新材料产业，2015(10)：46-50.

[10] 袁明文. 发展氮化镓集成电路的考虑 [J]. 微纳电子技术，2003，40(6)：1-5.

[11] 石志宏，李佑斌，李学宁. SiC 材料、器件及其应用前景 [J]. 微电子学，1996，26(4)：275-278.

[12] STRITE S T，MORKOC H. GaN，AlN，and InN：a review [J]. J Vacuum Sci & Technol B，1992，10(4)：1237-1266.

[13] 林兴浩，张百尚，陈宇山. 基于文献计量的氮化镓照明材料研究态势分析 [J]. 世界科技研究与发展，2017，39(5)：440-447.

[14] 陈超美，陈悦，侯剑华，等. CiteSpaceⅡ：科学文献中新趋势与新动态的识别与可视化 [J]. 情报学报，2009，28(3)：401-421.

[15] 电力电子器件产业发展蓝皮书 (2016-2020 年) [EB/OL]. http://image1. big-bit. com/2017/0112/20170112092625975. pdf，2017.

[16] 陈悦，陈超美，刘则渊，等. CiteSpace 知识图谱的方法论功能 [J]. 科学学研究，2015，33(2)：242-253.

[17] ALOMARI M，MEDJDOUB F，CARLIN J F，et al. InAlN/GaN MOSHEMT with self-aligned thermally generated oxide recess [J]. IEEE Elec Dev Lett，2009，30(11)：1131-1133.

[18] MISHRA U K，PARIKH P，WU Y F. AlGaN/GaN HEMTs - an overview of device operation and applications [J]. Proceed IEEE，2002，90(6)：1022-1031.

[19] NIDHI N，PALACIOS T，CHAKRABORTY A，et al. Study of impact of access resistance on high-frequency performance of AlGaN/GaN HEMTs by measurements at low temperatures [J]. IEEE Elec Dev Lett，2006，27(11)：877-880.

[20] ROBUTEL R，MARTIN C，MOREL H，et al. Integrated common mode capacitors for SiC JFET inverters [C] // Twenty-Sixth Annu IEEE APEC. Fort Worth，TX，USA. 2011.

用于铜互连 CMP 工艺的络合剂研究进展

孙晓琴，檀柏梅，高宝红，牛新环，刘孟瑞，高鹏程，刘玉岭
（1. 河北工业大学 电子信息工程学院，天津 300130；2. 天津市电子材料与器件重点实验室，天津 300130）

摘　要： 化学机械平坦化(CMP)是实现 65 nm 及以下技术节点多层铜互连表面全局平坦化的唯一可靠工艺。络合剂为抛光液的主要组分，对材料去除速率、表面完整性起着至关重要的作用。综合分析了不同官能团的络合剂在铜互连 CMP 工艺中的应用研究现状，探究了不同官能团络合剂的作用机理，分析了络合剂与其他试剂的兼容性，总结了络合剂的发展趋势。

关键词： 铜互连；化学机械平坦化；络合剂；官能团；材料去除速率
中图分类号：TN405.97　　**文献标识码：**A　　**文章编号：**1004-3365(2020)03-0403-07
DOI：10.13911/j.cnki.1004-3365.190468

Research Progress on Complexing Agent for Copper Interconnect CMP Process

SUN Xiaoqin, TAN Baimei, GAO Baohong, NIU Xinhuan, LIU Mengrui,
GAO Pengcheng, LIU Yuling
(1. *School of Electronics and Information Engineering, Hebei University of Technology, Tianjin* 300130, *P. R. China*;
2. *Tianjin Key Laboratory of Electronic Materials and Devices, Tianjin* 300130, *P. R. China*)

Abstract: Chemical mechanical planarization (CMP) is the uniquely reliable technique to achieve global planarization of multilayer copper interconnection surfaces in IC manufacturing below 65 nm technology node. As the main component of CMP slurry, complexing agent plays an important role in improving the removal rate of materials and surface performance. Based on the characteristics of copper removal rate, the surface morphology and selectivity of different layers of CMP, the application and research status of complexing agents of different functional groups in CMP of copper interconnection were comprehensively analyzed. The mechanism of complexing agents was investigated, and the compatibility and development trend of complexing agents and other reagents were analyzed.

Key words: copper interconnection; CMP; complexing agent; functional group; material removal rate

0　引　言

铜线可以减小互连电阻，降低功耗和成本，增加芯片集成度、器件密度和时钟频率。65 nm 以下技术节点的 IC 制造中铜取代了铝，成为主流互连金属[1]。

CMP 是通过化学溶解和机械去除来实现铜互连线局部和全局平坦化的最佳工艺技术。化学反应在铜 CMP 工艺中起着非常重要的作用。化学反应的重要反应物是抛光液和基体材料[2-4]。抛光液主要含磨粒[5]、氧化剂[6]、缓蚀剂[7]、络合剂等。在铜 CMP 工艺中，铜表面被氧化剂氧化，形成比纯铜更脆弱的多孔铜氧化物钝化膜。在抛光垫或磨料的压力下，铜氧化膜容易被水解而被去除。随着抛光过程的进行，抛光液中被抛物质的离子（如铜离子）含量不断增加，逐渐削弱抛光液的化学作用。氧化层

收稿日期：2019-08-05；**定稿日期：**2019-08-15
基金项目：国家中长期科技发展规划-科技重大专项项目(2016ZX02301003-004-007)；国家青年自然科学基金资助项目(61704046)；河北省自然科学基金资助项目(F2018202174)
作者简介：孙晓琴(1997—)，女(汉族)，山西大同人，硕士研究生，研究方向为微电子技术与材料。
檀柏梅(1969—)，女(汉族)，河北唐山人，教授，研究方向为微电子技术与材料。通信作者。

钝化后，抛光速率逐渐下降。络合剂能够键合反应生成的铜离子，防止金属离子再沉积，加快被去除材料的转移，使抛光速率保持在较高的水平。

铜抛光工艺有三步。第一步，铜粗抛工艺：去除大量多余的铜，去除速率设为 500 nm/min。第二步，铜精抛工艺：去除残余的铜，终止在阻挡层。第三步，阻挡层抛光工艺：去除 30～40 nm 厚的阻挡层、硬质或软性掩模材料、介电材料[1]。介质去除的同时，也会去除铜膜，需要在抛光液中添加不同的添加剂，以控制介质的去除速率和介质与铜的去除选择比[8-10]。所用抛光液对不同材料具有不同的选择性，会导致碟形坑或蚀坑。因此，抛光液成分的选择对缺陷的降低极为重要。

随着特征尺寸不断减小，以及新型阻挡层材料的引入，铜互连 CMP 工艺成为研究热点，本文分析了近年来铜互连 CMP 领域方面的大量研究。主要论述分析了铜抛光液中不同官能团的络合剂的应用研究现状、作用、机理和发展趋势。

1 含有机酸根离子功能基团络合剂

近年来，柠檬酸等有机酸络合剂在铜 CMP 中的研究较广泛。五倍子酸、柠檬酸、酒石酸、碳酸胍以及二羧酸均含有有机酸根离子。这些试剂在溶液中以不同离子形式存在，可与铜离子形成稳定可溶的络合物，增加了铜 CMP 的去除速率，能较好地控制铜与阻挡层的选择比。

1.1 五倍子酸

文献[11]研究了以五倍子酸（医药领域广泛作为抗氧化剂）为络合剂的 CMP 抛光液的络合性能。五倍子酸与氢氧自由基的反应机理如图 1 所示。

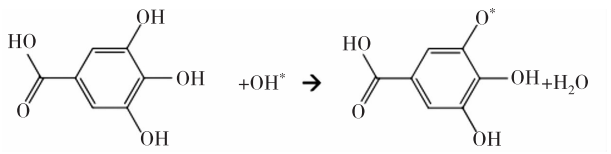


图 1 五倍子酸与 OH 自由基的反应机理[11]

可知，五倍子酸与铜进行络合，并与氢氧自由基反应，以抑制氧化铜的形成。在 pH = 7 时，0.03 mol/L的五倍子酸与 1.12 mol/L H_2O_2 混合使用，去除速率稳定于 560.73 nm/min，静态腐蚀速率稳定于 37.89 nm/min。在低浓度下（0.03 mol/L）就可达到铜 CMP 抛光工艺要求。

1.2 柠檬酸

五倍子酸虽在低浓度下可得到较高的去除速率，但静态腐蚀速率相对较高。柠檬酸作为铜络合剂的有效性是由其酸根离子与铜离子络合而决定的[12-13]。在酸性溶液（pH≤4.0）中，柠檬酸以酸根离子存在于溶液中。其反应式为：

$$Cu^{2+} + HX^{2-} = HXCu \quad (1)$$

$$Cu^{2+} + H_2X = H_2XCu^{+} \quad (2)$$

$$2CuO + 4H^{+} + 2HX^{2-} = 2(HXCu) + 2H_2O \quad (3)$$

$$2CuO + 4H^{+} + 2H_2X^{-} = 2(H_2XCu^{+}) + 2H_2O \quad (4)$$

可以看出，柠檬酸根离子可以与铜离子或氧化铜络合，形成可溶的 H_2XCu^{+} 离子。在 pH=4 时，3%（体积浓度）H_2O_2 与 0.03 mol/L 柠檬酸混合使用时，去除速率稳定于 650 nm/min，静态腐蚀速率为 25.6 nm/min。相比五倍子酸，静态腐蚀速率有所下降。

高、低浓度的柠檬酸对铜表面凹凸处台阶高度下降的速率不同[13]。随着 CMP 抛光液中柠檬酸浓度的降低，晶圆的台阶高度迅速降低。铜膜台阶高度在高密度区比在低密度区下降得更慢，从而达到平坦化的目的。台阶高度降低示意图如图 2 所示[13]。

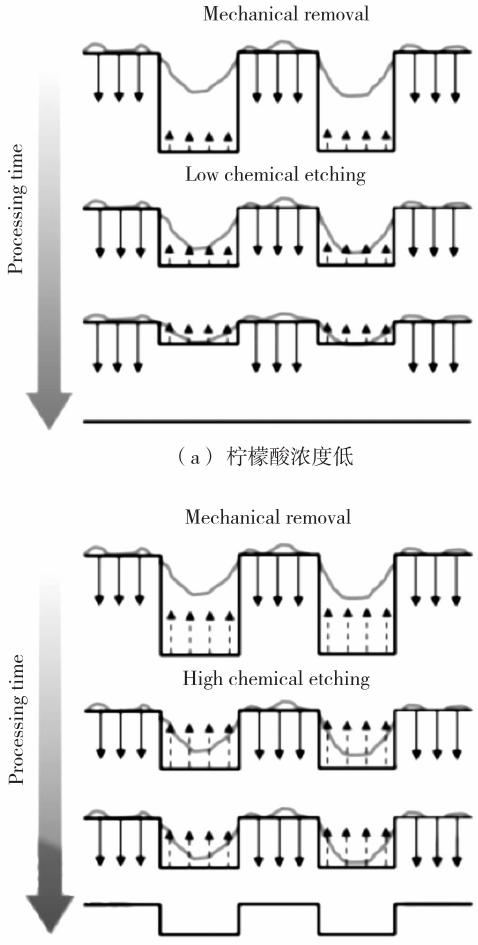


图 2 台阶高度降低示意图

1.3　酒石酸与碳酸胍

铜 CMP 工艺中，要求铜抛光液对铜有较高的去除速率选择性，对阻挡层材料有较低的去除速率选择性，以最大限度地减少碟形坑和蚀坑。因此，广泛采用的阻挡层材料为：钽/氮化钽、钌。使用的络合剂区别于铜膜抛光。文献[14]研究了酒石酸用于钽、铜 CMP 的作用。结果表明，在 pH 值为 3.0～4.0 范围内，酒石酸是以 HL^- 或 L^{2-} 形式存在（$L=C_4H_4O_6$）。这些离子与铜氧化物进行络合，产生可溶性的络合离子。在 pH 值为 3.0～4.0 范围内，5%～10%（质量浓度）H_2O_2 和 0.13 mol/L 酒石酸组合后，可得到较高的铜材料去除速率。在 pH 值为 5.0～7.0 的非碱性范围内，铜的去除速率被大幅抑制。

文献[15]以碳酸胍（GC）为络合剂，1,2,4-三唑（TAZ）为抑制剂，研究了含过氧化氢抛光液中钌对铜的去除速率选择性。碳酸胍以离子形式存在于溶液中[16]，并与铜进行络合。通过调整 GC、TAZ 的浓度，钌对铜的选择比可从 0.3 增加到 1.6。

1.4　二羧酸

在铜 CMP 过程中，磨料聚集在加工表面，会造成不可接受的划痕和缺陷。文献[17]探究了在无磨料的情况下，草酸、丙二酸等不同二羧酸在铜 CMP 工艺过程中的作用。在 pH 值为 3.0～4.0 范围内，二羧酸是以 HA^-（A＝Ox，Mal）形式存在。这些 HA^- 产生的表面络合物是可溶性的，且是离子形式 $(CuA_2)^{2-}$，反应式为：

$$Cu+HA^-+H^++\frac{1}{2}O_2=CuA+H_2O \quad (5)$$

$$CuO+2HA^-=(CuA_2)^{2-}+H_2O \quad (6)$$

产生的可溶性离子有助于草酸和丙二酸溶液产生较高的铜去除速率。

2　含胺基与羟基功能基团络合剂

大分子有机物通过不同的官能团，可与铜离子发生络合反应，形成稳定可溶的络合物，增加铜的去除速率。在铜 CMP 工艺中，较新颖或使用较多的带氨基及羟基官能团的络合剂包括氨基酸、乙二胺四乙酸、巴斯夫生产的改性聚胺阴离子盐 Trilon® P 以及壳聚糖。

2.1　氨基酸

氨基酸是羧酸碳原子上的氢原子被氨基取代后的化合物[18-22]。氨基酸分子中，含有氨基和羧基两种官能团，因此，可与铜发生络合反应，增加溶解率。文献[18]研究了在过氧化氢（H_2O_2）存在下，三种不同氨基酸（甘氨酸、丝氨酸和半胱氨酸）对铜片溶解的影响。结果表明，甘氨酸及丝氨酸在酸性条件下有较好去除速率。半胱氨酸对铜离子不敏感，且与铜离子反应形成的副产物较多，不适合于作为铜抛光液的络合剂。

甘氨酸是内源性抗氧化剂还原性谷胱甘肽的组成氨基酸，又名氨基乙酸[19]，在碱性环境下，作为 CMP 抛光液的络合剂，可提高厚铜层的去除速率。作为络合剂，甘氨酸的性能可与柠檬酸相媲美。随着抛光液中甘氨酸浓度的增加，降低化学反应层铜离子的量可促进新铜离子的生成。甘氨酸在反应层中的作用如图 3 所示。使用柠檬酸反应后的铜表面粗糙度（Ra）为 6.1 nm，而使用甘氨酸反应后的 Ra 仅为 2.8 nm。

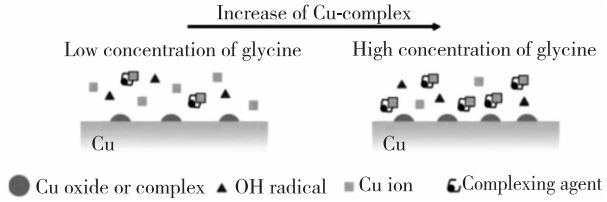


图 3　甘氨酸在反应层中的作用[19]

文献[20]研究了过氧化物基弱碱性抛光液中甘氨酸与苯并三唑（BTA）在铜 CMP 过程中的协同竞争关系。在碱性条件下，加入 1%（质量浓度）甘氨酸和 2.5×10^{-5} 的 BTA，材料去除速率为 600 nm/min。在甘氨酸与 BTA 协同下，对铜进行抛光的机理如图 4 所示。

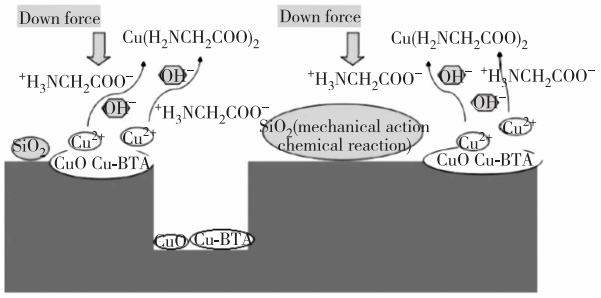


图 4　CMP 过程中平面化的机理[20]

左旋-谷氨酸（α-氨基戊二酸）是分子内含两个羧基的酸性氨基酸[21]。当 H_2O_2 和左旋-谷氨酸（L-谷氨酸）以高浓度混合时，铜抛光率大。L-谷氨酸不仅可作为络合剂，还可作为抑制剂（抑制效果低于 BTA）。无 H_2O_2 时，L-谷氨酸抑制铜溶解。加入 H_2O_2 时，H_2O_2 氧化铜，L-谷氨酸与氧化后的铜发

生络合反应，促进铜溶解。L-谷氨酸与铜离子的络合机理如图 5 所示。

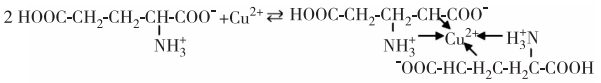


图 5 L-谷氨酸与铜离子的络合机理[21]

精氨酸（蛋白氨基酸）是氨基酸类化合物[22]。文献[22]研究了以左旋-精氨酸为络合剂，以过氧化氢（H_2O_2）为氧化剂的协同作用。与甘氨酸-过氧化氢的抛光液相比[20]，它的铜去除速率更高。

2.2 乙二胺四乙酸

BTA 能形成简单的化学吸附 Cu-BTAH 膜和多层 Cu-BTA 膜，通常被用作抑制剂。但形成 Cu-BTA 多层膜后，甘氨酸和 BTA 组成的抛光液就不能达到较高去除速率和较低表面粗糙度。通过减少铜 BTA 再吸收分子的形成，将乙二胺四乙酸（EDTA）与甘氨酸[23]混合使用，形成混合络合配体，从而提高铜抛光速率，减少了 Cu-BTA 络合分子的形成。在不同 H_2O_2 浓度下，加入 EDTA，通过络合反应，铜去除速率可从 500 nm/min 增加到800 nm/min。

EDTA 可作为络合剂与其结构有关。EDTA 是含有羧基和氨基的有机化合物，因此具有广泛的配位能力，它可与铜离子生成稳定的水溶性络合物。

2.3 Trilon® P

Trilon® P 是改性阴离子多胺钠盐[24]，平均分子量为 5×10^4，既有羧基又有叔胺基，与铜离子具有螯合能力。当用 0.01%的 Trilon® P 与 30 mmol/L 的 TAZ 对铜抛光时，去除速率可达 660 nm/min，静态腐蚀速率（低温）仅为 2.6 nm/min。Trilon® P 与不同浓度的铜离子反应后的浑浊度如图 6 所示。

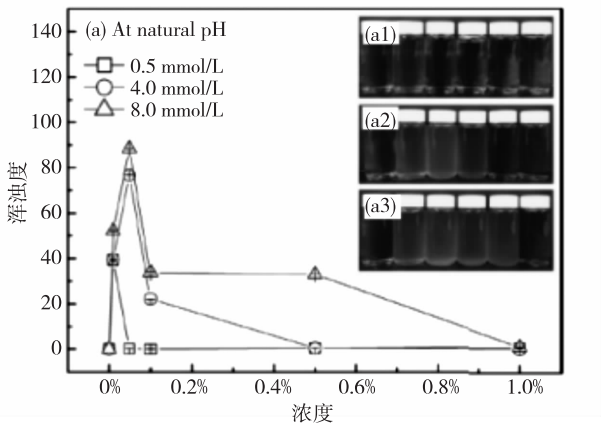


图 6 中性 pH 值下加入不同量 Trilon® P 时不同浓度下铜离子溶液的浑浊度[24]

图 6 中，小插图中的 a1～a3 表示分别在 0.5 mmol/L，4.0 mmol/L，8.0 mmol/L 铜离子溶液中，加入 0，0.01%，0.05%，0.10%，0.50%，1.0%的 Trilon® P。可以看出，在含少量铜离子溶液时，加入不同浓度的 Trilon® P，会产生先有沉淀、后沉淀消失的现象。可知，当 Trilon® P 与铜的摩尔比小于 2 时，Trilon® P 与铜离子桥连，形成不溶性络合物，可用作抑制剂。当 Trilon® P 与铜摩尔比大于 10 时，Trilon® P 与铜具有较强的静电斥力，他们形成可溶性络合物，可用作络合剂。

2.4 COS

铜 CMP 工艺后，会产生高固相含量、高浊度的铜离子和有机污染物。因此，开发新型环保型 CMP 抛光液是一项挑战。文献[25]研究了一种以二氧化硅、过氧化氢和 COS 为主要成分的新型 CMP 抛光液。COS 是由几丁质脱乙酰和水解产生的聚合小于 20 的壳聚糖的解聚产物。铜离子与 COS 分子之间的螯合反应如图 7 所示。从反应式可知[25]，COS 与铜离子络合是乙酰氨基与次生羟基的官能团所形成，因此可加快铜的去除速率。该环保型抛光液的 CMP 机理如图 8 所示，过程包括氧化、溶解、络合和去除等四部分。

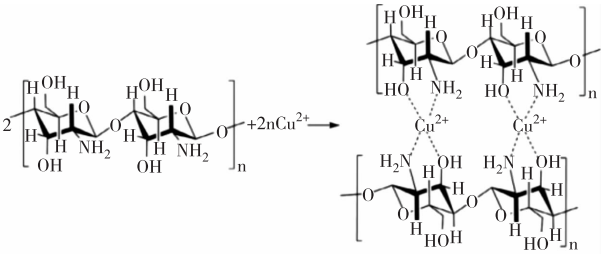


图 7 铜离子与 COS 分子间的螯合反应[25]

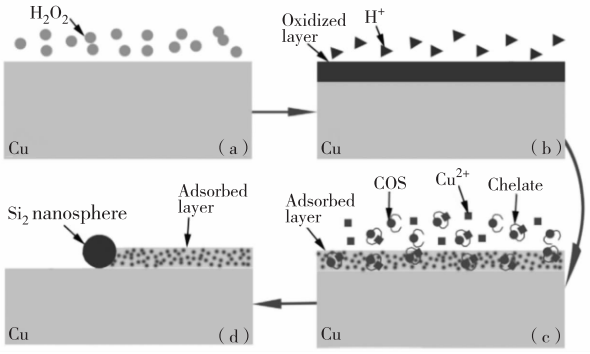


图 8 环保型抛光液 CMP 的机理[25]

3 含氨基功能基团络合剂

仅含有氨基的有机物可与铜离子发生络合反

应，形成稳定可溶的络合物，增加铜的去除速率。这类有机物有 FA/OII 型螯合剂、乙二胺等。

3.1　FA/OII 型螯合剂

文献[26-28]自主研发了 FA/OII 型螯合剂。FA/OII 型螯合剂为有机胺碱，与铜表面氧化物、氢氧化物发生反应，生成稳定可溶的络合物。FA/OII 可以螯合二价铜离子，形成非常稳定的水溶性紫蓝大分子络合物，加快化学反应，提高去除速率。FA/OII 型螯合剂的化学反应模型如图 9 所示。

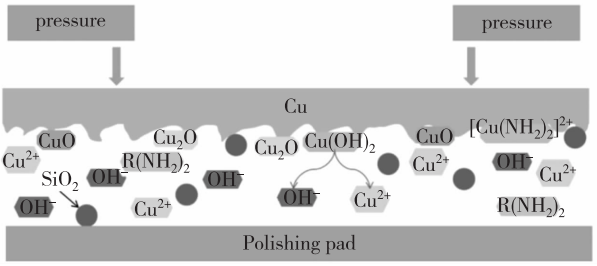


图 9　FA/OII 型螯合剂的化学反应模型[27]

当在 FA/OII 螯合剂中加入十二烷基硫酸铵(ADS)后，静态腐蚀速率可达 44.2 nm/min，Ra 为 2.69 nm，去除速率保持在 400 nm/min。

FA/OII 螯合剂不仅可作为络合剂，在清洗液中也具有一定的清洗效果。文献[28]的研究表明，FA/OII 螯合剂可与铜发生络合反应，生成稳定可溶的络合物，使得吸附在表面的 SiO_2 随着氧化物或氢氧化物的脱落而脱离，达到清洗的效果。FA/OII 螯合剂去除化学吸附的 SiO_2 示意图如图 10 所示。

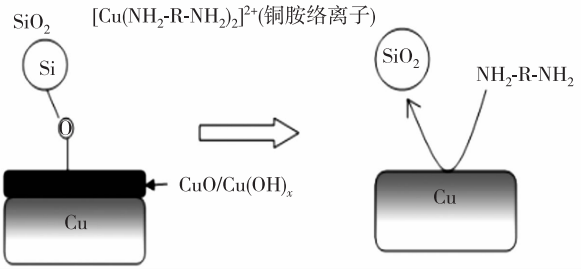


图 10　FA/OII 型螯合剂去除化学吸附的 SiO_2 示意图[28]

3.2　乙二胺

乙二胺($C_2H_8N_2$)是有类似氨的气味的强碱性物质[29]。Cu^{2+} 与乙二胺络合成铜胺络离子，抛光液中的铜胺络离子被带走，加快铜腐蚀的速度，使得去除速率增加，反应式为：

$$Cu^{2+}+2NH_2R(OH)NH_2\rightarrow[Cu(NH_2(OH)RNH_2)_2]^{2+} \quad (7)$$

通过乙二胺与铜的强络合作用、化学作用和机械作用的动态平衡，去除速率提高。最高去除速率可达到 850.4 nm/min，抛光后表面接近于超精表面。

4　含铵根离子与草酸根离子功能基团络合剂

氨基和草酸均可与铜络合，使得铜反应加快。文献[30]研究了中性 pH 条件下两种螯合化合物(草酸铵和草酸)在有、无过氧化氢时对铜表面溶解及形貌的影响。有草酸铵时，铜膜层变薄，去除速率为 780～820 nm/min。原因是 H_2O_2 会导致产生更多的 Cu^{2+}，从而形成更多的草酸铜。H_2O_2 会增加表面氧化铜种类的浓度，驱动氨络合反应。草酸盐和铵根离子对铜的溶解过程是同时、独立进行的。各类络合剂的特性如表 1 所示。

表 1　各类络合剂的特性

络合剂名称	抛光液组分配比	pH 值	去除速率/(nm·min^{-1})
五倍子酸[11]	1.12 mol/L(H_2O_2)＋3w(氧化铈)＋0.03 mol/L(五倍子酸)	7	560
柠檬酸[13]	3φ(H_2O_2)＋3w(硅胶)＋0.03 mol/L(柠檬酸)	4	650
酒石酸[14]	5w(H_2O_2)＋5w(硅胶)＋0.13 mol/L(酒石酸)	3	915
碳酸胍[15]	0.15w(H_2O_2)＋40 mmol/L(碳酸胍)	9	1 600
二羧酸[17]	5w(H_2O_2)＋3w(硅胶)＋0.13 mol/L(二羧酸)	3	3 000(草酸) 2 000(丙二酸)
甘氨酸[19]	8w(甘氨酸)	10.2	3 500
L-谷氨酸[21]	5w(H_2O_2)＋1w(硅胶)＋0.5w(L-谷氨酸)	3～3.5	550
精氨酸[22]	2φ(H_2O_2)＋1w(精氨酸)	9.2～11.6	600

续表

络合剂名称	抛光液组分配比	pH 值	去除速率/(nm·min^{-1})
EDTA[23]	8w(H_2O_2)＋2w(硅胶)＋0.5w(EDTA)＋1.5w(甘氨酸)＋500×10^{-6}(BTA)	3.6	520
Trilon®P[24]	1.0%(H_2O_2)＋0.1%(硅胶)＋1% Trilon®P＋	6	198.8
	30 m mol/L(TAZ)＋1%(Trilon®P)		660
COS[25]	6w(H_2O_2)＋DIW＋8w(COS)	5	-
FA/OⅡ型络合剂[27]	H_2O_2＋硅胶＋ADS＋5w(FA/OⅡ)	9	552.3
乙二胺[29]	15φ(H_2O_2)＋45φ(硅胶)＋4.0w(乙二胺)	10.5～13	850.8
草酸氨[30]	草酸氨＋H_2O_2	7	780～820

从表 1 可以看出，不同络合剂的具体使用用量的差别较大，最优值差别也较大。柠檬酸单独作用时，去除速率较高，可达到 3 500 nm/min。Trilon® P 单独作用时，去除速率较低，只有 198.8 nm/min，但与 TAZ 共同作用时，速率上升至 660 nm/min。其他络合剂的去除速率为 500 nm/min 左右。COS 为环境友好型材料，单独作用时，可得到较好的表面质量。

5 结 论

铜 CMP 工艺过程复杂，抛光效果取决于各种因素。工艺中的重要因素为 CMP 抛光液的化学成分。研究普遍认为，在抛光液中加入不同试剂可实现高效的铜 CMP 工艺。抛光液中的重要因素为络合剂，可加快络合反应速率，避免不溶性的铜化合物生成并淀积在晶圆表面。从上述各类络合剂的特性分析可知，络合剂的选择需综合考虑适合的材料去除速率和低的腐蚀速率。随着特征尺寸进一步减小，新型环境友好型阻挡层材料的引入、不同材料的去除速率选择，以及缺陷的控制和机理研究都是未来的研究重点。

参 考 文 献：

[1] KRISHNAN M, NALASKOWSKI J W, COOK L M. Chemical mechanical planarization: slurry chemistry, materials, and mechanisms [J]. Chem Rev, 2010, 110(1): 178-204.

[2] GUO X G, WANG X L, JIN Z J, et al. Atomistic mechanisms of Cu CMP in aqueous H_2O_2: molecular dynamics simulations using ReaxFF reactive force field [J]. Comput Mater Sci, 2018, 115: 476-482.

[3] LI Y L, LIU Y L, WANG C W, et al. Role of dispersant agent on scratch reduction during copper barrier chemical mechanical planarization [J]. ECS J Sol Sta Sci & Technol, 2018, 7(6): 317-322.

[4] ZHOU J K, WANG J C, NIU X H, et al. Chemical interactions and mechanisms of different pH regulators on copper and cobalt removal rate of copper film CMP for GLSI [J]. ECS J Sol Sta Sci & Technol, 2019, 8(2): 99-105.

[5] YOO Y, MOON S, JANG Y, et al. A comprehensive investigation of depth filter functionality for a colloidal silica slurry used for semiconductor manufacturing process [J]. IEEE Trans Semicond Manufact, 2018, 32(1): 134-137.

[6] YADAV K, BISEN J C, VICTORIA S N, et al. Sodium hypochlorite as an oxidizing agent in silica based ruthenium chemical mechanical planarization slurry [J]. Microelec Engineer, 2017, 180: 96-100.

[7] RYU H Y, CHO B J, YERRIBOINA N R, et al. Selection and optimization of corrosion inhibitors for improved Cu CMP and post-Cu CMP cleaning [J]. ECS J Sol Sta Sci & Technol, 2019, 8(5): 3058-3062.

[8] 季军，何平，潘国峰，等. CMP 工艺对 Co/Cu 去除速率及速率选择比的影响研究 [J]. 微电子学，2018，48(5)：699-704.

[9] 王庆伟，周建伟，王辰伟，等. 高碘酸钾和双氧水对 Cu，Ru 和 TaN 去除速率影响的对比 [J]. 微纳电子技术，2018，55(11)：849-854.

[10] 刘俊杰，刘玉岭，牛新环，等. 新型 Cu/Ti/SiO_2 碱性精抛液对 TSV 碟形坑和塌边的修正 [J]. 稀有金属，2017，41(12)：1359-1368.

[11] KIM Y J, KANG M C, KWON O J, et al. Gallic acid as a complexing agent for copper chemical mechanical polishing slurries at neutral pH [J]. Jpn J Appl Phys, 2011, 50(5): 056501-1 - 056501-4.

[12] GORANTLA V R K, ASSIONGBON K A, BABU S V, et al. Citric acid as a complexing agent in CMP of copper investigation of surface reactions using

impedance spectroscopy [J]. J Electrochem Soc, 2005, 152(5): G404-G410.

[13] HYUNSEOP L. Effect of citric acid in Cu chemical mechanical planarization slurry on frictional characteristics and step height reduction of Cu pattern [J]. Tribol & Lubric, 2018, 34 (6): 226-234.

[14] JANJAM S V S B, PEDDETI S, ROY D, et al. Tartaric acid as a complexing agent for selective removal of tantalum and copper in CMP [J]. Electrochem & Sol Sta Lett, 2008, 11 (12): H327-H330.

[15] WANG O W, ZHOU J W, WANG C W, et al. Controlling the removal rate selectivity of ruthenium to copper during CMP by using guanidine carbonate and 1, 2, 4-Triazole [J]. ECS J Sol Sta Sci & Technol, 2018, 7(10): 567-574.

[16] 杜义琛，王辰伟，周建伟，等. KIO_4 抛光液中盐酸胍对铜钌 CMP 的影响 [J]. 微电子学，2018，48(2)：280-284.

[17] RAMAKRISHNAN S, JANJAM S V S B, PATRI U B, et al. Comparison of dicarboxylic acids as complexing agents for abrasive-free chemical mechanical planarization of copper [J]. Microelec Engineer, 2007, 84(1): 80-86.

[18] GORANTLA R K V, MATIJEVI E, BABU S V. Amino acids as complexing agents in chemical-mechanical planarization of copper [J]. Chem Mater, 2005, 17(8): 2076-2080.

[19] JANG S, JEONG H, YUH M, et al. Effect of glycine on copper CMP [J]. Int J Precis Engineer & Manufact Green Technol, 2016, 3(2): 155-159.

[20] YAN C Q, LIU Y L, ZHANG J, et al. Synergistic effect of glycine and BTA on step height reduction efficiency after copper CMP in weakly alkaline slurry [J]. ECS J Sol Sta Sci & Technol, 2017, 6(1): 1-6.

[21] SELVAM N V, SRINIVASAN R. Electrochemical characterization of copper chemical mechanical polishing in L-glutamic acid - hydrogen peroxide-based slurries [J]. J Sol Sta Electrochem, 2011, 15 (4): 837-844.

[22] MOGANTY S S, SRINIVASAN R. The role of arginine as a complexing agent in copper CMP [J]. MRS Proceed, 2006, 914: 12-13.

[23] WANG N, PAN G S, LIU Y. Synergistic roles of mixed inhibitors and the application of mixed complexing ligands in copper chemical mechanical polishing [J]. Microelec Engineer, 2011, 88 (11): 3372-3374.

[24] JIANG L, LAN Y Q, HE Y Y, et al. Functions of Trilon® P as a polyamine in copper chemical mechanical polishing [J]. Appl Surface Sci, 2014, 288: 265-274.

[25] ZHANG Z Y, CUI J F, ZHANG J B, et al. Environment friendly chemical mechanical polishing of copper [J]. Appl Surface Sci, 2019, 467: 5-11.

[26] 贾英茜，牛新环，腰彩红. 铜 CMP 碱性抛光液中氧化剂的电化学行为研究 [J]. 微电子学，2017，47(4)：586-589.

[27] ZHANG K, NIU X H, WANG C W, et al. Effect of chelating agent and ammonium dodecyl sulfate on the interfacial behavior of copper CMP for GLSI [J]. ECS J Sol Sta Sci & Technol, 2018, 7(9): 509-517.

[28] 杨柳，刘玉岭，檀柏梅，等. 新型碱性清洗液对 CMP 后残留 SiO_2 颗粒的去除 [J]. 电子元件与材料，2018，37(5)：95-99.

[29] 李庆忠，于秀坤，苏建修，等. 有机碱对铜 CMP 材料去除率作用的实验研究 [J]. 机械科学与技术，2008，27(6)：812-814.

[30] STEWART K L, KELEHER J J, GEWIRTH A A. Synergy of ammonium oxalate and hydrogen peroxide on the dissolution of copper at neutral pH [J]. J Electrochem Soc, 2009, 156(7): 595-600.

·半导体器件与工艺·

NC-FinFET 器件的仿真研究

杨荣强[1]，钱雅倩[1]，粟雅娟[1,2]，王颖倩[3]，陈　睿[1,2]，陈　颖[1,2]，盖天洋[1,2]，郭　成[1,2]，
屈　通[1,2]，韦亚一[1,2]
（1. 中国科学院大学，北京 100049；2. 中国科学院 微电子研究所，北京 100029；
3. 中芯国际集成电路制造有限公司，上海 201203）

摘　要： 通过结合 BSIMCMG 模型与负电容（NC）模型，构建了 NC-FinFET 模型。基于所建立的 NC-FinFET 模型，推导分析了其等效电容模型。利用 Hspice 对 NC-FinFET 的器件特性进行了系统仿真与分析。结果表明，与 FinFET 相比，NC-FinFET 在电学特性上有更加明显的优势，亚阈值摆幅更低。此外，分析了铁电材料的厚度对亚阈值摆幅及栅压放大倍数的影响，以及衬偏电压对 NC-FinFET 性能的影响，为在 NC-FinFET 中降低功耗和抑制寄生效应提供了理论依据和解决思路。

关键词： NC-FinFET；负电容；亚阈值摆幅；BSIMCMG 模型；衬偏效应
中图分类号：TN432　　**文献标识码：**A　　**文章编号：**1004-3365(2020)03-0410-06
DOI：10.13911/j.cnki.1004-3365.190367

Simulation Research on NC-FinFET Device

YANG Rongqiang[1], QIAN Yaqian[1], SU Yajuan[1,2], WANG Yingqian[3], CHEN Rui[1,2], CHEN Ying[1,2], GE Tianyang[1,2], GUO Cheng[1,2], QU Tong[1,2], WEI Yayi[1,2]
(1. *Univ. of Chinese Academy of Sciences, Beijing* 100049, *P. R. China*; 2. *Institute of Microelec., Chinese Academy of Sciences, Beijing* 100029, *P. R. China*; 3. *Semiconductor Manufacturing International Corporation, Shanghai* 201203, *P. R. China*)

Abstract: The NC-FinFET model was constructed by combining the BSIMCMG model with the negative capacitance (NC) model. Based on the established NC-FinFET model, the equivalent capacitance model was analyzed. The device characteristics of NC-FinFET were simulated and analyzed by Hspice. The results showed that NC-FinFET had obvious advantages of characteristics compared with FinFET, and its subthreshold swing was lower. In addition, the influence of the thickness of ferroelectric material on subthreshold swing and gate voltage amplification was analyzed, and the influence of substrate-source voltage on the performance of NC-FinFET was analyzed, which provided a theoretical basis and solution for NC-FinFET to reduce power consumption and suppress parasitic effects.

Key words: NC-FinFET; negative capacitance; subthreshold swing; BSIMCMG model; substrate-biased effect

0　引　言

在室温下，传统 MOSFET 的亚阈值摆幅（SS）始终不能小于 60 mV/dec[1]。为了解决这一瓶颈问题，学者们提出了新的器件结构，如碰撞电离晶体管（I-MOS FET）[2]、隧穿晶体管（TFET）[3]、纳米电动晶体管（NEMFET）[4]和负电容晶体管 NCFET[5-11]

收稿日期：2019-06-21；**定稿日期：**2019-07-25
作者简介：杨荣强（1994—），男（汉族），贵州人，硕士研究生，研究方向为 SRAM 性能与可靠性研究。

等。对于 I-MOS FET 和 TFET，通过将载流子的运输机制从漂移扩散机制分别变为雪崩倍增机制[3]和带带隧穿机制[4]，使得 SS 在室温下小于 60 mV/dec。对于 NEMFET 和 NCFET，通过调节体效应系数 m 小于 1，使得 SS 在室温下小于 60 mV/dec[6]。这几种新结构中，只有 NCFET 没有改变 MOSFET 的基本物理机制，仍然采用热激发机制[5]。NCFET 结构[5]于 2008 年首次提出。采用合适配比的铁电层，淀积在栅介质层上，当铁电材料电容为负值时，即铁电材料的 P-E 或 Q-V 曲线的斜率为负时，内部形成一个正反馈[12]，相当于在栅电压与表面势之间引入了一个升压变压器，减轻了器件内部的电压不匹配，使得室温下 SS 小于 60 mV/dec。SS 越小，器件的开关特性和低功耗特性越好，因此铁电材料的选取相当重要。NCFET 中，通常采用的铁电材料是钙钛矿铁电材料（Perovskite Ferroelectrics）[5-11]，如 $Pb(Zr,Ti)O_3$，基于 Hf 和 Zr 的氧化物，$BaFeO_3$，$BaTiO_3$，SBT（Strontium Bismuth Tantalite），$BiFeO_3$，HfSiO 等。

NCFET 的优势显而易见，但短沟道效应的负面影响也不容忽视。2015 年，一种新器件结构由胡正明教授和 S. Sayeef 教授提出，被称为 NC-FinFET 结构[14]。这种结构兼具 SS 小于 60 mV/dec 和短沟道效应可有效抑制的双重优势。

本文采用 Hspice 对构建的模型进行仿真，对比分析了 NC-FinFET 与 FinFET 的电学特性。分析了铁电材料厚度（t_{FE}）对 NC-FinFET 电学特性的影响。最后，分析了衬偏电压（V_{sb}）对 NC-FinFET 电学特性的影响。

1　器件结构

NC-FinFET 的 3D 视图如图 1 所示。

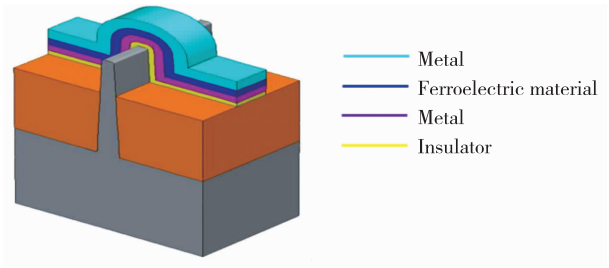


图 1　NC-FinFET 的 3D 视图

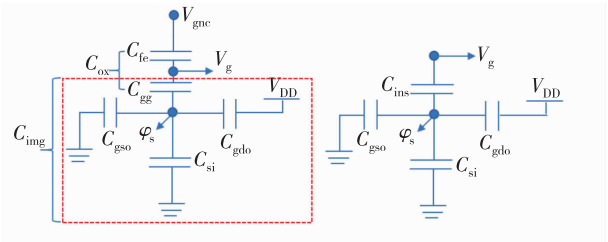
NC-FinFET 是传统 FinFET 的改进型，不仅能很大程度减小 SS，还能使 I_{on} 增大，I_{off} 减小，操作电压降低，从而大幅减小功耗。对于 NC-FinFET，铁电材料的选取相当重要，原因是 HfSiO 在晶体状态下具有良好的铁电特性和热动稳定性，能直接与硅、二氧化硅良好接触。因此，本文采用 HfSiO 作为铁电材料层。典型的铁电系数为[13]：α= −8.65E8 m/F，β=1.92E10 $m^5/(F\cdot C^2)$，γ=0 $m^9/(F\cdot C^4)$。

2　模型推导

文献[15]对 MOSFET 的等效电容模型进行了推导分析。文献[16]对 FinFET 的等效电容模型进行了推导分析，并未考虑文献[17-18]中出现的寄生电容。本文研究了 NC-FinFET 的静态特性，模型推导分析内容主要是亚阈值摆幅、栅压放大现象，因此，对 FinFET 的等效电容模型进行简化。根据文献[16]，C_{ds} 为源漏之间的电容，是一个很小的值，本文忽略不计，将 SOI 技术改为体硅技术，只考虑各层的主体电容，简化后的 FinFET 等效电容模型与 MOSFET 等效电容模型近似相同。

简化 MOSFET 等效电容模型和 FinFET 等效电容模型后，得到的 NC-FinFET 等效电容模型如图 2 所示。C_{img} 是由 FinFET 栅氧化层电容 C_{gg}、栅源重叠电容 C_{gso}、栅漏重叠电容 C_{gdo} 以及体电容 C_{si} 组成。C_{fe} 与 C_{gg} 的串联电容 C_{ox} 为内栅与外栅氧化层电容的总和。V_{gnc} 为施加在外部金属栅上的电压。V_g 为施加在内部金属栅，即施加在 FinFET 栅上的电压。φ_s 为沟道表面势。

各层主体部分的电容值有很大不同，如 C_{gg} 和 C_{ins} 大不一样。通过上述简化，可近似用 MOSFET 的等效电容模型代替 FinFET 进行定性分析。等效电容结构被简化为虚线框中的 FinFET 电容 C_{img} 和铁电电容 C_{fe} 的串联组合。



（a）NC-FinFET 模型　　（b）MOSFET 模型

图 2　等效电容模型

如图 2 所示，当衬底和源极均接地，漏极接 V_{DD} 时，SS(定义为亚阈值区域内，I_d 每改变十倍而引起的 V_{gnc} 变化量)为：

$$SS=\frac{\partial V_{gnc}}{\partial \ln I_d}=\frac{\partial V_{gnc}}{\partial \varphi_s}\times\frac{\partial \varphi_s}{\partial \ln I_d}=m\times\frac{\partial \varphi_s}{\partial \ln I_d} \tag{1}$$

由电荷守恒定律可知，体效应系数 m 为：

$$m=\frac{\partial V_{gnc}}{\partial \varphi_s}=(1+\frac{C_{img}}{C_{fe}})\times(1+\frac{C_{gso}+C_{gdo}+C_{si}}{C_{gg}}) \tag{2}$$

由式(2)可知，只要 C_{fe} 小于 0 且 $|C_{fe}|$ 比 C_{img} 略大，就能使得 m 的值无限接近于 0。因此，可根据式(1)和式(2)进一步优化 SS，使其小于 60 mV/dec。

V_{gnc} 与 φ_s 的关系为：

$$\varphi_s=\frac{C_{ox}V_{gnc}+C_{gdo}V_{DD}}{C_{gso}+C_{gdo}+C_{si}+C_{ox}} \tag{3}$$

当 V_{gnc} 等于 0 且 C_{ox} 为负值，满足 $|C_{ox}|>C_{gso}+C_{gso}+C_{si}$ 时，φ_s 为负值。

通常情况下，φ_s 为负值时，能有效地抑制漏电。当 V_{gnc} 处于正值范围内，且满足 $C_{ox}V_{gnc}+C_{gdo}V_{DD}>0$ 和 $|C_{ox}|>C_{gso}+C_{gso}+C_{si}$ 时，就能解释仿真中 φ_s 仍为负值的现象。这种现象在文章[19]中得以验证，在文章[20-21]实验中也出现过。

若将 FinFET 的电容简化为 C_{img}，则 NC-FinFET 的等效输入电容为：

$$C_{eq}=\frac{C_{img}}{1+\frac{C_{img}}{C_{fe}}} \tag{4}$$

使用 FinFET 的 C_{img} 典型值(近似常数值)时，我们发现，随着 t_{FE} 的增加(负电容的绝对值减小)，C_{eq} 将呈现增加趋势，从而对电路的性能产生重大影响。

为了改善器件的性能，实现在低电压下获得足够大的导通电流，需要 V_g 能通过 V_{gnc} 进行放大。铁电材料稳定时，可以提供这样的条件。

根据图 2 及电荷守恒定律，V_g 与 V_{gnc} 的关系为：

$$V_g=\frac{V_{gnc}C_{fe}+\varphi_s\times C_{gg}}{C_{fe}+C_{gg}} \tag{5}$$

将式(3)带入式(5)，可得：

$$V_g=\frac{V_{gnc}C_{fe}+\frac{C_{ox}V_{gnc}+C_{gdo}V_{DD}}{C_{gso}+C_{gdo}+C_{si}+C_{ox}}\times C_{gg}}{C_{fe}+C_{gg}} \tag{6}$$

因此，可以直接通过 V_g 与 V_{gnc} 的比率而不是差分，来表征内外栅压的放大率，即表示为：$r_m=V_g/V_{gnc}$。

3 仿真结果与分析

3.1 仿真流程图

NC-FinFET 仿真流程图如图 3 所示[22]。通过结合 BSIMCMG 模型与铁电模型，采用 Hspice 软件，修改 BSIMCMG 和铁电材料中的参数，进行仿真。

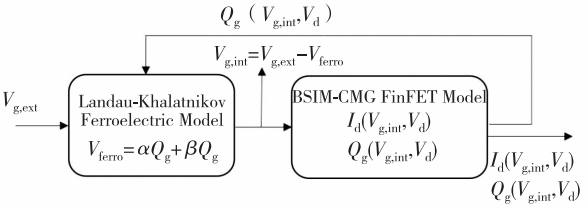


图 3 仿真流程图

3.2 I_d-V_{gnc} 传输特性曲线

不同铁电材料厚度下 NC-FinFET 的 I_d-V_{gnc} 传输特性曲线如图 4 所示。与传统 FinFET 相比，NC-FinFET 的 I_{on} 有很大的提升，同时 I_{off} 有效降低。对于 NC-FinFET，I_{on}/I_{off} 的比值随着 t_{FE} 的增加而增大。为了保证功耗和延时同时满足要求，NC-FinFET 的等效输入电容要尽可能小，所以对 t_{FE} 存在一定限制，需要保证 $|C_{fe}|$ 比 C_{img} 大。

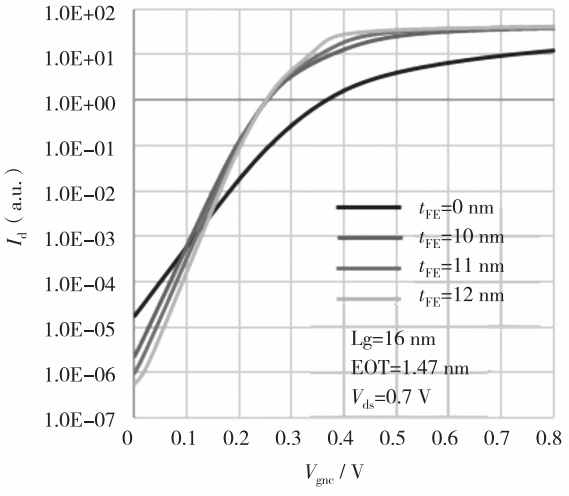


图 4 NC-FinFET 电流电压传输特性曲线

3.3 栅压放大现象

NC-FinFET 外栅放大的仿真结果如图 5 所示。当 V_{gnc} 较低时($V_{gnc}<0.3$ V)，V_g 的变化缓慢，表明供电电压较低时，漏电流被有效抑制。当 V_{gnc} 较大时($V_{gnc}<0.3$ V)，曲线的斜率开始增大。当 V_{gnc} 增

大到 0.6 V 后，V_g 的变化更明显，超过了 1.2 V，即放大了 2～3 倍。当 V_{gnc} 在一个有限的正值范围内时，V_g 的值为负值。这与前面模型的理论推导分析结果吻合。

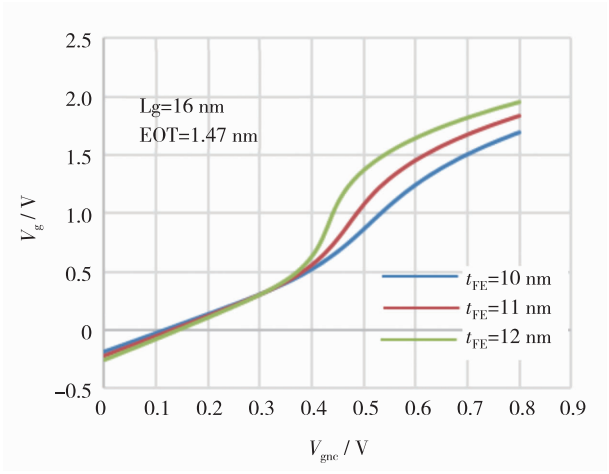


图 5　NC-FinFET 外栅放大的仿真结果

3.4　I_{on}、I_{off}和 SS 的提升

四种不同铁电厚度下 NC-FinFET 的 I_{on} 和 I_{off} 的仿真结果如图 6 所示。四种不同铁电厚度下 NC-FinFET 的 SS 的仿真结果如图 7 所示。t_{FE} 等于 0 时，表示为 FinFET。

可以看出，随着 t_{FE} 增加，I_{on} 明显提升，I_{off} 明显下降，表明 NC-FinFET 的驱动能力更好，且对 I_{off} 起到很好的抑制作用，开关电流比 I_{on}/I_{off} 提高了 2～3 个数量级，大幅减小了泄漏功耗。SS 降低了 20～30 mV/dec，随着 t_{FE} 增加，SS 继续减小。这表明当操作电压很低时，NC-FinFET 也能良好地工作，且功耗随之降低。

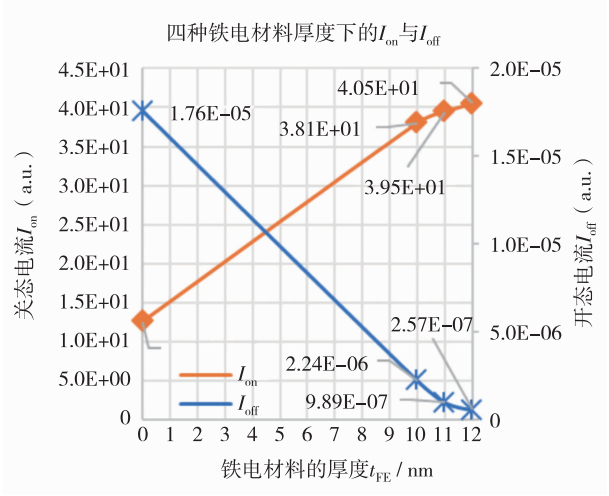


图 6　I_{on} 和 I_{off} 的仿真结果

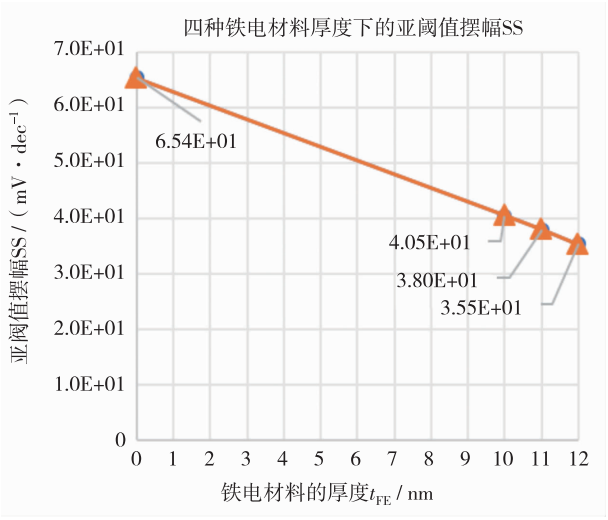


图 7　SS 的仿真结果

3.5　V_{sb}的影响

t_{FE}为 10 nm 时，衬偏效应下 NC-FinFET 的仿真结果如图 8 所示。V_{sb}为 0 V 时，表示未加衬偏电压 V_{sb}。

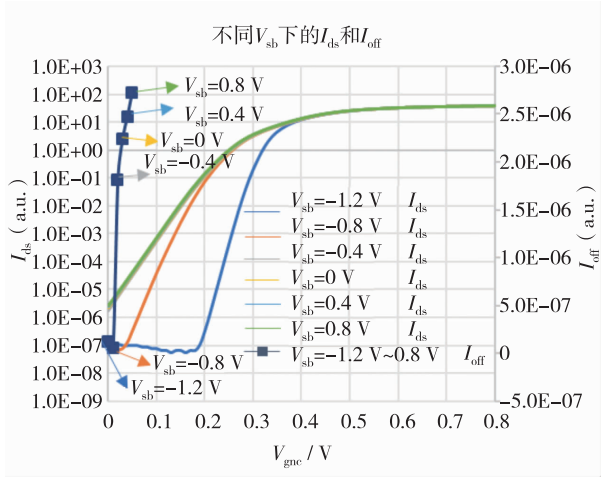


图 8　衬偏效应下 NC-FinFET 的仿真结果

可以看出，当 V_{sb}为正值时，I_{off}增大，I_{on}也略微增大，此时，对器件来说很不利。当 V_{sb}为负值时，I_{off}减少，I_{on}略微增大。在 V_{sb}等于−0.8 V 时，I_{off}比 0 V 时降低了约 2 个数量级。但是，当 V_{sb}为−1.2 V 时，I_{off}反而呈现上升趋势。原因是此时的 V_{sb}的负值过大，造成了反向的漏电流。因此，V_{sb}的选取相当重要，可以不通过继续增大 t_{FE}来减少 I_{off}，即对于一个成品 NC-FinFET，不需要重新经过设计工艺等复杂的步骤，而只需在源与衬底之间加上一个合适的负电压，使得 I_{off}继续降低。

衬偏效应下 NC-FinFET 抑制 DIBL（Drain Induced Barrier Lowering）的仿真结果如图 9 所示。

可以看出，t_{FE}为 10 nm 时，负衬偏效应很好地抑制了 DIBL 效应。在衬偏电压为－0.8 V 时，所施加的栅压更小，DIBL 效应被明显抑制。在未加衬偏电压时，也抑制了 DIBL 效应。原因是 NC-FinFET 的铁电材料有负电容特性，使得所加电压与电流的变化趋势相反，形成了负电阻现象。当加上－0.8 V 的衬偏电压时，I_{off}减小，I_{on}略微增大，负电阻效应增强，达到显著抑制 DIBL 的效果。当操作电压很低时，V_{gnc}更低，NC-FinFET 的 DIBL 抑制效果更好。

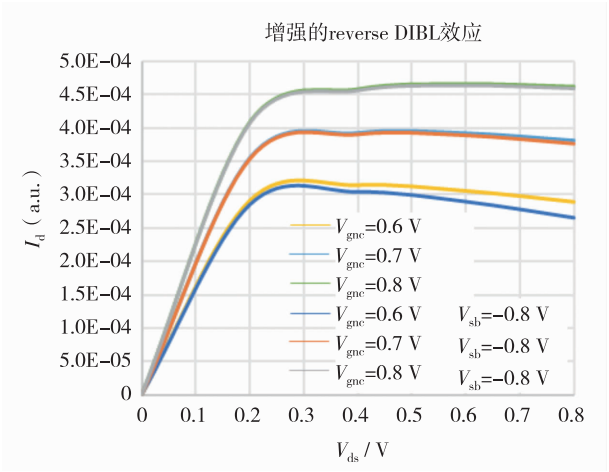


图 9 衬偏效应下 NC-FinFET 抑制 DIBL 的仿真结果

4 结 论

本文通过 Hspice 对 NC-FinFET 器件电学特性进行了系统仿真与分析。仿真结果表明，与 FinFET 相比，NC-FinFET 在电学特性方面具有明显优势。本文 NC-FinFET 的开态电流 I_{on}更优，关态电流 I_{off}更小，开关比更大，驱动能力更好，漏电更小，SS 降低了 20～30 mV/dec。这为低功耗特性提供了良好的条件。I_d-V_{gnc}的斜率与 t_{FE}成正比，即 t_{FE}越大，SS 越小，栅压的放大倍数随 t_{FE}增加而增大。通过设置合适的负衬偏电压 V_{sb}，降低了 NC-FinFET 的 I_{off}，抑制了 DIBL 效应。本文研究结果为 NC-FINFET 的功耗降低和寄生效应抑制提供了理论依据和解决思路。

致 谢：

感谢中国科学院微电子所 EUV 光刻仿真联合实验室提供的支持！感谢中芯国际集成电路有限公司提供的支持！

参 考 文 献：

[1] ZHIRNOV V V, CAVIN R K, HUTCHBY J A, et al. Limits to binary logic switch scaling — a gedanken model [J]. Proceed IEEE, 2004, 91(11): 1934-1939.

[2] GOPALAKRISHNAN K, GRIFFIN P B, PLUMMER J D. I-MOS: a novel semiconductor device with a subthreshold slope lower than kT/q [C] // IEEE IEDM. San Francisco, CA, USA. 1998: 289-292.

[3] IONESCU A M , RIEL H. Tunnel field-effect transistors as energy-efficient electronic switches [J]. Nature, 2011, 479(7373): 329-337.

[4] KAM H, LEE D T, HOWE R T, et al. A new nano-electro-mechanical field effect transistor (NEMFET) design for low-power electronics [C] // IEEE IEDM. San Francisco, CA, USA. 2006: 1-4.

[5] SALAHUDDIN S, DATTA S. Use of negative capacitance to provide voltage amplification for low power nanoscale devices [J]. Nano Lett, 2008, 8(2): 405-410.

[6] PAHWA G, DUTTA T, AGARWAL A, et al. Compact model for ferroelectric negative capacitance transistor with MFIS structure [J]. IEEE Trans Elec Dev, 2017, 64(3): 1366-1374.

[7] LIN C I, KHAN A I, SALAHUDDIN S, et al. Effects of the variation of ferroelectric properties on negative capacitance FET characteristics [J]. IEEE Trans Elec Dev, 2016, 63(5): 2197-2199.

[8] JIMENEZ D, MIRANDA E, GODOY A. Analytic model for the surface potential and drain current in negative capacitance field-effect transistors [J]. IEEE Trans Elec Dev, 2010, 57(10): 2405-2409.

[9] LEE M H, FAN S T, TANG C H, et al. Physical thickness 1. x nm ferroelectric $HfZrO_x$ negative capacitance FETs [C] // IEEE IEDM. San Francisco, CA, USA. 2017: 306-308.

[10] O'NEILL A, APPLEBY D, PONON N, et al. Towards steep slope MOSFETs using ferroelectric negative capacitance [C] // IEEE Int Conf Sol Sta & Integr Circ Technol. Guilin, China. 2014. 1-4.

[11] JIANG C, LIANG R, XU J. Investigation of negative capacitance gate-all-around tunnel FETs combining numerical simulation and analytical modeling [J]. IEEE Trans Nanotechnol, 2016, 16(1): 58-67.

[12] FEYNMAN R P, LEIGHTON R B, SANDS M. The feynman lectures on physics: Vol. I [J]. Physics Bulletin, 1965, 17(10): 367-367.

[13] WAHAB M A, ALAM M A. Matlab: negative capacitance (NC) FET model [EB/OL]. https://nanohub.org/resources/23185, 2015.

[14] HU C M, SALAHUDDIN S, LIN C I, et al. 0.2 V adiabatic NC-FinFET with 0.6 mA/μm I_{ON} and 0.1 nA/μm I_{OFF} [C] // IEEE Dev Res Conf. San Francisco, CA, USA. 2015: 39-40.

[15] WARD D E, DUTTON R W. A charge-oriented model for MOS transistor capacitances [J]. IEEE J Sol Sta Circ, 1978, 13(5): 703-708.

[16] FASARAKIS N, TSORMPATZOGLOU A, TASSIS D H, et al. Compact capacitance model of undoped or lightly doped ultra-scaled triple-gate FinFETs [J]. IEEE Trans Elec Dev, 2012, 59(12): 3306-3312.

[17] CHOE K, AN T Y, KIM S Y. Accurate fringe capacitance model considering RSD and metal contact for realistic FinFETs and circuit performance simulation [C] // IEEE Int Conf Simulat Semicond Process & Dev. San Francisco, CA, USA. 2014: 29-31.

[18] SALAS S, TINOCO J C, MARTINEZ-LOPEZ A G, et al. Fringing gate capacitance model for triple-gate FinFET [C] // IEEE Silicon Monolit Integr Circ RF Syst. San Francisco, CA, USA. 2013: 1-3.

[19] PAHWA G, DUTTA T, AGARWAL A, et al. Analysis and compact modeling of negative capacitance transistor with high on-current and negative output differential resistance—Part I: model description [J]. IEEE Trans Elec Dev, 2016, 63(12): 4981-4985.

[20] JO J, SHIN C. Experimental observation of voltage amplification using negative capacitance for sub-60 mV/decade CMOS devices [J]. Current Appl Phys, 2015, 15(3): 352-355.

[21] RUSU A, SALVATORE G A, JIMENEZ D, et al. Metal-ferroelectric-metal-oxide-semiconductor field effect transistor with sub-60 mV/decade subthreshold swing and internal voltage amplification [C] // IEEE IEDM. San Francisco, CA, USA. 2011: 1-4.

[22] KHANDELWAL S, DUARTE J P, KHAN A I, et al. Impact of parasitic capacitance and ferroelectric parameters on negative capacitance FinFET characteristics [J]. IEEE Elec Dev Lett, 2017, 38(1): 142-144.

功率 VDMOS 器件的 SEB 致 SEGR 效应研究

张小林[1]，严晓洁[2]，唐昭焕[3]
（1. 重庆中科战储电子有限公司，重庆 400060；2. 中国电子科技集团公司 第五十八研究所，江苏 无锡 214072；
3. 中国电子科技集团公司 第二十四研究所，重庆 400060）

摘 要： 功率 VDMOS 器件是航天器电源系统配套的核心元器件之一，在重粒子辐射下会发生单粒子烧毁(SEB)和单粒子栅穿(SEGR)效应，严重影响航天器的在轨安全运行。本文在深入分析其单粒子损伤机制及微观过程的基础上，发现了功率 VDMOS 器件在重粒子辐射下存在 SEBIGR 效应，并在 TCAD 软件和^{181}Ta 粒子辐射试验中进行了验证。引起该效应的物理机制是，重粒子触发寄生三极管，产生瞬时大电流，使得硅晶格温度升高，高温引起栅介质层本征击穿电压降低，继而触发 SEGR 效应。SEBIGR 效应的发现为深入分析功率 MOSFET 器件的单粒子辐射效应奠定了理论基础。

关键词： 功率 VDMOS 器件；单粒子烧毁；单粒子栅穿；SEBIGR 效应
中图分类号：TN432 **文献标识码：**A **文章编号：**1004-3365(2020)03-0416-05
DOI：10.13911/j.cnki.1004-3365.200064

Research on SEB Induced SEGR Effect of Power VDMOS Device

ZHANG Xiaolin[1], YAN Xiaojie[2], TANG Zhaohuan[3]
(1. *Chongqing Jonser Electronics Co., Ltd., Chongqing* 400060, *P. R. China*;
2. *No.* 58 *Research Institute, China Electronics Technology Group Corp., Wuxi, Jiangsu* 214072, *P. R. China*;
3. *The* 24*th Research Institute of China Electronics Technology Group Corp., Chongqing* 400060, *P. R. China*)

Abstract: Power VDMOS is one of the key devices in spacecraft power supply systems. Under the radiation of heavy particles, single event burnout (SEB) and single event gate-rupture (SEGR) effects will occur, which have a serious impact on the safe operation of spacecraft in orbit. Based on the deep analysis of the single event damage mechanism and micro process, it was discovered that there was a SEBIGR effect in power VDMOS under heavy particle radiation, which was verified by TCAD software and ^{181}Ta particle radiation test. The physical mechanism of the effect was that the temperature of the silicon lattice was increased by the instantaneous large current generated by the heavy particles triggering the parasitic bipolar transistor, and the intrinsic breakdown voltage of the gate dielectric layer was reduced by the high temperature, then the SEGR effect was triggered. The discovery of SEBIGR effect layed a theoretical foundation for the further analysis of the single particle radiation effect of power MOSFETs.

Key words: power VDMOS; single event burnout; single event gate-rupture; SEBIGR effect

收稿日期：2010-02-18；**定稿日期：**2020-03-19
基金项目：空间环境材料行为及评价技术重点实验室资助项目(61429100306)
作者简介：张小林(1963—)，男(汉族)，重庆长寿人，高级工程师，主要从事微电子学与固体电子学、二次集成电路产品的研制、开发及管理工作。

0　引　言

功率 VDMOS 器件是多子导电器件，沟道区由两次掺杂类型相反的杂质扩散产生的结深差形成。通过在器件栅极上加电控制沟道的通断，实现器件导通与关断的功能[1]。因此，功率 VDMOS 器件可以广泛用于星载二次 DC/DC 电源，实现电源系统中的功率转换，是卫星 DC/DC 电源中最核心的元器件之一。功率 VDMOS 器件工作于宇宙空间，会受到空间各种射线和粒子的辐射，触发单粒子烧毁(SEB)和单粒子栅穿(SEGR)效应[2-3]，从而引起卫星电子系统信号扰动，甚至失效。本文通过分析重粒子辐射下功率 VDMOS 器件 SEB 效应和 SEGR 效应的物理机制和微观过程，发现了功率 VDMOS 器件还存在 SEB 致 SEGR(SEBIGR)效应，从 TCAD 仿真和单粒子辐射试验两个方面对 SEBIGR 效应进行了复现和验证，并分析了其内在物理机制。

1　功率 VDMOS 的 SEBIGR 效应

1.1　功率 VDMOS 的 SEB 和 SEGR 效应

重粒子辐射功率 VDMOS 器件会引起 SEB 效应和 SEGR 效应发生。如图 1 所示，当重粒子由器件的阱(P-body)区入射时，在重粒子入射经迹约 0.5 μm 的圆柱体内产生大量的新生电子-空穴对，这些新产生的电子和空穴在外加漏极偏置电压产生的电场作用下发生分离并相向移动，当新产生的空穴在 P-body 区产生 0.7 V 的电势降落时，器件中寄生的 NPN 晶体管的发射结将发生正偏，集电结发生反偏，管子处于共基放大状态，寄生 NPN 晶体管被触发，发生 SEB 效应。寄生 NPN 晶体管产生的异常瞬时大电流使得硅晶格温度升高，严重时会导致器件被热烧毁[3-4]。

当重粒子由 VDMOS 器件的颈(neck)区入射时，新产生的空穴在漏极偏置电压形成的电场作用下将累积于栅介质层与硅的界面处，累积的空穴会在栅介质层中引起瞬时附加电场(E')。E' 与初始稳态电场(E_0)相互叠加，当 $E'+E_0$ 大于栅介质层的本征击穿电场(E_i)时，栅介质层被击穿，功率 VDMOS 器件的栅控制能力下降(I_{GSS} 变大)或完全失去控制能力(栅源或栅漏之间呈现电阻特性)，器件发生 SEGR 效应。由此可见，重粒子辐射下，SEB 和 SEGR 是功率 VDMOS 器件的两种主要失效模式[5, 6]。

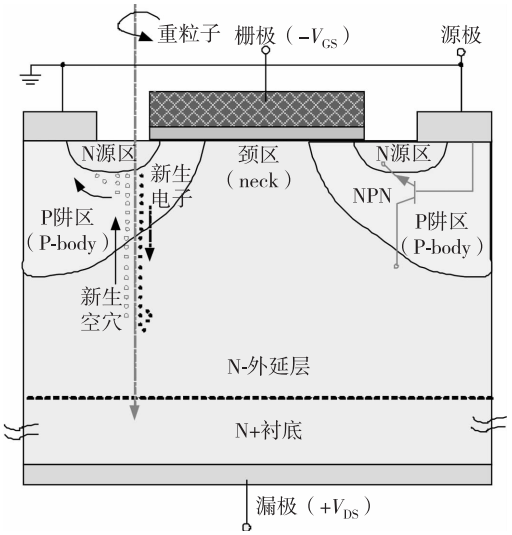


图 1　平面型功率 VDMOS 的器件结构剖面图

1.2　功率 VDMOS 的 SEBIGR 效应

功率 VDMOS 器件 SEB 效应的内在失效机制是硅晶格温度升高产生热烧毁，SEGR 效应的内在失效机制是栅介质层中叠加了瞬时附加电场 E'。众所周知，栅介质层的击穿电压会随着温度的升高而下降。因此可以预计，功率 VDMOS 器件必然存在一种 SEBIGR 效应，即：当重粒子由 P-body 区中栅介质层附近的区域(源区或沟道区)入射时，新产生的空穴在 P-body 区中的移动首先引起 SEB 效应发生，SEB 效应触发寄生三极管产生瞬时大电流，使得硅晶格温度升高，高温引起栅介质层本征击穿电压降低，继而触发 SEGR 效应[6, 7]。SEGR 效应产生的瞬时大电流与 SEB 效应产生的瞬时大电流叠加，最终导致功率 VDMOS 器件被完全烧毁，本文把这种由 SEB 效应导致的 SEGR 效应定义为 SEBIGR 效应。

2　SEBIGR 效应的复现与验证

2.1　基于 TCAD 仿真的复现与验证

使用 TCAD 模拟仿真软件(Silvaco)构建一款 130 V 的 N 沟道 VDMOS 器件，图 2 所示为仿真器件的半元胞剖面结构图。其中，N+衬底电阻率为 0.015 Ω·cm，N-外延层磷掺杂浓度为 1.6E15 /cm^3，P-body 区硼注入剂量为 7E13 /cm^2，结深为 3.17 μm，源区磷注入剂量为 5E15 /cm^2，结深为 0.47 μm，栅介质层厚度为 50 nm。在 Atlas 仿真器

中定义重粒子参数：LET 值为 98 MeV·cm²/mg，且在重粒子的整个入射经迹上保持恒定，垂直入射，重粒子入射经迹半径为 0.05 μm。

当重粒子沿图 2 中经迹 A 垂直入射时，仿真得到如图 3 所示的器件漏源电流（I_{ds}）、栅源电流（I_{gs}）随重粒子入射时间（t）的关系曲线。当漏源偏置电压为 60 V 和 70 V 时，I_{ds} 和 I_{gs} 在重粒子入射的 5 ns 时间内存在变大现象，而后恢复正常，即没有发生 SEB 效应；当漏源偏置电压为 80 V 时，I_{ds} 和 I_{gs} 在 3.7 ns 时出现剧烈扰动，持续约 0.7 ns 后，器件完全被烧毁。

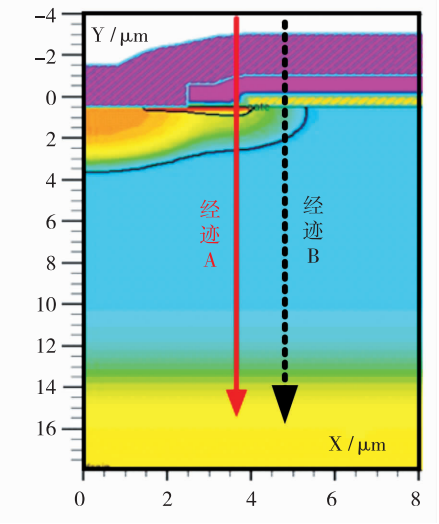


图 2　功率 VDMOS 器件半元胞的剖面结构图

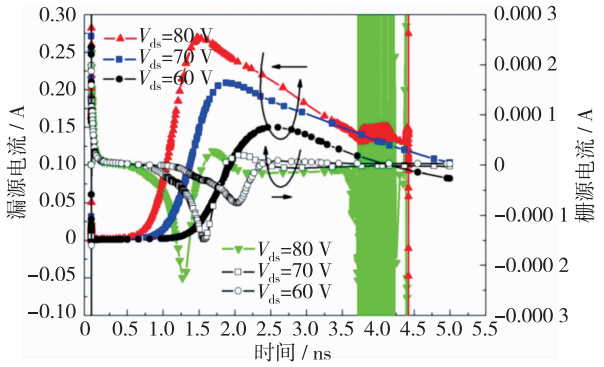


图 3　器件漏源和栅源电流与入射时间的关系曲线

图 4 所示为栅介质层附近（沟道区）晶格温度（T）与重粒子入射时间的关系曲线。当重粒子入射时间 t=3.7 ns 时，T 在稍微降低后又出现急剧上升，且超过 1 450 K。由此从侧面证明：重粒子入射后 I_{ds} 在 t=1.3 ns 时达到峰值（0.27 A），而后下降，在下降的 2 ns 时间内，T 继续升高，由 1 200 K 上升到约 1 370 K，从而使得栅介质层本征击穿电压降低，发生 SEGR 效应，最终在 SEB 和 SEGR 的综合作用下使得器件完全失效。由此可见，当重粒子沿器件的源区垂直入射时，发生了一种不同于 SEB 和 SEGR 效应的新效应，即 SEBIGR 效应。SEBIGR 效应与 SEB 效应相比，不仅有瞬时大电流产生的晶格热的作用机制，还有附加栅介质层被击穿后电流产生的附加晶格热的贡献。与 SEGR 效应相比，SEBIGR 效应没有栅介质层两端增加的附加电场的作用。

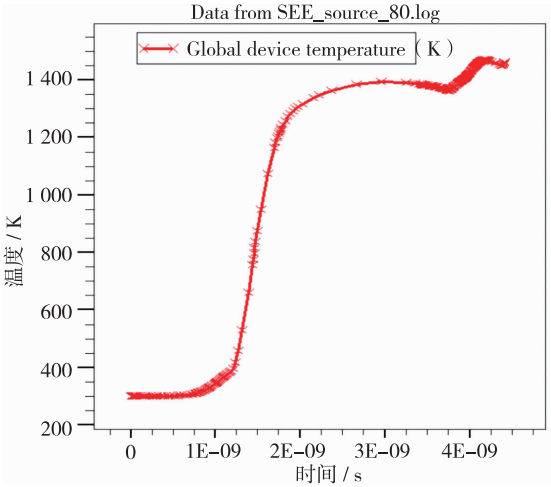


图 4　器件沟道区晶格温度与入射时间的关系曲线

2.2　基于单粒子辐射试验的验证与复现

为了进一步验证 SEBIGR 效应，采用非破坏性试验方法对研制的 130 V 器件进行了单粒子辐射试验。试验重粒子为 ^{181}Ta，表面 LET 值为 81.35 MeV·cm²/mg，硅中射程为 83.3 μm，垂直入射，注量率≤8 000 ions/(cm²·s)，总注量为 1E6 ions。

图 5 所示为器件的 I_{ds}、I_{gs} 与 t 的关系曲线，其中横坐标使用采集的数据点数目的总数来间接表示重粒子的入射时间，数据点每秒采集 3 个，纵坐标为采集的 I_{ds} 和 I_{gs} 的数值大小，单位为安培（A）。

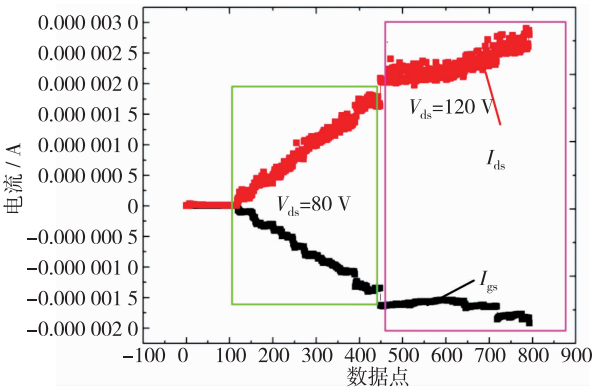


图 5　漏源电流和栅源电流与辐射时间的关系曲线

实际进行单粒子辐射试验时，需要先对器件进行加电，并确认器件及数据采集系统正常，因此数据点的采集从第 100 个数据点开始，随着 t 的增加，也即辐射总注量的增加，功率 VDMOS 的 I_{ds} 和 I_{gs} 线性增大，且在 V_{ds} 由 80 V 增加到 120 V 的瞬间出现了 I_{ds} 和 I_{gs} 急剧增加的情况，而后随着总注量的增加缓慢增大。进一步对单粒子辐射试验的原始数据进行对比分析，发现当重粒子辐射到第 122 个数据点时，I_{ds} 的大小由 −8 次方量级急剧增加到 −7 次方量级，且在辐射到第 126 个数据点时，I_{gs} 由 −8 次方量级突变到 −7 次方量级，由 I_{ds} 发生突变到 I_{gs} 急剧变大的时间间隔约 1.3 s，即：在发生 SEB 效应 1.3 s 后 SEGR 效应紧接着发生，如图 6 所示。由此可见，在辐射试验层面也观察到了 SEBIGR 现象。

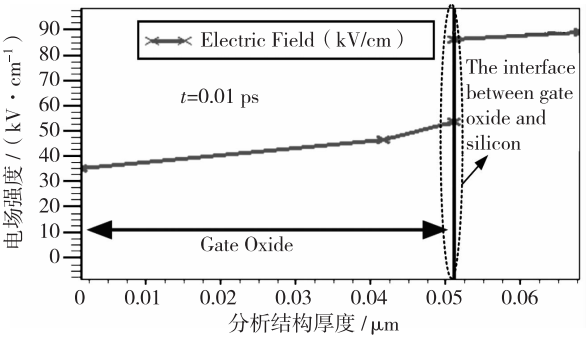
data dots	gate voltage	gate current	Drain voltage	drain curent
115	-2.53E-06	6.86E-10	80	9.68E-09
116	2.51E-06	-1.44E-09	80	1.11E-08
117	-8.50E-07	-9.53E-10	80	8.20E-09
118	2.51E-06	-1.17E-09	80	9.14E-08
119	4.18E-06	-1.07E-09	80	6.16E-08
120	-1.09E-08	-7.26E-08	80	1.25E-07
121	-1.69E-06	-6.50E-08	80	7.76E-08
122	-1.69E-06	-5.99E-08	80	1.13E-07
123	-8.50E-07	-9.13E-08	80	2.24E-07
124	-8.50E-07	-9.02E-08	80	1.60E-07
125	-1.09E-08	-8.55E-08	80	1.23E-07
126	-8.50E-07	-1.09E-07	80	1.29E-07
127	-3.37E-06	-1.04E-07	80	1.44E-07
128	2.51E-06	-1.05E-07	80	1.93E-07
129	-1.69E-06	-1.04E-07	80	2.63E-07
130	-8.50E-07	-1.03E-07	80	1.28E-07
131	8.28E-07	-1.02E-07	80	1.66E-07
132	3.35E-06	-9.93E-08	80	1.99E-07
133	-8.50E-07	-1.00E-07	80	1.96E-07
134	-1.09E-08	-9.91E-08	80	1.09E-07
135	-3.37E-06	-9.82E-08	80	1.32E-07
136	8.28E-07	-9.93E-08	80	1.64E-07
137	3.35E-06	-9.82E-08	80	2.40E-07
138	-8.50E-07	-9.91E-08	80	1.50E-07
139	8.28E-07	-9.73E-08	80	1.33E-07
140	-1.09E-08	-9.94E-08	80	2.53E-07

图 6　采集的单粒子辐射试验原始数据截图

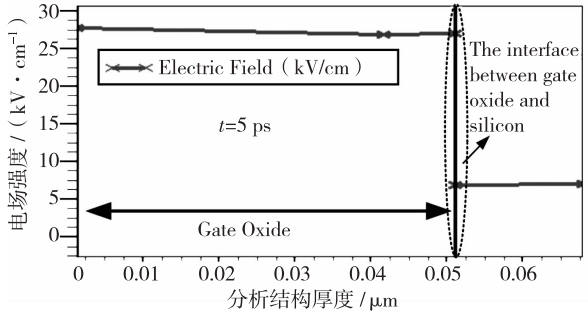
3　讨论与分析

为了进一步研究 SEBIGR 效应的内在物理机制，需要对器件栅介质层两端附加电场随重粒子入射时间的关系进行研究。图 7 所示为仿真得到的不同时间栅介质层中的电场分布图。

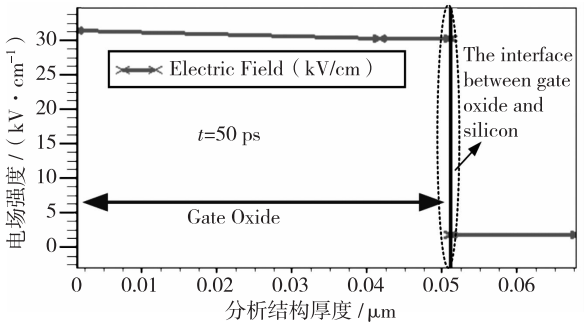
由图 7 可以看出，当重粒子入射时间（t）等于 0.01 ps 时，栅介质层/源区硅界面处电场高于多晶硅/栅介质层界面处的电场，且栅介质层中的最大电场（E_{MAX}）为 5.4E4 V/cm；当 $t=5$ ps 时，栅介质层中 $E_{MAX}=2.8$E4 V/cm，栅介质层中电场分布出现反转，多晶硅/栅介质层界面处的电场反而高于栅介质层/源区硅界面处的电场；当 t 为 50 ps 时，栅介质层中 $E_{MAX}=3.1$E4 V/cm；当 t 为 150 ps 时，栅介质层中 $E_{MAX}=3.9$E4 V/cm。由重粒子入射的 150 ps 时间内栅介质层中电场的变化可以看出：当入射时间 t 增加时，与源区交叠的栅介质层中电场随着 t 的增加先下降后增加，且 E_{MAX} 由栅介质层/源区硅界面处向多晶硅/栅介质层界面处转移。特别地，在重粒子入射的 5～150 ps 时间范围内，栅氧化层中电场分布逐渐趋于平坦，且与源区硅中电场的差值逐渐增大。由此可见，SEBIGR 效应有重粒子产生瞬时电场的作用。



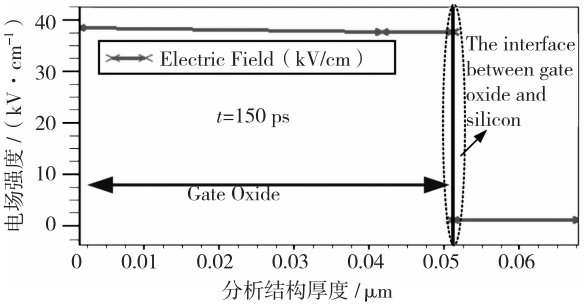
（a）重粒子入射时间为 0.01 ps 时电场分布图



（b）重粒子入射时间为 5 ps 时电场分布图



（c）重粒子入射时间为 50 ps 时电场分布图



（d）重粒子入射时间为 150 ps 时电场分布图

图 7 栅介质层电场分布与重粒子入射时间的关系图

由图 4 和图 7 可以看出，SEBIGR 效应与 SEGR 效应不同，SEGR 效应是在重粒子辐射下，栅氧化层两端产生瞬时附加电场与初始电场的综合作用；而 SEBIGR 效应不仅有瞬时附加电场的作用，还存在 SEB 效应产生的晶格热作用。功率 VDMOS 器件在重粒子辐射下发生 SEBIGR 效应的可能原因是：1）其内在物理机制是重粒子辐射首先引起 SEB，SEB 效应触发寄生三极管，产生瞬时大电流，使得硅晶格的温度升高，甚至达到 1 350 K 以上；2）在栅介质层/沟道区或栅介质层/源区界面附近升高的硅晶格温度引起栅介质层介质本征击穿电压降低，进而触发 SEGR 发生；3）SEB 产生的瞬时大电流和 SEGR 产生的瞬时大电流综合作用导致器件被完全烧毁。

4 结 论

从功率 VDMOS 器件发生 SEB 效应和 SEGR 效应的内在物理机制和微观过程出发，发现并提出了功率 VDMOS 器件存在 SEBIGR 效应。使用 TCAD 仿真软件和^{181}Ta 重粒子辐射试验两种方式对 SEBIGR 效应进行了复现和验证，并试析了 SEBIGR 效应的内在物理机制。研究结果表明：1）当重粒子沿功率 VDMOS 器件的源区或沟道区入射时，存在 SEBIGR 效应；2）SEBIGR 效应的内在物理机制是重粒子辐射优先触发 SEB 效应，引起晶格温度升高，导致栅介质层本征击穿电压降低，进而触发 SEGR 效应；3）功率 VDMOS 器件烧毁是由 SEB 与 SEGR 产生瞬时大电流的综合作用而致。

参 考 文 献：

[1] 陈星弼. 功率 MOSFET 与高压集成电路 [M]. 南京：东南大学出版社，1990：1-43.

[2] 侯明东，刘杰，孙友梅，等. 宇航器件单粒子效应的加速器地面模拟 [C] // 第七届中国核学会“三核”论坛暨中国毒理学会放射毒理委员会第八次全国会议. 长春，中国. 2010：325-326.

[3] 唐昭焕，杨发顺，马奎，等. 功率 VDMOS 器件抗 SEB/SEGR 技术研究进展 [J]. 微电子学，2017，47(3)：401-405.

[4] WASKIEWICZ A E，GRONINGER J W，STRAHAN V H，et al. Burnout of power MOS transistors with heavy ions of californium-252 [J]. IEEE Trans Nucl Sci，1986，33(6)：1710-1713.

[5] FISCHER T. Heavy-ion induced gate rupture in power MOSFETs [J]. IEEE Trans Nucl Sci，1987，34(6)：1786-1791.

[6] TANG Z H，FU X H，YANG F S，et al. SEGR- and SEB- hardened structure with DSPSOI in power MOSFETs [J]. J Semicond，2017，38(12)：124006-1 - 124006-5.

[7] 唐昭焕. 单粒子辐射加固功率 MOSFET 器件新结构及模型研究 [D]. 贵阳：贵州大学大数据与信息工程学院，2019.

背照式 CMOS 图像传感器的硅减薄湿法刻蚀工艺

窦英男[1,2]，徐 旻[2]，刘 轩[2]
（1. 电信科学技术研究院，北京 100191；2. 中芯国际集成电路制造有限公司，北京 100176）

摘 要： 针对背照式 CMOS 图像传感器制作工艺，提出了一种采用氢氧化四甲基铵液进行湿法刻蚀的背部硅片减薄工艺。分析了硅减薄工艺的整体流程，针对化学机械研磨后的湿法刻蚀工艺进行了实验。通过调整反应时间、硅片转速、喷嘴速度和摆幅，得到最优刻蚀参数，使厚度均值达到目标值，平整度控制在一定范围内。该湿法刻蚀工艺中，首先对硅片表面形貌进行修正，接着对硅片进行整体刻蚀，达到目标厚度，最后通过减薄得到 BSI 背部硅片。采用该硅片制作的图像传感器的成像质量得到提高。

关键词： 背照；湿法刻蚀；CMOS 图像传感器；厚度均值；硅减薄
中图分类号：TN305 **文献标识码：**A **文章编号：**1004-3365(2020)03-0421-07
DOI：10.13911/j.cnki.1004-3365.190373

Silicon Thinning Wet Etching Process for Back-Illuminated CMOS Image Sensor

DOU Yingnan[1,2], XU Min[2], LIU Xuan[2]
(1. *Chinese Academy of Telecommunication Technology, Beijing* 100191, *P. R. China*;
2. *Semiconductor Manufacturing International Corporation, Beijing* 100176, *P. R. China*)

Abstract: A wet etching method for thinning the back logic wafer of back-illuminated CMOS image sensor was proposed by using tetramethyl ammonium hydroxide (TMAH) for the experiment. The whole process of silicon thinning was analyzed and the wet etching process after chemical mechanical grinding was tested by adjusting the reaction time, silicon rotation speed and nozzle swing speed, so the optimal etching parameters were obtained. The target thickness could be reached, and the flatness could be controlled within a certain range. In the wet etching process, the surface morphology of the silicon wafer was modified firstly. Then the whole silicon wafer was etched to achieve the target thickness. Finally the backside wafer was obtained by thinning. The image quality of the image sensor was improved by using this silicon chip.

Key words: backside-illumination; wet etching process; CMOS image sensor; thickness mean value; silicon thinning

0 引 言

传统 CMOS 图像传感器通常采用正面入射成像模式，CMOS 器件表面的金属介质层与多晶硅电极吸收和反射了部分入射光，导致量子效率（单位时间产生的载流子数目与单位时间的入射光子数之比）很低（40%），成像效果欠佳。随着半导体制造工艺的发展，图像传感器工艺由前照式（FSI）慢慢发展为背照式（BSI）。BSI 工艺采用了两个硅片（背部逻

收稿日期：2019-06-26；**定稿日期：**2019-07-15
作者简介：窦英男（1993—），男（汉族），黑龙江七台河人，硕士研究生，研究方向为 CMOS 图像传感器。

辑硅片、像素硅片）键合的技术，可见光直接入射到光电二极管上，完成光电转换，达到更好的量子效率（90%）和像素设计自由度[1]。

与其他类型光电二极管相比，PPD（Pinned-PhotoDiode）型光电二极管的感光度更好，噪声、暗电流更低[2]。目前，CMOS 图像传感器制作中的背部硅片减薄主要采用机械粗磨与精磨工艺，电荷耦合器件（CCD）图像传感器制作中的背部硅片减薄主要采用湿法刻蚀工艺[3]。背照式 CMOS 图像传感器制作中的背部硅片减薄及后续处理工艺不仅需要更大的减薄厚度，还需要控制硅表面的厚度范围，难度较大[4]。针对上述问题，本文提出了三种湿法刻蚀工艺。通过实验找出最优的工艺方法，解决了硅减薄工艺中硅表面凹凸不平而致图像传感器成像质量不高的问题，已成功应用于批量生产。

1　原　理

1.1　BSI 工艺减薄原因

PPD 型光电二极管图像传感器的剖面如图 1 所示。光从背部入射，经过 P 外延层后，被 N 埋层吸收，完成光电转换。可见光波长与吸收系数的关系曲线如图 2 所示。

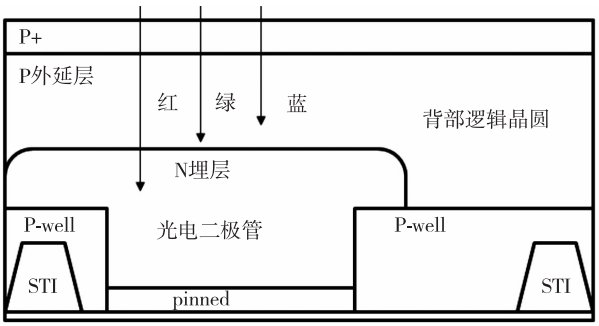


图 1　PPD 型光电二极管图像传感器

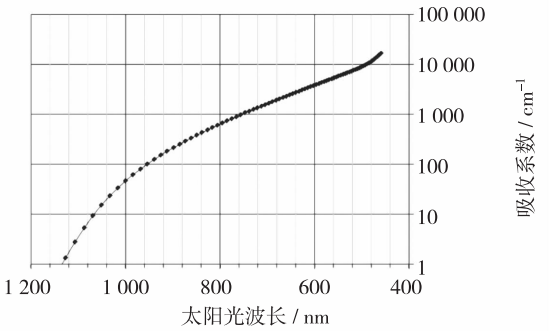


图 2　可见光波长与吸收系数的关系曲线

吸收系数的倒数为吸收深度[5]，红光的吸收深度最深，蓝光、绿光的吸收深度较浅。为了提高量子效率，要求三种光尽量被 N 埋区收集。波长最短的蓝光的吸收深度为 0.454 μm。为了保证蓝光被更好地吸收，可见光需尽量贴近 N 埋层入射。因此，根据 N 埋层的宽度，对背部硅片的硅进行减薄处理，确定硅片最终减到目标厚度[6]。

1.2　BSI 工艺减薄工艺及问题

本文采用 300 mm ＜100＞硅片进行实验。制作背照式 CMOS 图像传感器的背部硅减薄工艺的整体流程如图 3 所示。1）运用机械研磨，迅速磨掉 95%的硅，达到或接近机械研磨工艺中不破片的最小安全厚度[7-8]。2）利用刻蚀液 1（氢氟酸、硝酸、醋酸的混合液和硝酸、磷酸、硫酸和氢氟酸的混合液）将硅片刻蚀到 P 外延层。3）采用刻蚀液 2，继续刻蚀 P 外延层，直到达到目标厚度。

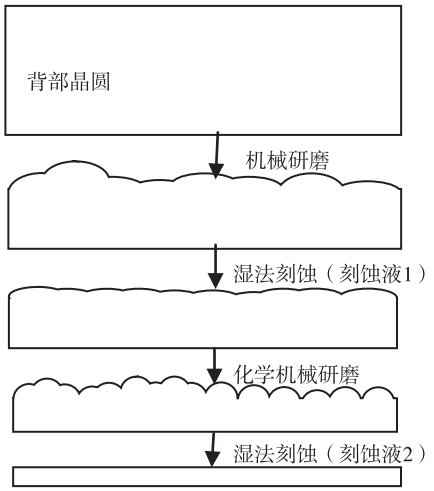


图 3　减薄工艺的整体流程

本次实验采用的刻蚀液 2 为氢氧化四甲基铵（Tetramethyl Ammonium，TMAH）[9]。反应方程式为：

$$Si+2OH^-+4H_2O\rightarrow Si(OH)^{2++}+2H_2+4OH^- \quad (1)$$

刻蚀液 2 对硅片（裸片）的标准刻蚀速率如图 4 所示。旋转的离心作用导致刻蚀速率有两种特性，即刻蚀速率随硅片半径、转速的增大而变小，刻蚀速率随化学喷嘴运动速度的增加而变小。根据这两种特性，将半径分为四个区域，分别为 0～30 mm，30～90 mm，90～130 mm，130～150 mm。如果直接用刻蚀液 2 进行湿法刻蚀，会导致硅片边缘厚度过高，所以需要在湿法刻蚀前引入化学机械研磨。

由于区域 4 的刻蚀速率低，需要采用化学机械研磨工艺对区域 4 更多地减薄一些厚度。由于区域 1 的刻蚀速率基本不变，需要采用化学机械研磨对区域 1 打磨平坦。本文湿法刻蚀工艺主要调节区域 2 和区域 3。

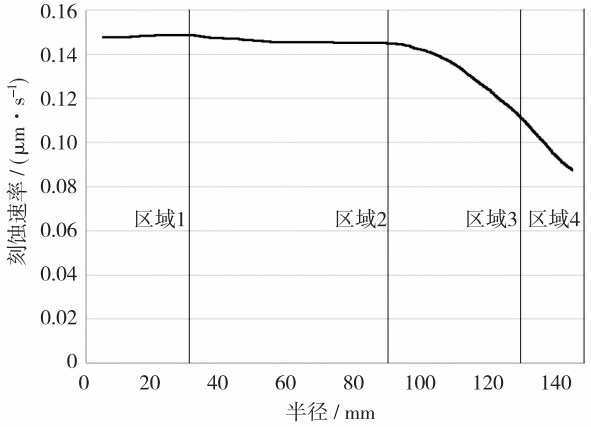
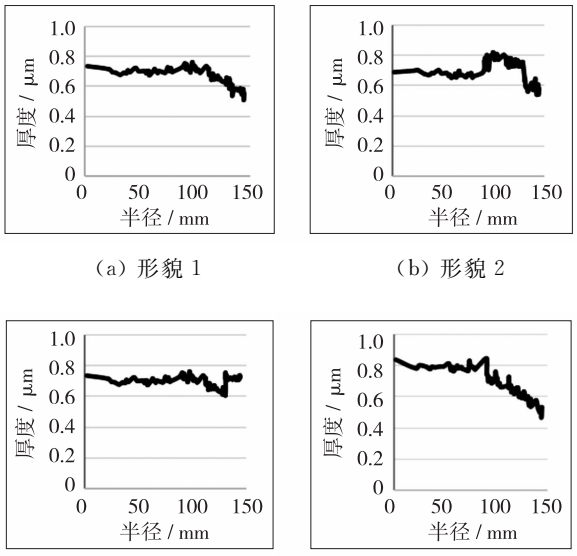


图 4　刻蚀液对硅的标准刻蚀速率

化学机械研磨工艺稳定性较差，导致每个硅片的厚度均匀性较差，硅片表面出现损伤层，硅片翘曲度变大[10]，进而影响图像传感器对光的吸收度，因在表面会发生反射、折射[11]。

根据业界标准，在同一硅片上沿半径从小到大取 91 个均匀分布点，在四个区域就可较好地观察硅片表面情况。因此，本文测量了化学机械研磨后硅片上 91 个点的厚度，得到 4 种基本形貌，如图 5 所示。



(a) 形貌 1　(b) 形貌 2

(c) 形貌 3　(d) 形貌 4

图 5　4 种基本形貌

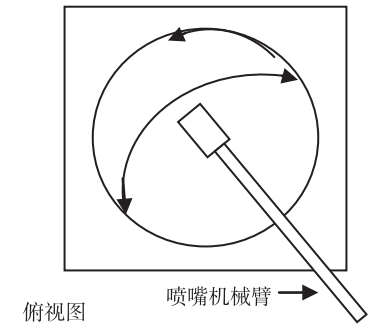
可以看出，形貌 1 的均匀性较好，形貌 2 的肩部(90～130 mm)厚度较高，形貌 3 的硅片边缘厚度较高，形貌 4 的硅片中心厚度较高。刻蚀液 2 具有各向异性的硅刻蚀特性，对表面凸起位置的刻蚀速率较高，对表面平整地方的刻蚀速率较低。这种特性就可解决上述的均匀性问题，并修正表面形貌[12-13]。

2　实验

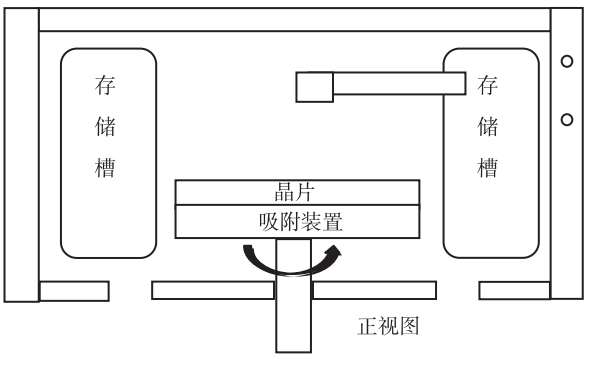
2.1　实验设备

本文采用单片清洗机台进行实验，实验设备的示意图如图 6 所示。

湿法刻蚀实验过程中，涉及到化学药品喷嘴、吸附装置、化学药品存储槽等装置。硅片放在图示晶片位置上，存储槽里储存化学药品，对应各自的管路和喷嘴。实验过程中，硅片逆时针旋转，同时喷嘴喷出对应的刻蚀液，涂到硅片上。喷嘴机械臂经过硅片圆心，进行往复弧线运动。



(a) 俯视图



(b) 整体结构

图 6　实验设备示意图

2.2　实验工艺设计

本次实验分为三组进行。三种工艺方法的对比如表 1 所示。

表 1　三种工艺方法对比

组别	方法
1	整体一步，刻蚀到目标厚度。
2	第一步：局部刻蚀修正形貌；第二步：整体刻蚀到目标厚度。
3	第一步：整体刻蚀到一定厚度；第二步：修正形貌。

2.3　实验工序设定与验证

设定的实验工序对比如表 2 所示，实验工序图如图 7 所示。为了验证工序的可行性，测量各个工序对硅片各个点的刻蚀速率，如图 8 所示。可以看出，PC(Process Center)工序中 0～90 mm 处的刻蚀速率高，PMC(Process Middle Center)工序和 PME(Process Middle Edge)工序在 90～130 mm 处的刻蚀速率高，PE(Process Edge)工序在 135 mm 处的刻蚀速率最高。以上工序均可用于局部刻蚀，以修正形貌。OPT1(平坦化 1)工序、OPT2(平坦化 2)工序的刻蚀速率的变化较小，可用于整体刻蚀。这组曲线经过多片硅片的实验验证，趋势稳定，满足继续实验的条件。

表 2　实验工序对比

组别	设定依据	硅片转速/(r·min^{-1})	喷嘴摆幅/ mm
PC	区域 1，2 厚度过高	1 500	0～90
PMC	区域 3 前半段厚度过高	1 500	90～110
PME	区域 3 后半段厚度过高	1 500	110～130
PE	区域 4 厚度过高	1 500	130～150
OPT1	整体区域减薄	900	0～150
OPT2	整体区域减薄	900	0～130

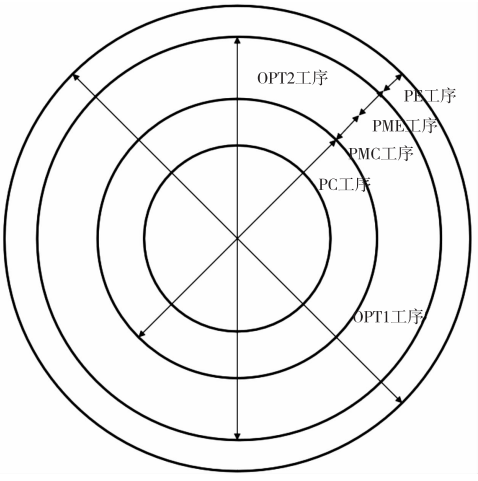


图 7　实验工序图

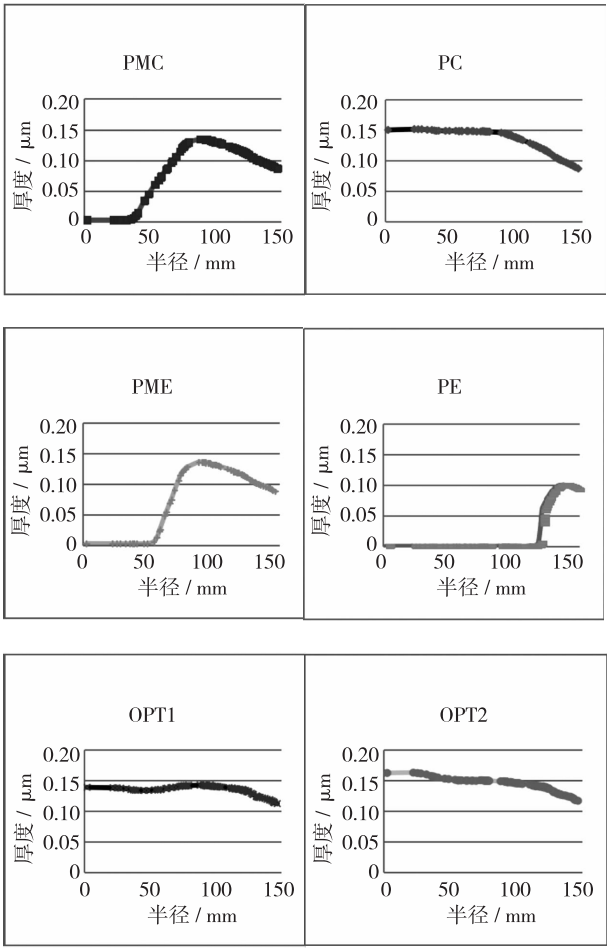
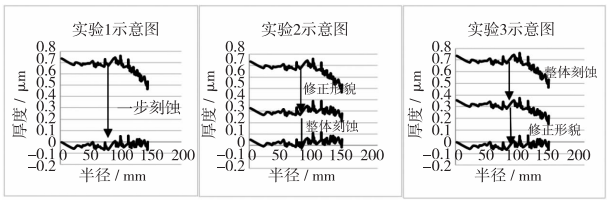


图 8　各个工序的刻蚀速率

3　实验结果与分析

3.1　模拟计算

硅片在进入图 6 所示机台前，用量测机台测出每个点的厚度前值 THK_1(数据已归一化处理)。三种工艺方法的厚度值如图 9 所示。



(a) 实验 1　　(b) 实验 2　　(c) 实验 3

图 9　三种工艺方法的厚度值

实验 1 中，选用 OPT1 工序或 OPT2 工序进行模拟计算。图 5 中表示的各种表面轮廓的各个点刻蚀后的厚度值为：

$$z = T_{HK1} - t_1 \times E_R \tag{2}$$

式中，t_1 为工序时间，E_R 为各点的刻蚀速率。调整时间 t_1，使 z 到达目标厚度附近。统计 z 的最大值与最小值，计算厚度范围。最终选择厚度范围的最小值作为实验 1 的工序。

实验 2 中，根据图 5 所示表面轮廓选取图 8 中工序的组合，进行模拟计算。图 5 所示各种表面轮廓的各个点刻蚀后的厚度值为：

$$T_{HK2} = T_{HK1} - t_1 \times E_{R1} \tag{3}$$

$$z = T_{HK2} - t_2 \times E_{R2} \tag{4}$$

式中，T_{HK2} 为修正形貌后各个点的厚度值，t_1 为第一步工序时间，t_2 为第二步工序时间；E_{R1} 为 PC 工序、PMC 工序、PME 工序、PE 工序的各点的刻蚀速率。E_{R2} 为 OPT1 工序、OPT2 工序的各点的刻蚀速率。

调整时间 t_1 和 t_2 使 z 到达目标厚度附近，统计 T_{HK2} 与 z 的最大值与最小值，计算厚度范围，选择厚度范围最小作为实验 2 的工序组合。

实验 3 中，根据图 5 表示的表面轮廓来选取图 8 中的 OPT1 或 OPT2 与其余各个局部减薄工序的组合，进行模拟计算。图 5 所示各种表面轮廓的各个点刻蚀后的厚度值为：

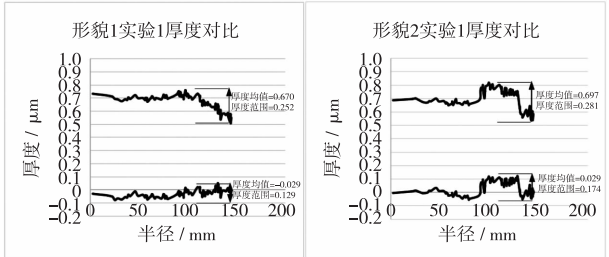
$$T_{HK2} = T_{HK1} - t_2 \times E_{R2} \tag{5}$$

$$z = T_{HK2} - t_1 \times E_{R1} \tag{6}$$

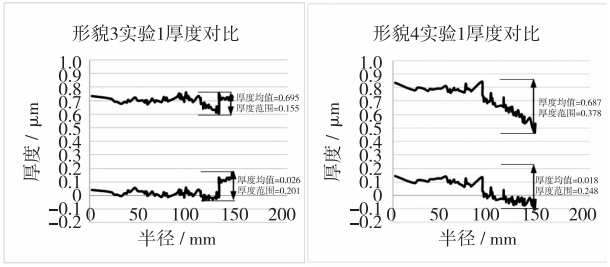
式中，T_{HK2} 为整体刻蚀后各个点的厚度值，其余参数与实验 2 相同。调整时间 t_1 和 t_2，使 z 到达目标厚度附近，统计 T_{HK2} 与 z 的最大值与最小值，计算厚度范围。最终选择厚度范围的最小值为实验 3 的工序组合。

3.2　实验结果

根据模拟计算选定的工序进行实验。实验 1、2、3 的厚度分布分别如图 10、11、12 所示（数据已归一化处理），均值 0 为目标厚度。

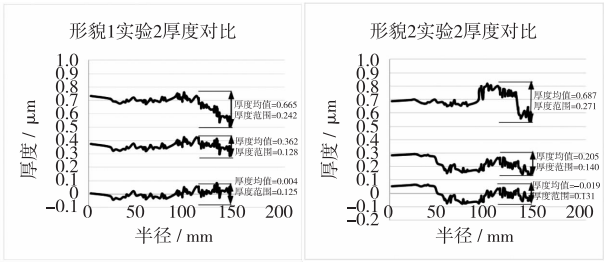


（a1）形貌 1　　（a2）形貌 2

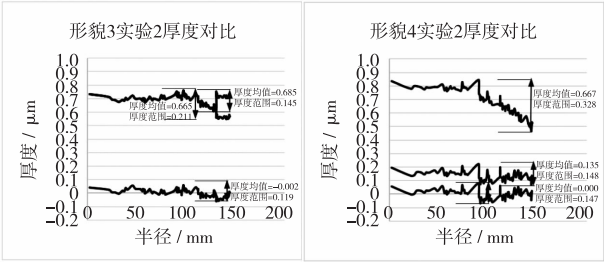


（a3）形貌 3　　（a4）形貌 4

图 10　实验 1 厚度分布图

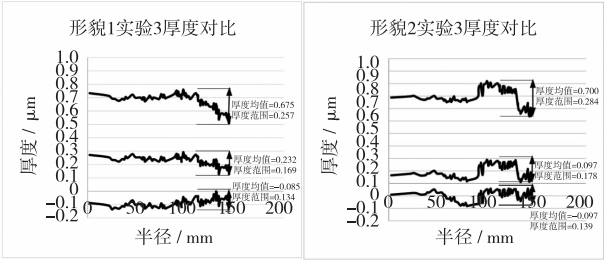


（b1）形貌 1　　（b2）形貌 2

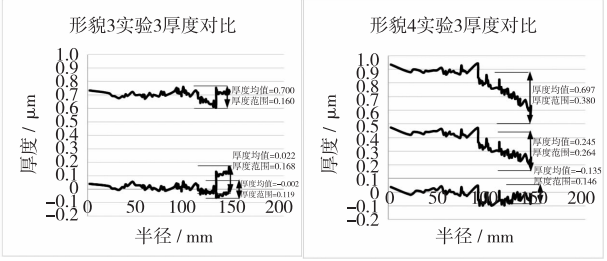


（b3）形貌 3　　（b4）形貌 4

图 11　实验 2 厚度分布图



（c1）形貌 1　　（c2）形貌 2



（c3）形貌 3　　（c4）形貌 4

图 12　实验 3 厚度分布图

3.3 实验结果分析

实验 1、2、3 的硅片厚度数据分别如表 3、表 4、表 5 所示。化学机械研磨的不稳定性会导致硅片表面出现不同形貌[14]。实验 1 的方法简便，但仅对形貌 1 适用，其他 3 种形貌的厚度范围不达标。实验 2 针对不同的形貌选用不同的局部修正，先大体调节好厚度范围，再整体减薄，稳定性较好，4 种形貌的厚度参数都达标。实验 3 的最后厚度范围达标，但厚度均值不达标，稳定性较差。原因是不能确定整体减薄的厚度。若减薄过多，第二步修正形貌时出现过刻蚀现象，厚度均值变小；若减薄过少，第二步修正形貌时厚度范围可达标，但厚度均值过大，还需进行整体刻蚀，时间成本增大。

表 3 实验 1 厚度数据对比

组别	均值/μm（前）	范围/μm（前）	均值/μm（中）	范围/μm（中）	均值/μm（后）	范围/μm（后）
a1	0.670	0.252	无	无	−0.029	0.129
a2	0.697	0.281	无	无	0.029	0.174
a3	0.695	0.155	无	无	0.026	0.201
a4	0.687	0.378	无	无	0.018	0.248

表 4 实验 2 厚度数据对比

组别	均值/μm（前）	范围/μm（前）	均值/μm（中）	范围/μm（中）	均值/μm（后）	范围/μm（后）
b1	0.665	0.242	0.362	0.128	0.004	0.125
b2	0.687	0.271	0.205	0.140	−0.019	0.131
b3	0.685	0.145	0.665	0.211	−0.002	0.119
b4	0.677	0.328	0.135	0.148	0.000	0.147

表 5 实验 3 厚度数据对比

组别	均值/μm（前）	范围/μm（前）	均值/μm（中）	范围/μm（中）	均值/μm（后）	范围/μm（后）
c1	0.675	0.257	0.232	0.169	−0.085	0.134
c2	0.700	0.284	0.097	0.178	−0.097	0.139
c3	0.700	0.160	0.022	0.168	−0.002	0.119
c4	0.697	0.380	0.245	0.264	−0.135	0.146

最终，本文采用实验 2 工艺对背部硅片进行减薄。与文献[15]对比发现如下现象。1）硅的背部减薄工艺大多运用于后道封装过程，采用机械磨削，对硅片表面的平整度要求较宽泛。对于背照式 CMOS 图像传感器，光的折射和反射对平整度有严格的要求。因此，本文采用湿法刻蚀法对平整度进行严格控制。2）湿法刻蚀工艺大多是用硝酸和氢氟酸进行整体刻蚀。CMOS 图像传感器的背部硅片有 P 外延层，因此本文采用 TMAH 湿法刻蚀法进行了实验。这是国外文献没有提及的，对背照式图像传感器的减薄工艺具有参考价值。

3.4 多片验证

本文对上述方法进行批量验证。实施了大量的人工实验，总结规律，得到一个经验：平均每个区域选 6 到 7 个点，将总点数控制在 35 个点以下，也可以有效地观察硅片的表面情况。化学机械研磨后和湿法刻蚀后的厚度分布分别如图 13、图 14 所示。

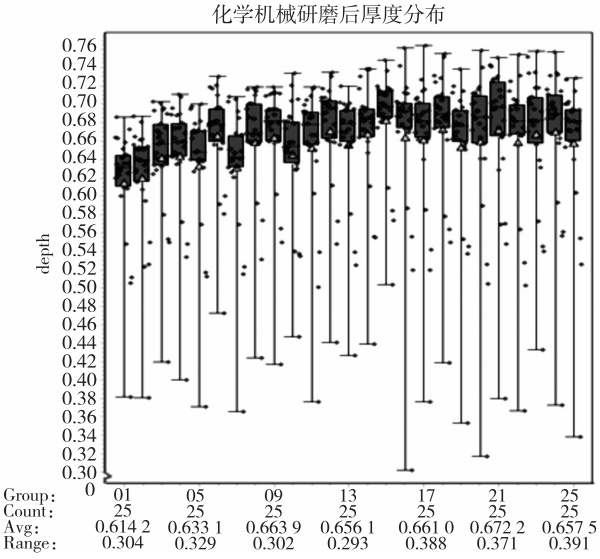


图 13 化学机械研磨后厚度分布图

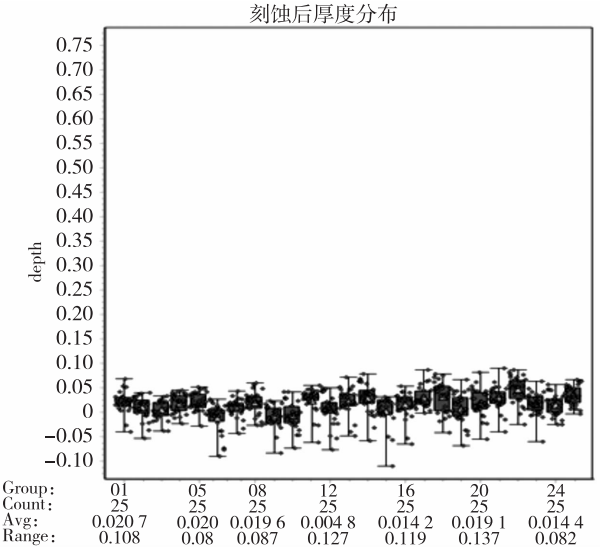


图 14 刻蚀后厚度分布图

可以看出，化学机械研磨后，厚度范围（range 值）很大。刻蚀后，厚度范围均能满足图像传感器的要求，厚度均值满足目标厚度。这表明本文方法是有效的。

4　结　论

随着 CMOS 图像传感器制作技术的发展，BSI 工艺已经成为主流。因此，背部的硅减薄工艺也成为重中之重。本文对背部硅片采用两步湿法刻蚀工艺，有效解决了硅减薄工艺中硅表面凹凸不平而致成像质量不高的问题。本文的工艺优化方法为背照式传感器的硅减薄工艺提供了参考，可用于提高工艺可靠性和产品的成像质量。

参 考 文 献：

[1] 顾学强. 55 nm CMOS 图像传感器工艺平台开发 [D]. 上海：复旦大学，2013：4-11.

[2] 李天琦. CMOS 图像传感器像素光敏器件研究 [D]. 黑龙江：哈尔滨工程大学，2013：20-25.

[3] 邓刚，韩恒利，钟四成. 背照式 CCD 图像传感器减薄技术研究 [J]. 电子科技，2014，27(2)：68-70.

[4] 刘腾云，葛培琪，高玉飞. 制约硅晶片减薄因素研究分析 [J]. 人工晶体学报，2015，44(7)：1719-1724.

[5] 贺凯，陈诺夫，孔凡迪，等. 多晶硅厚膜太阳电池的最佳厚度理论设计 [J]. 可持续能源，2015，5(4)：33-41.

[6] 孙羽. 小尺寸背照式 CMOS 图像传感器像素结构研究 [D]. 天津：天津大学，2012：12-39.

[7] FEENEY P，SHUMWAY L. Process optimization of grinding and CMP for thinning of Si [C] // ICPT. Grenoble，France. 2012.

[8] 木瑞强，刘军，曹玉生. 硅片减薄技术研究 [J]. 电子与封装，2010，10(3)：9-13.

[9] 陈春明，沈鸿烈，李琰琪，等. 金刚线切割多晶硅片表面酸制绒效果研究 [J]. 半导体光电，2019，40(2)：215- 219.

[10] 范振喜. 硅的湿法刻蚀工艺研究现状 [D]. 大连：大连理工大学，2013：1-10.

[11] OHTA J. 智能 CMOS 图像传感器与应用 [M]. 史再峰，徐江涛，姚素英，等译. 北京：清华大学出版社，2015：1-35.

[12] YAN G，CHAN P C H，HSING I M，et al. An improved TMAH Si-etching solution without attacking exposed aluminum [J]. Sensors & Actuators A：Phys，2001，89(1-2)：135-141.

[13] ZUBEL I，KRAMKOWSKA M，ROLA K. Silicon anisotropic etching in TMAH solutions containing alcohol and surfactant additives [J]. Sensors & Actuators A：Phys，2012，178：126-135.

[14] 衣忠波，王欣，赵秀伟. 晶圆减薄过程 TTV 调整技术研究 [J]. 电子工业专用设备，2015(4)：26-29.

[15] JUNK W，KIM J S. Silicon etching characteristics for the TMAH based solution with additives [C] // 10th IEEE Int Conf Nano Micro Engineer & Molecular Syst. Xi'an，China. 2015：507-510.

一种基于肖特基二极管的逆导型 SOI-LIGBT

武嘉瑜，易 波，陈星弼
（电子科技大学 电子薄膜与集成器件国家重点实验室，成都 610054）

摘 要： 提出了一种逆导型(RC)SOI-LIGBT。通过在 LIGBT 阳极发射结反向并联一个肖特基二极管，在没有增大 LIGBT 正向导通压降的情况下，消除了传统阳极短路 RC-LIGBT 在正向导通时的电压折回效应。通过二维仿真软件对器件稳态、瞬态的电学特性进行了分析。仿真结果表明，与传统的 SOI-LIGBT、续流二极管相比，该 RC-LIGBT 具有更高的击穿电压，且击穿电压不受阳极掺杂浓度的影响。该器件的反向恢复电荷减小了 15.2%，软度因子提高一倍以上。

关键词： SOI-LIGBT；肖特基二极管；消除电压折回；反向导通；反向恢复
中图分类号：TN322.8 **文献标识码：**A **文章编号：**1004-3365(2020)03-0428-05
DOI：10.13911/j.cnki.1004-3365.190376

A Reverse Conducting SOI-LIGBT Based on Schottky Diode

WU Jiayu, YI Bo, CHEN Xingbi
(*State Key Lab. of Elec. Thin Films and Integr. Dev., Univ. of Elec. Sci. and Technol. of China, Chengdu* 610054, *P. R. China*)

Abstract: A reverse conducting (RC) lateral insulated gate bipolar transistor (LIGBT) on silicon-on-insulator (SOI) was proposed. By connecting an anti-parallel Schottky diode with the emitter junction (P-anode/N-buffer) of the LIGBT, the snapback effect of the conventional anode-short RC-LIGBT during the forward conduction was eliminated without increasing the on-state voltage drop of the LIGBT. The steady-state and transient electrical characteristics of the device were analyzed by two-dimensional TCAD simulator, and compared with the conventional SOI-LIGBT combining with freewheeling diode. Simulation results showed that the breakdown voltage (BV) of the proposed RC-LIGBT was not only improved but also unaffected by the P-anode doping concentration. In addition, the reverse recovery charge of the proposed device was reduced by 15.2%, and the soft factor was increased by more than one time.

Key words: SOI-LIGBT; Schottky diode; snapback free; reverse conducting; reverse recovery

0 引 言

基于 SOI 的横向绝缘栅双极型晶体管(LIGBT)因其具有良好的隔离能力和较大的电流能力而被广泛应用于中低压智能功率 IC 中[1-2]。传统 LIGBT 中没有体二极管，在电感负载的功率应用中需要额外反向并联续流二极管，这既增加了芯片面积，又额外引入了寄生效应[3]。通过在 LIGBT 的阳极侧引入 N+区并与阳极金属相连的方法，可使 LIGBT 具有反向导通的能力，但是，在正向导通时会有电压折回效应[4-5]。文献[6-7]提出一些抑制电压折回效应的办法，但会增大器件的正向导通压降。文献[8-9]通过在阳极侧引入新的栅电极消除了电

收稿日期：2019-06-28；**定稿日期：**2019-07-10
基金项目：国家自然科学科学基金青年基金资助项目(61804021)；电子薄膜与集成器件国家重点实验室开放基金资助项目(KFJJ201708)
作者简介：武嘉瑜(1989—)，男(汉族)，河北张家口人，博士研究生，研究方向为功率器件与智能功率集成电路。
陈星弼(1931—2019)，男(汉族)，上海人，教授，博士生导师，中国科学院院士，研究方向为功率器件与智能功率集成电路。

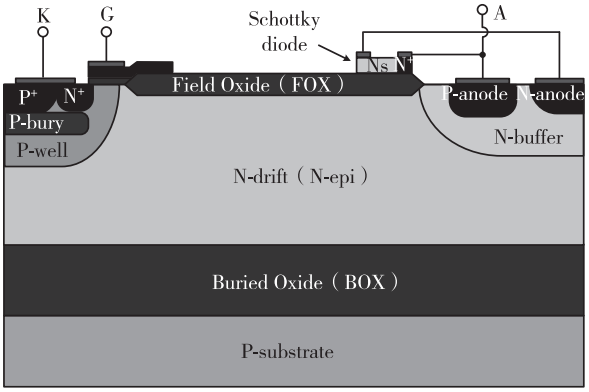
压折回效应，但驱动电路的复杂程度增加了。

基于上述研究，本文提出了一种可以消除电压折回效应的 RC（Reverse-Conducting）型 LIGBT。该 LIGBT 不需要在电压折回效应和器件正向导通压降之间进行折中，它具有更好的反向恢复特性。文章第 1 节介绍了器件结构和工作原理，第 2 节对仿真结果进行了分析讨论，第 3 节给出结论。

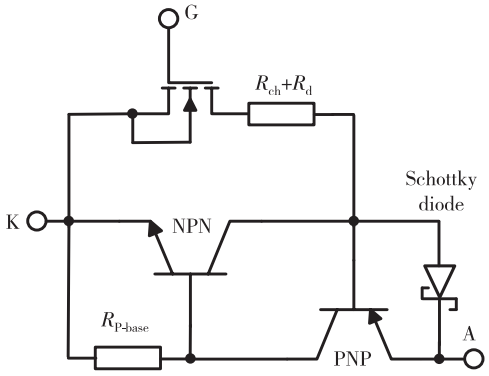
1　器件结构与工作机理

1.1　器件结构

本文提出的逆导型 SOI-LIGBT 的剖面和等效电路如图 1 所示。



（a）剖面图



（b）等效电路

图 1　本文 RC-LIGBT 的剖面和等效电路

该 RC-LIGBT 的特点是在阳极侧发射结（P-anode/N-buffer）之间反向并联一个肖特基二极管。肖特基二极管的阳极与 LIGBT 的 N-anode 相连，阴极与 LIGBT 的 P-anode 相连。该肖特基二极管的制作步骤为：首先通过在 LIGBT 阳极侧的场氧上淀积轻掺杂多晶硅形成二极管的体区[10]，再经过离子注入，形成 N＋区。该步骤可与 LIGBT 阴极的 N＋区和阳极的 N-anode 同步进行。

1.2　工作机理

当 LIGBT 承压时，肖特基二极管处于反偏状态。由于肖特基二极管反偏漏电流较大，足够传导 LIGBT 承压时漂移区较小的漏电流。因此，LIGBT 体内的漏电流可通过 A 电极，经肖特基二极管流入 LIGBT 的 N-anode。此时，肖特基二极管的反向偏压仍小于 0.7 V，LIGBT 阳极侧 P-anode/N-buffer 结的正向偏压则小于 0.7 V，P-anode/N-buffer 结被短路。本文 LIGBT 的耐压机制与 LDMOS 相同，不是传统 LIGBT 的开基区 PNP 结构的耐压机制。与传统 LIGBT 相比，本文 LIGBT 的击穿电压更高，且击穿电压不受 P-anode 掺杂浓度的影响。

在 LIGBT 正向导通时，肖特基二极管依然处于反偏状态，但是，反偏漏电流远小于 LIGBT 的正向导通电流。此时，肖特基二极管反向偏压达 0.7 V，即 P-anode/N-buffer 结的正向偏压≥0.7 V，空穴可以正常注入 LIGBT 体内，因此避免了 LIGBT 在正向导通时的电压折回效应。

当 LIGBT 反向导通时，肖特基二极管正偏。LIGBT 体内的反向导通电流通过 N-anode 流出，再经正偏的肖特基二极管流到 A 电极。因为肖特基二极管的开启电压较低，所以本文 LIGBT 的反向导通压降仅比传统续流二极管稍高。

2　仿真结果与讨论

利用 Sentaurus 仿真软件对本文 LIGBT 的稳态、动态特性进行仿真分析。仿真时所用的器件设计参数如表 1 所示。

表 1　仿真所用的器件设计参数

参数	本文 LIGBT	传统 LIGBT	传统二极管
埋氧层厚度/μm	3	3	3
SOI 层厚度/μm	6	6	6
器件长度/μm	41	41	41
漂移区长度/μm	27	27	27
N-drift 区掺杂浓度/ cm^{-3}	2×10^{15}	2×10^{15}	2×10^{15}
N-buffer 区掺杂浓度/ cm^{-3}	2×10^{17}	2×10^{17}	2×10^{17}
肖特基二极管体区掺杂浓度（N_s）/cm^{-3}	1×10^{17}	-	-
肖特基二极管金属功函数/eV	4.5	-	-

在以 LIGBT 为功率器件的智能功率 IC 中，续流二极管通常也集成于同一芯片上[3]。利用表 1 参数同时设计了传统 LIGBT、额外连接的续流二极管和本文 LIGBT，以进行对比。续流二极管同样采用基于 SOI 的横向结构，SOI 层厚度、漂移区长度等参数均与 LIGBT 相同。仿真中，加入了肖特基势垒隧穿模型与肖特基势垒降低模型，以提高仿真的准确性。

本文 LIGBT 和传统 LIGBT 的临界击穿电压与 P-anode 掺杂浓度(N_A)的关系曲线如图 2 所示。可以看出，本文 LIGBT 的临界击穿电压为 368 V，其值不受 N_A 变化的影响。原因是反偏的肖特基二极管漏电流较大，足够用于传导 LIGBT 体内漂移区的漏电流。

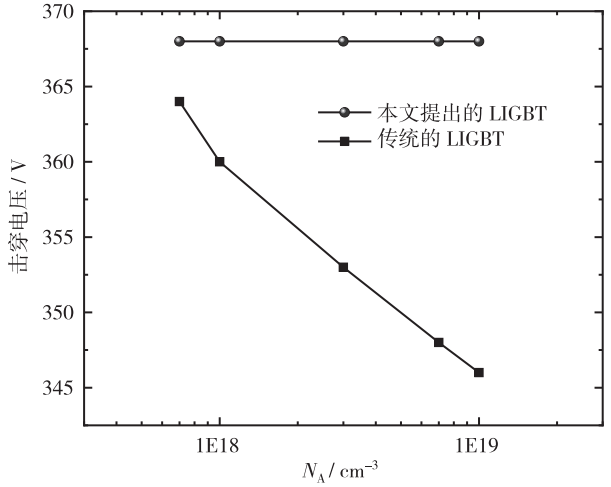


图 2 本文 LIGBT 和传统 LIGBT 的临界击穿电压与 N_A 的关系曲线

本文 LIGBT 临界击穿时体内阳极侧的电流线分布如图 3 所示。

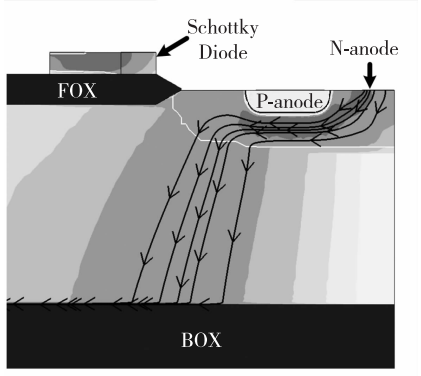


图 3 本文 LIGBT 临界击穿时体内阳极侧的电流线分布

可以看出，漏电流主要通过 N-anode 流入。P-anode/N-buffer 结被肖特基二极管短路，几乎没有空穴电流通过 P-anode 流入漂移区。因此，传统 LIGBT 体内的电流放大效应在本文结构中被有效抑制。而图 2 中，对于传统 LIGBT，随着 N_A 的增加，发射结注入效率变大，在开基区 PNP 机制的影响下，击穿电压变低。

不同器件的正向、反向导通 *I-V* 曲线如图 4 所示。根据已报道的智能功率 IC 数据[3, 11]，设计传统 LIGBT 与续流二极管的面积比为 4∶1，总面积为 1 mm^2，并将整体面积用于计算正向、反向电流密度。本文 LIGBT 的面积也为 1 mm^2。

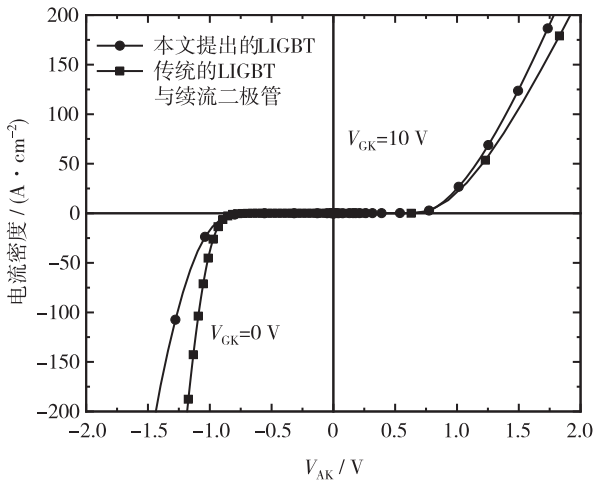


图 4 不同器件的导通特性曲线

在器件正向导通时，由于肖特基二极管的反偏漏电流小于器件的正向导通电流，本文 LIGBT 没有电压折回效应。由于节省了续流二极管的面积，本文 LIGBT 的正向导通电压低于传统 LIGBT。在电流密度为 100 A/cm^2 时，本文 LIGBT 与传统 LIGBT 的导通压降分别为 1.40 V 与 1.47 V。

在器件反向导通时，本文 LIGBT 额外增加的肖特基二极管是与 LIGBT 串联的，因此，整体反向导通压降要比传统续流二极管稍高。在电流密度为 100 A/cm^2 时，本文 LIGBT 与传统二极管的导通压降分别为 1.26 V 与 1.09 V。

本文 LIGBT 与传统二极管的反向恢复特性以及仿真电路如图 5 所示。在电流密度为 100 A/cm^2 时，器件进入反向恢复过程。V_{BUS} = 50 V，L_{Load} = 1.5 mH，L_{stray} = 10 nH，R_G = 10 Ω。可以看出，与传统二极管相比，本文 LIGBT 的反向恢复电流峰值 I_{rr} 更低，反向恢复电荷 Q_{rr} 较少，软恢复因子 $S(t_b/t_a)$ 从 3.12 提高到了 6.76，增大一倍以上。原因是，在反向恢复过程中，本文的肖特基二极管处于反偏状态，电子电流主要流经 P-anode，有更多的空穴注

入到器件漂移区。空穴电流的注入使器件反向恢复电流减小的速度变慢，使 t_b 增大[12]。

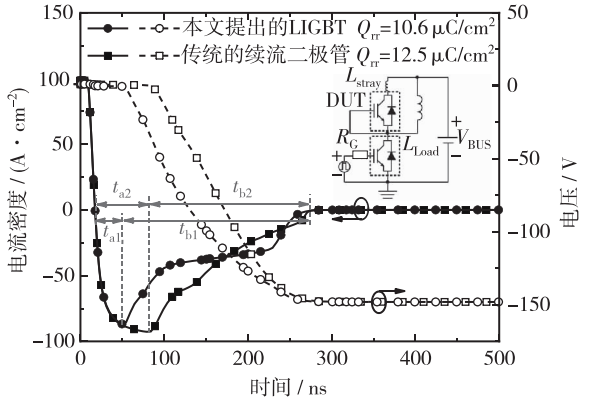


图 5　本文 LIGBT 与传统二极管的反向恢复特性曲线以及仿真电路

肖特基二极管的金属功函数、体区掺杂浓度(N_s)对反向导通压降的影响如图 6 所示。可以看出，随着金属功函数的增加，肖特基二极管的开启电压增大，本文 LIGBT 的反向导通压降随之增加。随着 N_s 的增大，肖特基二极管的漂移区电阻减小，器件的反向导通压降减小。

值得注意的是，随着金属功函数的减小，肖特基二极管的漏电流增大，这会影响本文 LIGBT 的正向导通特性。仿真结果表明，当金属功函数小于等于 4.4 eV 时，本文 LIGBT 在正向导通时出现电压折回效应。而金属功函数大于等于 4.5 eV 时没有电压折回效应。另外，N_s 的增加也会增大肖特基二极管的漏电流。通过合理选取金属功函数以及 N_s 的值可以使器件在没有电压折回效应的前提下，拥有较小的反向导通压降。

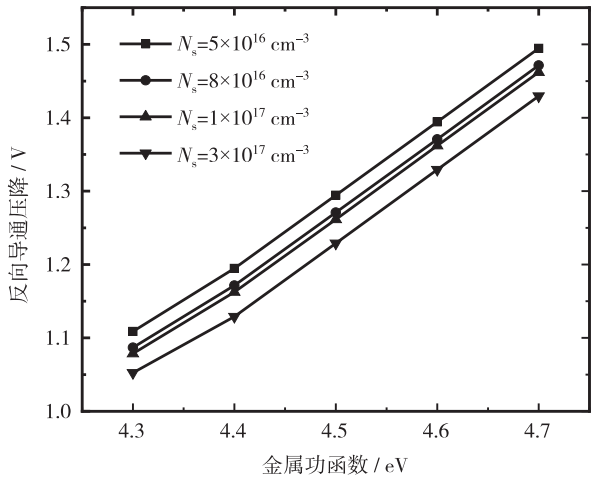


图 6　金属功函数和 N_s 对反向导通压降的影响

本文 LIGBT 与传统 LIGBT 的正向关断特性如图 7 所示。可以看出，本文 LIGBT 的正向关断拖尾电流更小，关断时间更短。这是因为器件正向关断时，会有部分电子电流从 N-anode 经反偏的肖特基二极管流出。这在一定程度上减小了电流下降阶段空穴从 P-anode 的持续注入，正向关断速度更快了。

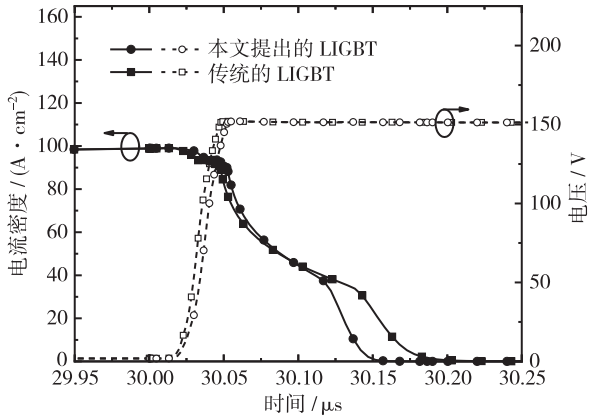


图 7　本文 LIGBT 与传统 LIGBT 的正向关断特性曲线

本文 LIGBT 的主要工艺流程如图 8 所示。首先，在 SOI 衬底片上完成 N-buffer、P-well、P-bury 的注入和推结、场氧的生长和栅氧的生长。接着，进行多晶硅的淀积、掺杂、曝光刻蚀，形成多晶硅栅和顶层肖特基二极管的体区。随后，通过 N 型杂质离子注入形成 LIGBT 的 N＋区与肖特基二极管的阴极。最后，注入 P 型杂质离子，完成器件金属电极的制作。本文 LIGBT 的制作工艺能较好地与现有 SOI 工艺兼容[13]。

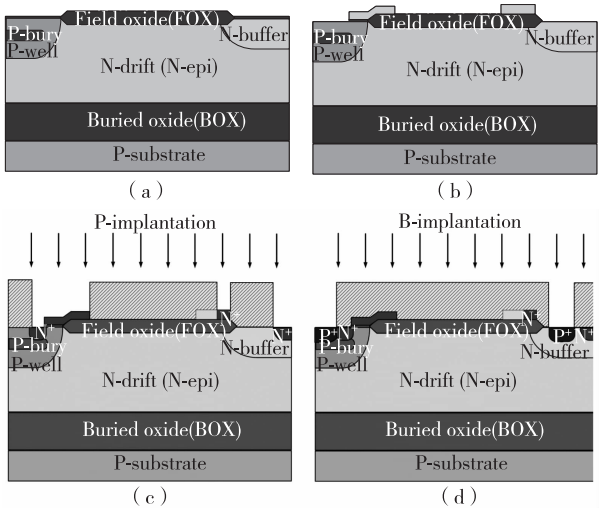


图 8　本文 LIGBT 主要工艺流程

3　结　论

本文提出并分析了一种基于肖特基二极管的新

型 RC 型 SOI-LIGBT。将肖特基二极管反向并联在 LIGBT 的 P-anode 区与 N-anode 区之间，消除了器件在正向导通时的电压折回效应。利用肖特基二极管漏电流较大的特点，选取合适的金属功函数和体掺杂浓度，使器件具有更高的击穿电压、更快的正向关断速度。利用肖特基二极管开启电压低的特点，减小了器件的反向导通压降。与传统续流二极管相比，本文 LIGBT 的反向恢复电荷减小了 15.2%，软恢复因子增大一倍以上。

参 考 文 献：

[1] DISNEY D, LETAVIC T, TRAJKOVIC T, et al. High-voltage integrated circuits: history, state of the art, and future prospects [J]. IEEE Trans Elec Dev, 2017, 64(3) 659-673.

[2] QIAN Q, LIU S, SUN W, et al. A robust W-shape-buffer LIGBT device with large current capability [J]. IEEE Trans Power Elec, 2014, 29(9): 4466-4469.

[3] TAKAHASHI S, NAKAGAWA A, ASHIDA Y, et al. Carrier-storage effect and extraction-enhanced lateral IGBT (E^2LIGBT): a super-high speed and low on-state voltage LIGBT superior to LDMOSFET [C] // IEEE ISPSD. Bruges, Belgium. 2012: 393-396.

[4] GOUGH P A, SIMPSON M R, RUMENNIK V. Fast switching lateral insulated gate transistor [C] // IEEE IEDM. Los Angeles, CA, USA. 1986: 218-221.

[5] SIN J K O, MUKHERJEE S. Lateral insulated-gate bipolar transistor (LIGBT) with a segmented anode structure [J]. IEEE Elec Dev Lett, 1991, 12(2): 45-47.

[6] ZHOU K, SUN T, LIU Q, et al. A snapback-free shorted-anode SOI LIGHT with multi-segment anode [C] // IEEE ISPSD. Sapporo, Japan. 2017: 315-318.

[7] UDUGAMPOLA N K, MCMAHON R A, UDREA F, et al. Analysis and design of the dual-gate inversion layer emitter transistor [J]. IEEE Trans Elec Dev, 2005, 52(1): 99-105.

[8] UDREA F, UDUGAMPOLA N K, TRAJKOVIC T, et al. Reverse conducting double gate lateral insulated gate bipolar transistor in SOI based technology [C] // IEEE ISPSD. Jeju Island, South Korea. 2007: 221-224.

[9] WU J, KONG M, YI B, et al. An ultralow turn-off loss SOI-LIGBT with a high-voltage p-i-n diode integrated on field oxide [J]. IEEE Trans Elec Dev, 2019, 66(4): 1831-1836.

[10] SHAH R R, HOLLINGSWORTH D R, DEJONG G A, et al. P-N junction and Schottky barrier diode fabrication in laser recrystallized polysilicon on SiO_2 [J]. IEEE Elec Dev Lett, 1981, 2(7): 159-161.

[11] NAKAGAWA A, FUNAKI H, YAMAGUCHI Y, et al. Improvement in lateral IGBT design for 500 V 3 A one chip inverter ICs [C] // IEEE ISPSD. Toronto, Canada. 1999: 321-324.

[12] RAHIMO M, SCHLAPBACH U, SCHNELL R, et al. Realization of higher output power capability with the bi-mode insulated gate transistor (BIGT) [C] // 13th Europ Conf Power Elec & Applic. Barcelona, Spain. 2009: 1-10.

[13] ZHANG L, ZHU J, SUN W, et al. A high current density SOI-LIGBT with segmented trenches in the anode region for suppressing negative differential resistance regime [C] // IEEE ISPSD. Hongkong, China. 2015: 49-52.

电容式微波功率检测系统的灵敏度特性研究

李龙飞，胡加杨，李方清，王德波
（南京邮电大学 电子与光学工程学院、微电子学院，南京 210023）

摘　要： 为了提高电容式微波功率检测系统的综合性能，首先建立了 MEMS 悬臂梁的力学解析模型，研究了 MEMS 悬臂梁在静电力与弹性力综合作用下的运动规律，并建立了灵敏度的解析模型。研究结果表明，灵敏度主要受悬臂梁至下拉极板的初始间距、梁板长度影响。其中，灵敏度与间距成反相关关系，与梁板长度成正相关关系。在 34～36 GHz 的 Ka 波段内，根据力学解析模型和灵敏度模型，灵敏度的仿真结果分别为 4.4 fF/W @34 GHz、4.1 fF/W @35 GHz、3.7 fF/W @36 GHz，实验测试结果分别为 5.0 fF/W @34 GHz、4.5 fF/W @35 GHz、4.0 fF/W @36 GHz。灵敏度的仿真结果与测试结果比较吻合，这对改善电容式微波功率检测系统的综合性能具有一定的指导意义。

关键词： MEMS；悬臂梁；力学特性；灵敏度；解析模型
中图分类号：TH89；TN62；TP212.1　　**文献标识码：**A　　**文章编号：**1004-3365(2020)03-0433-06
DOI：10.13911/j.cnki.1004-3365.190393

Research on Sensitivity Characteristics of Capacitive Microwave Power Detection System

LI Longfei, HU Jiayang, LI Fangqing, WANG Debo
(*College of Elec. and Optical Engineer. & College of Microelec., Nanjing Univ. of Posts and Telecommun., Nanjing* 210023, *P. R. China*)

Abstract: In order to improve the overall performance of the capacitive microwave power detection system, the mechanical analytical model of MEMS cantilever beam was firstly established to study the motion law of MEMS cantilever beam. Then, an analytical sensitivity model of system was established based on the mechanical analytical model. The results showed that the sensitivity was mainly affected by the initial spacing of the cantilever beam to the pull-down plate and the length of the beam plate. Among them, the sensitivity and the spacing were inversely related to each other, and there was a positive correlation between the sensitivity and the length of the cantilever beam. The simulation results showed that the sensitivity obtained was 4.4 fF/W @34 GHz, 4.1 fF/W @35 GHz and 3.7 fF/W @36 GHz in the range of 34-36 GHz according to the mechanical analytical model and the sensitivity model. The experimental results showed that the sensitivity obtained was 5.0 fF/W @34 GHz, 4.5 fF/W@35 GHz, 4.0 fF/W @36 GHz, respectively. The simulation results of the sensitivity were in good agreement with the measured results, which had a guiding significance for improving the overall performance of the capacitive microwave power detection systems.

Key words: MEMS; cantilever beam; mechanical property; sensitivity; analytical model

收稿日期：2019-07-05；**定稿日期：**2019-08-01
基金项目：国家青年自然科学基金资助项目(61704086)；中国博士后科学基金资助项目(2017M621692)；江苏省博士后基金资助项目(1701131B)；南京邮电大学国自基金孵化资助项目(NY215139，NY217039)；南京大学近代声学教育部重点实验室开放课题资助项目(1704)
作者简介：李龙飞(1998—)，男(汉族)，山东滨州人，研究方向为微波功率检测。
王德波(1983—)，男(汉族)，山东新泰人，副教授，研究方向为 MEMS 传感器。通信作者，E-mail：wdb@njupt.edu.cn。

0 引 言

在微机电系统（Micro-Electro-Mechanical System，MEMS）的发展过程中[1]，应用微波技术对微波信号功率进行精确检测是必不可少的环节。随着 MEMS 梁制作工艺的不断发展，在线结构的 MEMS 微波功率传感器逐渐得到广泛应用。其中，电容式微波功率检测系统具有高线性度、不完全消耗微波信号等优点[2]，到目前为止，已有很多文献对其进行了研究。

2005 年 7 月，L. J. Fernandez 第一次提出了基于 MEMS 梁结构的电容式微波功率传感器，通过测试 MEMS 梁偏移而导致的电容改变量来检测微波功率，但是，并未对系统的灵敏度等关键性能指标作进一步的解析模型研究[3]。2014 年，Z. X. Yi 等人首次提出了基于 MEMS 悬臂梁的电容式功率传感器互调（IM）失真实验，实验结果显示，电容式功率传感器的回波损耗小于－25 dB，插入损耗在 8～12 GHz 时接近 0.1 dB，表明其具有良好的微波性能[4]。同年，Z. Q. Zhang 等人提出一种基于 MEMS 悬臂梁的电容射频功率传感器，同样借助静电力引起的电容变化来检测微波功率[5]。2016 年 8 月，Z. X. Yi 等人又提出一种新型跷板结构的电容式功率检测系统，将 MEMS 梁设计为跷板结构，利用差分原理提高系统的灵敏度，但是，功率检测的动态范围只有 100 mW[6]。2017 年 4 月，Z. X. Yi 等人又采用应变方程，对基于悬臂梁的电容式微波功率检测系统的灵敏度进行了研究，但并未对与系统灵敏度直接相关的 MEMS 悬臂梁的动力学理论进行分析[7]。

从目前已报导的研究中不难发现，对于电容式微波功率传感器，研究者们往往忽略了对灵敏度解析模型的研究。考虑到灵敏度依赖于悬臂梁和下拉极板之间电容的变化，而 MEMS 悬臂梁的力学特性又对此有着直接影响，所以本文首先建立了 MEMS 悬臂梁的力学解析模型，并在此基础上建立了检测系统灵敏度的理论解析模型，重点研究 MEMS 悬臂梁的力学特性和灵敏度的主要影响因素。

1 工作原理

电容式在线微波功率检测系统的结构如图 1 所示。它包括用于传输微波信号的共面波导中心信号线（1）及地线（2）、吸收转换微波信号的 MEMS 悬臂梁（3）、测试电极（4）和固定悬臂梁的锚区（5）。

电容式微波功率检测系统在不影响微波信号传输的情况下，对微波功率进行测量。微波功率信号在共面波导中心信号线上传输，经过悬臂梁时，微波功率会对 MEMS 梁产生静电力。该静电力导致梁极板产生位移，进而改变 MEMS 梁与传感电极之间的电容值。通过测量改变的电容值，就可以实现对微波功率的检测。

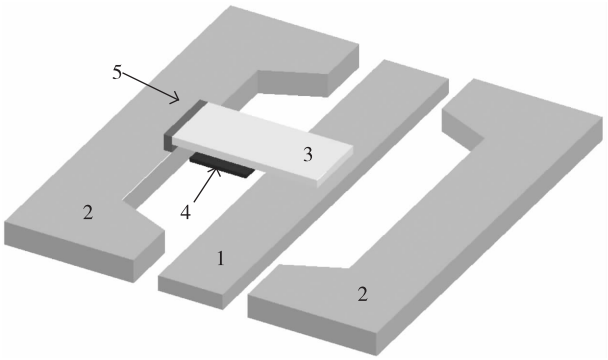


图 1 基于悬臂梁的电容式微波功率检测系统

2 模型建立

2.1 力学解析模型

MEMS 悬臂梁的剖面结构图如图 2 所示[8]。E、I 是材料参数，分别为悬臂梁的杨氏模量和转动惯量；L、a、H 是结构参数，分别为悬臂梁的长度、宽宽和厚度；g_0 为悬臂梁与下拉极板之间的初始间距。

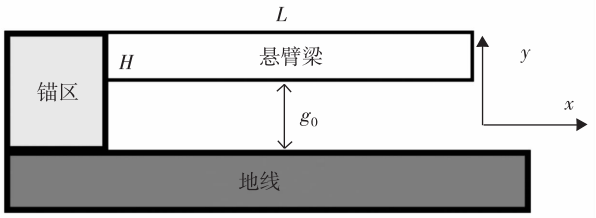


图 2 MEMS 悬臂梁的剖面结构图

由梁极板的动力学理论可得[9]，MEMS 悬臂梁的挠度方程 $\varphi(x)$ 为：

$$\varphi(x)=\frac{x^4-4Lx^3+6L^2x^2}{3L^4} \tag{1}$$

式中，x 为 MEMS 悬臂梁上任意一点至固定端的距离。在悬臂梁与下拉极板之间施加直流电压 V，产生的静电力 F_E 为：

$$F_E=\frac{\varepsilon a V^2}{2[g_0-w(x,t)]^2} \tag{2}$$

式中，ε 为介电常数，a 为悬臂梁的宽度，g_0 为悬臂梁与极板之间的初始间距。在静电力 F_E 的作用下，依据欧拉公式，可得 MEMS 悬臂梁的偏微分运动方程[10]：

$$EI\frac{\partial^4 w(x,t)}{\partial x^4}-N\frac{\partial^2 w(x,t)}{\partial x^2}=F_E \tag{3}$$

式中，$w(0,t)$ 表示 MEMS 悬臂梁在距离固定端 x 处、下拉极板接通电压持续时间 t 的偏移量。对于悬臂梁而言，偏移量具有的初态、稳态边界条件为：

$$\begin{aligned}&w(0,t)=\frac{\partial w(0,t)}{\partial x}=0,\\&\frac{\partial^2 w(L,t)}{\partial x^2}=\frac{\partial^3 w(L,t)}{\partial x^3}=0\end{aligned} \tag{4}$$

式(4)表示悬臂梁的固定端偏移量始终为 0，悬臂梁达到稳态后，梁上任意一点的偏移量不随时间的改变而变化。

对于不考虑边界效应的悬臂梁而言，将式(1)～式(4)联立，得到方程：

$$EI\frac{\partial^4 w}{\partial x^4}-N\frac{\partial^2 w}{\partial x^2}=\frac{\varepsilon a V^2}{2[g_0-w(x,t)]^2} \tag{5}$$

将上式两边同时乘以 $\varphi(x)$，并引入相对坐标 $\hat{q}=qg_0^{-1}$，从 0 至 L 积分，并在 $\hat{q}=0$ 处对其进行泰勒展开，展开到 M 阶，可得：

$$\frac{2g_0^3 EI}{\varepsilon a}\cdot\frac{\hat{q}_{\max}c_0}{\sum_{i=0}^{M}(i+1)\,\hat{q}_{\max}^{i}c_{i+1}}=V^2 \tag{6}$$

$$\begin{aligned}c_0=&\int_0^L\varphi(x)\frac{\partial^4\varphi(x)}{\partial x^4}\mathrm{d}x-\\&\frac{N}{EI}\int_0^L\varphi(x)\frac{\partial^2\varphi(x)}{\partial x^2}\mathrm{d}x\end{aligned} \tag{7}$$

当悬臂梁达到稳定时，静电力不再变化，即下拉电压不再变化，有：

$$\left.\frac{\mathrm{d}V}{\mathrm{d}\hat{q}}\right|_{\hat{q}=\hat{q}_{\max}}=0\Rightarrow\left.\left(\frac{1}{2V}\frac{\mathrm{d}V^2}{\mathrm{d}\hat{q}}\right)\right|_{\hat{q}=\hat{q}_{\max}}=0 \tag{8}$$

联立上述方程，借助 Matlab 对区间[1,30]内的整数 M 值依次遍历，可得到对应的稳态下拉坐标点 $\hat{q}_{\max}$。由 Matlab 软件计算可得，当泰勒展开阶数达到 5 时，所建立的悬臂梁力学解析模型进入收敛态。因此，在下拉极板接通直流电压以后，理论上存在偏移量稳定值。

忽略边缘效应的平行板电容器的振动微分方程为[11]：

$$m\frac{\mathrm{d}^2 w(x,t)}{\mathrm{d}t^2}+b\frac{\mathrm{d}w(x,t)}{\mathrm{d}t}+kw(x,t)=\frac{\varepsilon A V^2}{2[g_0-w(x,t)]^2} \tag{9}$$

式中，m、b、k 分别为悬臂梁的质量、阻尼系数、等效弹簧刚度，ε 为真空介电常数。对偏移量关于时间的 1 阶微分是悬臂梁的振动速度，2 阶微分是悬臂梁的加速度。

由于 MEMS 悬臂梁与下拉极板之间为对称设置，悬臂梁的最大偏移点位于自由端。因此，令 $x=L$，取 $t=1.0$ ms，研究下拉极板接通直流电压，在 1.0 ms内，悬臂梁自由端的振动状态。借助 Matlab 软件，应用龙格—库塔法的标准 4 阶公式[12]，在计算模型中取中心振动系数 A 为 0.54，通过不断逼近的解法求解上述一系列微分方程，得到悬臂梁自由端的振动图像，如图 3 所示。在下拉极板接通直流电压的较短时间内，悬臂梁各点在静电力的吸引作用下剧烈振动；随着时间的推移，悬臂梁所受的静电力与弹性恢复力逐渐达到平衡，此时悬臂梁最大偏移量稳定在梁自由端处，其值约为初始间距 g_0 的 1/3，悬臂梁的初始间距为 1.6 μm，当自由端达到平衡时为 0.54 μm。

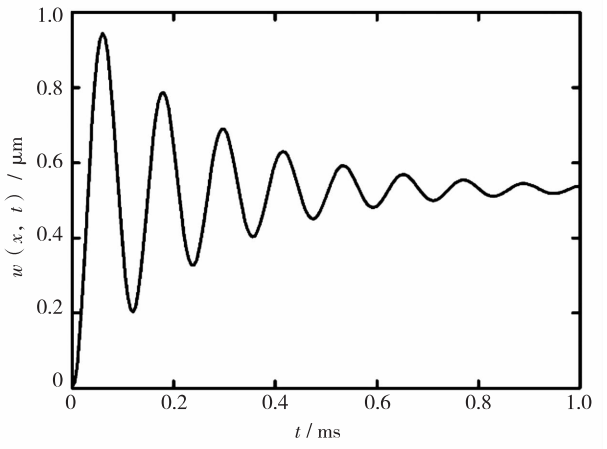


图 3　悬臂梁自由端的动态振动图像

2.2　灵敏度解析模型

灵敏度是衡量器件工作性能的首要因素。根据基于 MEMS 悬臂梁的电容式微波功率检测系统的工作原理，该系统的灵敏度为电容变化量与输入功率信号的比值[13]。

在上述力学模型的基础上，MEMS 悬臂梁与下拉极板之间的电容表达式为：

$$C=\frac{\varepsilon_0 aL}{g_0+g_1/\varepsilon_r-\overline{w(x,t)}} \tag{10}$$

式中，$\overline{w(x,t)}$ 为微波功率检测系统的悬臂梁稳态有效偏移量，a 为悬臂梁的宽度，L 为悬臂梁的长度，ε_0 为真空的介电常数，g_0 为悬臂梁与极板之间

的初始间距，ε_r 为相对介电常数，g_1 为悬臂梁发生偏移之后与电容极板之间的间距。

电压与功率之间的关系为[14]：

$$V=\sqrt{Z_0 P_{in}} \tag{11}$$

式中，Z_0 是共面波导的特征阻抗。

考虑到当悬臂梁达到稳态时各点的偏移量并不相同，取悬臂梁的有效稳态偏移量$\overline{w(x,t)}$为最大偏移量$w(L,t)$与最小偏移量$w(0,t)=0$的平均值[15]：

$$\overline{w(x,t)}=\frac{w(L,t)+w(0,t)}{2}=\frac{w(L,t)}{2} \tag{12}$$

当悬臂梁受到的静电力与弹性力平衡时，有：

$$\frac{1}{2}kw(L,t)=\frac{1}{2}\frac{\varepsilon_0 aLZ_0 P_{in}}{(g_0+g_1/\varepsilon_r)^2} \tag{13}$$

式中，悬臂梁弹性系数 k 为[16]：

$$k=\frac{F_E}{w(L,T)}=\frac{16Eat^3}{L^3} \tag{14}$$

考虑到输入微波功率信号 P_{in} 在共面波导下拉极板上传输时的能量损失，根据微波理论，推导出能量传输效率 η[17]：

$$\eta=10^{-\frac{m}{10}f^b} \tag{15}$$

$$m=\sqrt{\frac{\varepsilon_r+1}{2}}\left[\frac{45.152}{(sw)^{0.41}e^{2.127\sqrt{h}}}\right] \tag{16}$$

$$\Delta h=\frac{1.25h}{\pi}\left(1+\ln\frac{4\pi c}{h}\right) \tag{17}$$

式中，s 为共面波导的宽度，c 为共面波导的狭缝宽度，ε_r 为衬底的相对介电常数[18]。联立式(10)～式(17)，基于 MEMS 悬臂梁的电容式在线微波功率检测系统的灵敏度模型为：

$$S=\frac{\Delta C}{P_{in}}=\frac{Z_0\eta L^5(\varepsilon_0 a)^2}{16Eat^3(g_0+g_1/\varepsilon_r)^4} \tag{18}$$

由式(18)可知，系统的灵敏度与悬臂梁长度 L、初始间距 g_0 这两个结构参数直接相关。

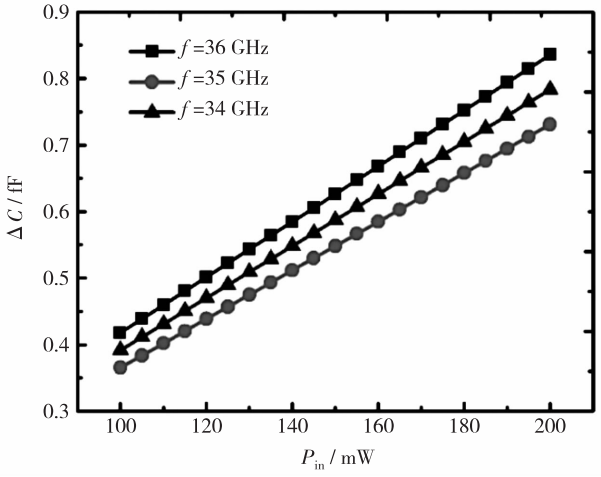


图 4 电容式微波功率检测系统的灵敏度仿真结果

除了结构参数外，依据式(15)～式(17)不难发现，待测微波功率的频率会通过影响共面波导的能量传输效率，间接对系统灵敏度产生影响。因此，根据力学解析模型和灵敏度模型，将输入功率设置为 100～200 mW，初始间距 g_0 设置为 1.6 μm，能量效率 η 近似取 1，g_0/g_1 近似取 0，电容变化量随输入功率的变化关系如图 4 所示。在频率为 34～36 GHz 时，电容式微波功率检测系统的灵敏度分别为 4.4 fF/W @34 GHz，4.1 fF/W @35 GHz 和 3.7 fF/W @36 GHz。

考虑到悬臂梁与下拉极板初始间距、梁板长度对灵敏度的影响，取共面波导的特征阻抗为 50 Ω，杨氏模量取 4.75×10^{10} Pa，能量效率近似取 1，g_0/g_1 近似取 0，灵敏度 g_0 与悬臂梁长度 g_0 和初始间距 g_0 的关系如图 5 所示。对于特定的悬臂梁长度而言，随着初始间距 g_0 的增大，悬臂梁与下拉极板之间的静电力 F_E 会变小，吸合电压 V 会增大，从而导致悬臂梁的有效偏移量减小。但是由于制作工艺的限制，初始间距无法做到很小，综合考虑，取初始间距为 1.6 μm。随着悬臂梁长度 L 的增加，电容会增大，并且趋势越来越快，可以明显提高检测系统灵敏度。但是，由于弹性系数 k 显著减小，且受到匹配特性和集成度的限制，不可能无限增大悬臂梁的长度[19]。

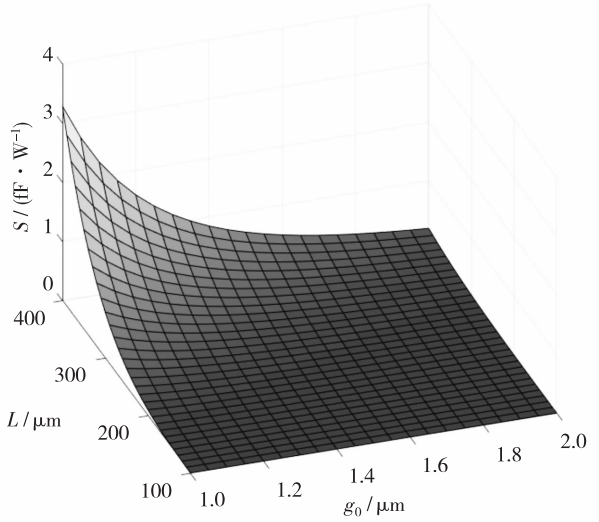


图 5 灵敏度与初始间距、梁板长度的关系图

在 35 GHz 下，依据式(18)得到灵敏度 g_0 与悬臂梁长度 L、宽度 a 的三维关系，如图 6 所示。随着悬臂梁长度和宽度的增加，检测系统的灵敏度迅速增长。同时，增加长度所带来的灵敏度增长速率明显高于增加宽度所带来的灵敏度增长，因此悬臂梁

的长度对灵敏度的影响较大。

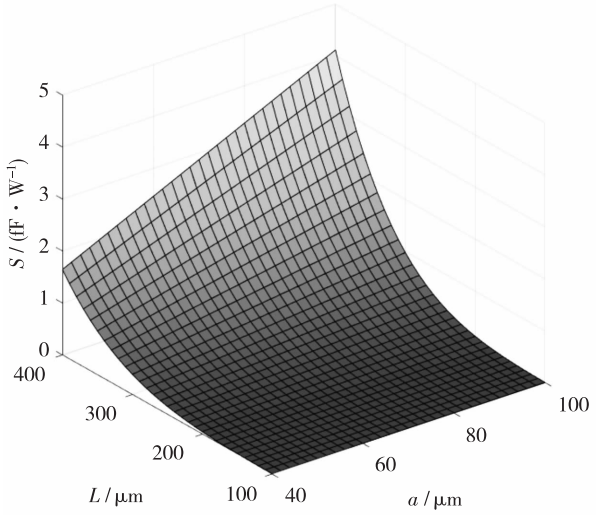


图 6　灵敏度与悬臂梁长度、宽度的三维关系

3　实验测试与结果

将实际情况限制与仿真结果相结合，检测系统的悬臂梁参数为 $L=200$ μm、$a=50$ μm、初始间距 $g_0=1.6$ μm。采用 CASCADE RF-1 微波探针台、Agilent E8257D PSG 模拟信号发生器和 AD7747 电容测试电路板，对基于 MEMS 悬臂梁的电容式微波功率检测系统进行灵敏度特性测试，测试过程如图 7 所示。

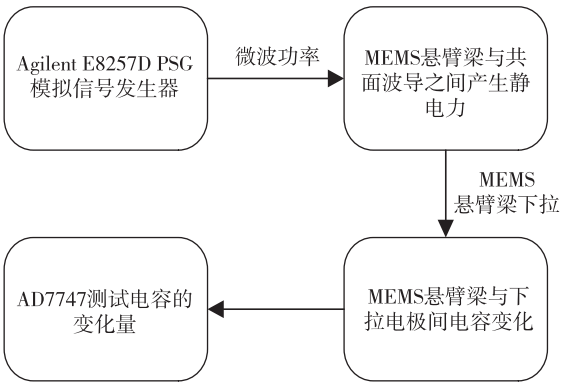


图 7　电容式微波功率检测系统的测试流程图

检测系统的输入端以 100 mW 为梯度，依次输入 100～200 mW 的微波功率，在 34～36 GHz 的微波频率下，得到的电容变化量和输入功率的关系如图 8 所示。系统的灵敏度即为图 8 对应的各条曲线的斜率，分别为 5.0 fF/W @34 GHz，4.5 fF/W @35 GHz 和 4.0 fF/W @36 GHz。不难发现，电容变化量与输入功率之间的线性度、系统灵敏度均会随着微波频率的增加而变差，原因是微波频率越高，共面波导和负载电阻的寄生效应越明显，两者的匹配性能越差，从而影响微波信号的能量传输效率，最终导致器件的灵敏度减小。另外，检测系统的灵敏度特性还与共面波导的匹配特性、工作温度及选用材料等多种因素有关。

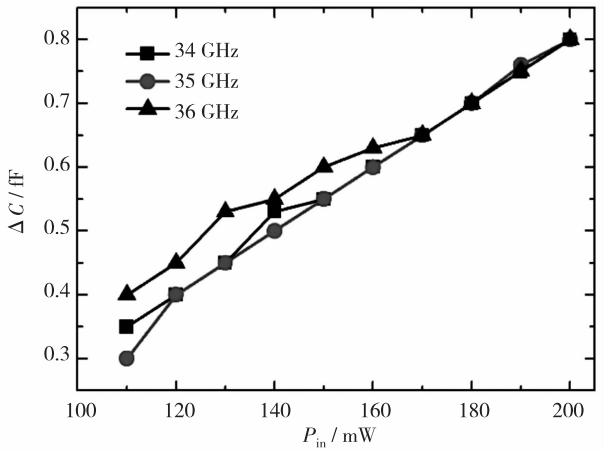


图 8　电容式微波功率检测系统的测试结果

在 34～36 GHz 频率下，将基于力学解析模型、灵敏度模型所得到的灵敏度模拟结果与实验测试结果相比较，不难发现，模拟结果与实验结果比较吻合。模拟结果的相对误差分别为 12%、8.9% 和 7.5%。相对误差均在可接受范围之内。这表明该 MEMS 悬臂梁力学解析模型与灵敏度模型对于电容式 MEMS 微波功率检测系统的结构设计具有一定的指导意义。

4　结　论

本文首先建立了 MEMS 悬臂梁的力学解析模型，重点研究了影响系统灵敏度的主要结构参数。研究结果表明，灵敏度与悬臂梁至下拉极板的初始间距成反相关关系，与极板长度成正相关关系。最终，依据实验结果发现，根据建立的理论解析模型得到的模拟值与实验值比较吻合。本文针对 MEMS 悬臂梁提出的静态、动态力学解析模型、匹配特性模型，定量分析了悬臂梁的具体参数，深度研究了检测系统的灵敏度，对于提高电容式在线微波功率检测系统的检测范围和精度具有一定的指导意义。

参 考 文 献：

[1]　YI Z X, YAN H, LIAO X P. Theoretical and

experimental investigation of cascaded microwave power sensor [J]. IEEE Trans Elec Dev, 2017, 64 (4): 1728-1734.

[2] 田涛，廖小平. 一种新型 MEMS 微波功率传感器的设计与模拟 [J]. 传感技术学报，2008，21(4)：611-614.

[3] FERNANDEZ L J, WIEGERINK R J, FLOKSTRA J, et al. A capacitive RF power sensor based on MEMS technology [J]. J Micromechan & Microengineer, 2005, 16(7): 1099-1107.

[4] YI Z X, LIAO X P. Measurements on intermodulation distortion of capacitive power sensor based on MEMS cantilever beam [J]. IEEE Sensors J, 2014, 14(3): 621-622.

[5] ZHANG Z Q, LIAO X P. Inline capacitive RF power sensor based on floating MEMS beam for GaAs MMIC applications [J]. Elec Lett, 2014, 50 (18): 1292-1294.

[6] YI Z X, YAN H, LIAO X P. Modeling of differential power sensor based on seesaw structure for microwave communication application [J]. IEEE Trans Elec Dev, 2017, 64(11): 4664-4670.

[7] YI Z X, LIAO X P. Experiment of the MEMS wind sensor based on temperature-balanced mode [J]. IEEE Sensors J, 2017, 17(8): 2316-2317.

[8] CHU C L, LIAO X P, CHEN C. Improved dynamic range of microwave power sensor by MEMS cantilever beam [J]. J Microelectromech Syst, 2017, 26(6): 1183-1185.

[9] 徐一鸣，左洪福，詹志娟，等. 基于灵敏度分析的静电传感器优化设计 [J]. 仪器仪表学报，2012，33(5)：1084-1089.

[10] REZAZADEH G. A comprehensive model to study nonlinear behavior of multilayered micro beam switches [J]. Microsyst Technol, 2008, 14 (1): 135-141.

[11] 许映林，廖小平，田涛. 基于单片式微波集成电路的终端式 MEMS 微波功率传感器 [J]. 光学精密工程，2009，17(7)：1656-1659.

[12] 颜伟霞，秦旭达，贾昊. 龙格-库塔方法求解插铣钛合金的振动位移 [J]. 哈尔滨理工大学学报，2011，16 (3)：91-94.

[13] WANG D B, LIAO X P. A terminating-type MEMS microwave power sensor and its amplification system [J]. J Micromechan & Microengineer, 2010, 20 (7): 075021.

[14] WANG D B, GAO B, ZHAO J, et al. Optimization of thermoelectric microwave power sensors based on thin-membrane structure [J]. Chin J Elec, 2015, 24(4): 884-888.

[15] 张焕卿，李龙飞，白雪婧，等. 电容式微波功率传感器的 MEMS 悬臂梁力学模型 [J]. 微电子学，2019，49 (3)：373-377.

[16] 黄从朝，黄庆安，廖小平. 一种新型 MEMS 微波功率传感器的理论模型与优化设计 [J]. 传感技术学报，2006，19(5)：1938-1944.

[17] 张焕卿，白雪婧，王德波. 热电式 MEMS 微波功率传感器模型的研究 [J]. 仪器仪表学报，2018，39(1)：110-117.

[18] 张焕卿，戴瑞萍，陆颢瓒，等. MEMS 微波功率传感器拉格朗日模型的研究 [J]. 仪器仪表学报，2018，39 (8)：110-117.

[19] 孙怀远，宋来全，杨丽英，等. 热电偶温度检测系统设计与应用 [J]. 电子测量技术，2014，37(12)：86-89.

·测试与封装·

BSOB 键合互连在厚膜混合电路中的应用研究

燕子鹏，秦文龙，贺从勇
（中国电子科技集团公司 第二十四研究所，重庆 400060）

摘　要： 在厚膜混合 IC 的基板键合区中，存在玻璃相残留、平整性差、沾污等问题。采用常规安全成球（BBOS）工艺进行芯片与基板互联时，存在键合不粘、短线尾等异常问题。本研究采用先植球后打线（BSOB）键合工艺，消除了键合过程中的异常问题。对比了 BSOB、BBOS 两种方式的可靠性，研究了劈刀磨损对 BSOB 方式的可靠性影响。结果表明，BSOB 方式在初始拉力和 300 ℃/24 h 后的拉力及过程能力指数（Cpk）均明显高于规范值，键合 40 万个点后，无明显变化。BSOB 方式是一个键在另一个键上面形成的复合键合，满足 GJB548 规范要求。

关键词： 混合 IC；金丝键合；BSOB 键合；BBOS 键合
中图分类号：TN452　　**文献标识码：**A　　**文章编号：**1004-3365(2020)03-0439-05
DOI：10.13911/j.cnki.1004-3365.190480

Application Research on BSOB Wire Bonding Interconnection of Thick Film Hybrid Circuit

YAN Zipeng, QIN Wenlong, HE Congyong
(*The 24th Research Institute of China Electronics Technology Group Corp., Chongqing* 400060, *P. R. China*)

Abstract: Due to the glass frit remained on the uneven bonding surfaces of the thick film hybrid integrated circuits (HIC) substrate, together with the contamination introduced during the assembly of the HIC, non-sticking on the substrate and short tail frequently occurred, when conventional BBOS wire bonding technique was used for the interconnections of the dies and substrate. In this paper, BSOB bonding technique was used to eliminate the bonding process problems. The reliability of the BSOB and BBOS was compared. Also the abrasion of the capillary on the effect of the bonding reliability was studied. The results indicated that both the wire pull and the process capability index (Cpk), of the initial and after 300 ℃/24 h, were obviously higher than the specified values, and showing no evident variations after 400 000 bonds. BSOB technique was compliant with the GJB548 for a compound bond, where one bond was placed on top of another bond.

Key words: hybrid integrated circuit; Au wire bonding; bond stitch on ball bonding; bond ball on stitch bonding

0　引　言

厚膜混合 IC 因具有高密度、高性能、高可靠性、轻重量、小体积等特点而被广泛应用于航天、航空、兵器、船舶、电子等领域[1-2]。厚膜混合 IC 是将各种功能的片式器件在厚膜基板上进行电气互联的混合电路。芯片被贴装到厚膜基板上后需要可靠的电气互联，从而具备电路功能[3]。热超声金丝球焊工艺因具有键合温度适中（150 ℃）、超声能量低、可任意方向拱丝、弹坑发生少、速度快等特点而被广泛用于混合 IC 中芯片与基板的互联[4]。

收稿日期：2019-08-11；**定稿日期：**2019-10-08
基金项目：模拟集成电路国家重点实验室基金资助项目（6142802040805）
作者简介：燕子鹏（1985—），男（汉族），山东广饶人，硕士研究生，研究方向为厚薄膜混合集成电路工艺技术。

1 金丝球焊键合工艺

金丝球焊工艺对键合表面状态的要求较高，需要良好的表面。厚膜基板采用印烧工艺，将含有玻璃料的导体、电阻和绝缘浆料淀积在陶瓷基板上，通过液相烧结，玻璃料将膜层黏接在基板上，颗粒聚集在一起。厚膜导带示意图如图1所示。在液相烧结过程中，要求玻璃料颗粒润湿，玻璃相约占浆料体积的10%～15%，烧结后的膜层表面会残留部分的玻璃相[3]。采用丝网印刷工艺制作的导带的平整性较差。在厚膜混合电路组装过程中，工艺步骤多，容易引入沾污[5-6]。

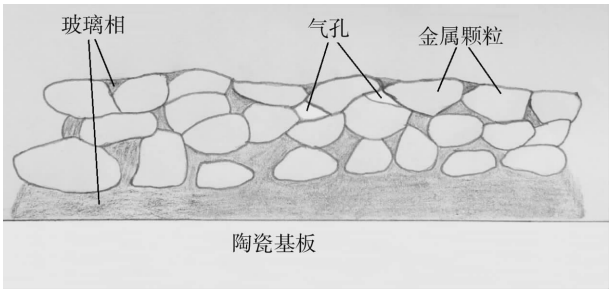


图1 厚膜导带示意图

在厚膜基板键合区中，会残留玻璃相，厚膜平整性差，组装过程中容易引入沾污。在金丝球焊键合工艺过程中，月牙与基板键合区的结合力较弱。因此，在基板上完成月牙键合后，需对月牙的根部进行加固，这就是BBOS键合方式[7-8]，如图2(a)所示。BBOS方式中，加固球能避免基板状态不佳所致的月牙与基板的虚键，但月牙键合时，易出现键合不粘、短线尾等异常问题，严重时会降低键合效率，产生质量问题。

主流的自动金丝球焊键合机均设置预植金球功能，即在表面状态很差的厚膜基板键合区上，金球仍能形成可靠的连接。在芯片上进行球焊，拱丝在基板的预植金球上，进行月牙键合，这就是BSOB键合方式，如图2(b)所示。预植的金球给月牙键合提供了状态良好、一致的表面，使月牙和金球形成可靠连接，解决了BBOS方式中的键合不粘、短线尾等问题。

本文采用25 μm热超声金丝球焊，在厚膜基板上进行键合，对BSOB键合的关键参数进行试验设计，得出最优的键合参数。对比分析了BSOB与BBOS两种方式在键合过程中的键合不粘、短线尾异常的问题。分析了两种模式的可靠性差异。分析了劈刀磨损对BSOB方式的可靠性影响。

(a) BBOS方式 (b) BSOB方式

图2 两种键合方式结构

2 实验

本实验采用K&S Iconn自动金丝键合机。键合丝选用纯度为99.99%、直径为25 μm的金丝。采用DAGE4000拉力测试仪，对键合丝进行破坏性键合拉力测试。为了更好地评估BSOB方式中月牙键合的强度，拉力测试点均设在键合丝的中间位置。对BSOB方式的关键工艺参数，包括预植金球参数、月牙与预植金球偏移参数、月牙键合参数，进行优化。为了评估劈刀磨损对键合可靠性的影响，键合点数为40万个。每隔5万个点键合150根金丝，进行破坏性键合拉力测试。

2.1 预植金球参数、与月牙的偏移参数

植球参数中，分离高度过小会使预植金球受到较大剪切力，导致金球连接强度减弱或脱落；分离高度过大可能导致短线尾。平滑距离过小会影响月牙键合的稳定性；平滑距离过大会导致尾丝一致性差。成球高度应略小于分离高度，以确保预植金球表面平坦。植球应保证球形一致。植球过程中，无脱球或短线尾异常，表面平坦，能为月牙键合提供最大的落座面积[9]。实验优化的分离高度为25 μm，平滑距离为－41 μm，成球高度为18 μm。预置金球示意图如图3所示。

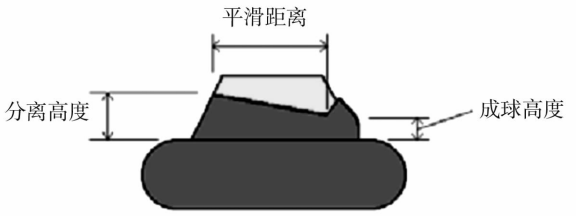


图3 预植金球示意图

良好的预植金球表面如图4所示。可以看出，预植金球表面面积大、表面平坦。预置金球表面有一个短的尾丝。而铜线BSOB方式中，预置铜球几乎没有尾丝。原因是金的杨氏模量比铜小[9]。

月牙在金球上的落座位置十分关键。月牙落座位置约在预置金球的 1/2～1/3 位置处，如图 5 所示。这才能确保月牙与预置金球有良好的结合。

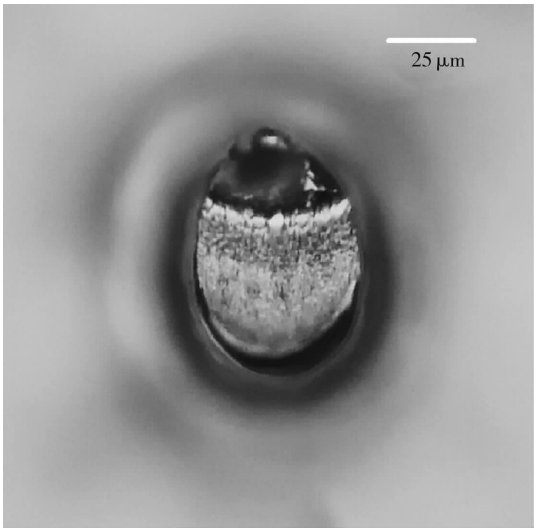


图 4　良好的预置金球表面图

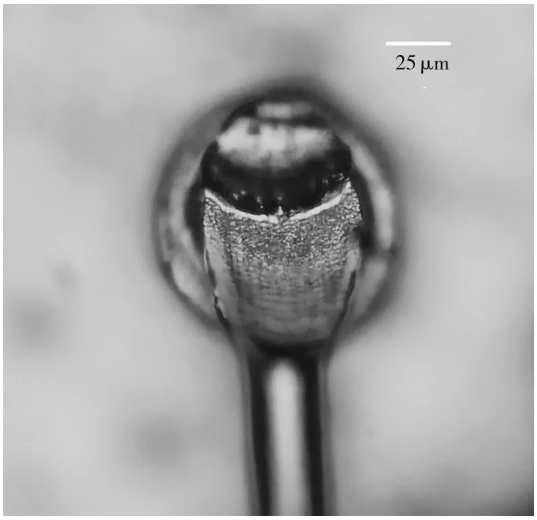


图 5　月牙与预置金球位置图

2.2　月牙键合参数

健壮的月牙键合过程中，未发生键合不粘或短线尾异常情况，键合拉力满足规范要求。对关键键合参数，即功率电流和压力，进行全因子试验。功率电流取值分别为 40 mA、50 mA、60 mA，压力取值分别为 25 g、30 g、35 g，各试验组的键合拉力值如表 1 所示。由实验得出，功率电流为 50 mA、压力为 25 g 时，拉力均值最大，为 11.02 g。全因子设计方差的分析结果如表 2 所示。

功率电流和压力主效应具有统计学意义，功率电流与压力存在交互效应。对不同功率电流和压力主效应分别进行组间比较。结果表明，不同功率电流组间，拉力均值具有显著性差异（$p<0.05$）；不同压力组间，拉力均值具有显著性差异（$p<0.05$）。对功率电流和压力的交互效应进行比较。结果表明，功率电流 50 mA、压力 25 g 组与功率电流 40 mA、压力 25 g 组的键合拉力均值无显著性差异（$p>0.05$），而与其余各组的键合拉力均值都具有显著性差异（$p<0.05$）。这表明，功率电流 50 mA、压力 25 g 和功率电流 40 mA、压力 25 g 两组参数均为最优的参数组合。

表 1　各试验组键合拉力值

水平	功率电流/mA	压力/g	拉力/g
1	40	25	10.86±0.50
2	40	30	10.57±0.55
3	40	35	10.69±0.45
4	50	25	11.02±0.44
5	50	30	10.67±0.52
6	50	35	10.76±0.50
7	60	25	10.43±0.72
8	60	30	10.45±0.71
9	60	35	10.41±0.60

表 2　全因子设计方差分析结果

效应	自由度	均方值	F 值	p 值
功率电流	2	17.66	55.86	<0.000 1
压力	2	5.17	16.34	<0.000 1
压力×功率电流	4	1.47	4.65	0.001

3　结果与讨论

3.1　BSOB 与 BBOS 方式的异常对比

采用 BSOB 与 BBOS 方式，在厚膜基板上各键合 1 000 根丝，统计键合不粘、短线尾的次数，如表 3 所示。在厚膜基板键合区，会存在玻璃相残留、平整性差、沾污等问题。对于 BBOS 方式，较差的表面会产生异常问题，键合不粘、短线尾的次数为 21 次，异常占比高达 2.1%。BSOB 方式则能完全消除上述异常问题，原因是避免了月牙与厚膜基板键合区的直接键合。BSOB 方式采用预置金球进行过渡。一方面，预置金球为月牙键合提供了良好的表面，另一方面，预置金球与厚膜基板键合区的连接面积大，有

利于施加更大的超声能量，以促进金属原子互扩散，形成有效的连接。

表 3　BSOB 与 BBOS 方式的异常情况统计

键合方式	键合不粘/次	短线尾/次	异常占比
BSOB	0	0	0.00%
BBOS	7	14	2.10%

3.2　BSOB 与 BBOS 方式的可靠性对比

BSOB 与 BBOS 方式的初始和 300 ℃/24 h 储存后的键合拉力分别如表 4、表 5 所示。初始时，两种方式的拉力值分布相似，无显著差异，最小值为 9.15 g，明显大于 3 g 的规范值。对于 300 ℃/24 h 储存后的键合拉力，相比 BBOS，BSOB 方式的拉力值分布更为离散，Cpk 降为初始值的一半左右，为 2.45，但仍明显大于 1.33 的规范值要求。对于 BBOS 方式，在高温储存前后的 Cpk 变化不大。对于 BSOB 方式，月牙键合点形变量的差异更大，塑性变形产生的残余应力差异较大，高温储存后，残余应力得到释放，拉力值变得离散。

两种方式都在第一颈缩点附近的热影响区(HAZ)形成较大的晶粒，产生相变应力，高温储存后，应力同样得到释放[10]。因此，两种方式的拉力均值均有所下降，都降低了 0.7 g。

表 4　BSOB 与 BBOS 方式的初始键合拉力表

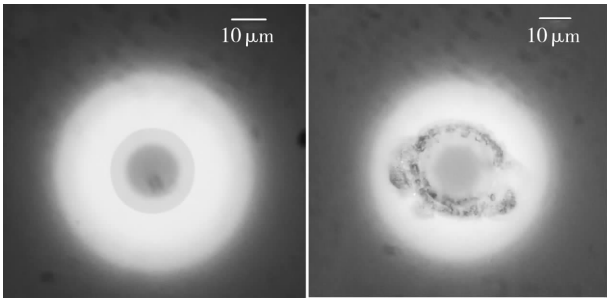
方式	最大值/g	最小值/g	平均值/g	标准差/g	Cpk
BSOB	11.90	9.56	11.02	0.43	5.00
BBOS	12.04	9.15	11.08	0.44	4.97

表 5　BSOB 与 BBOS 方式的 300 ℃/24 h 后键合拉力表

方式	最大值/g	最小值/g	平均值/g	标准差/g	Cpk
BSOB	11.39	7.07	10.30	0.79	2.45
BBOS	11.62	9.52	10.38	0.43	4.52

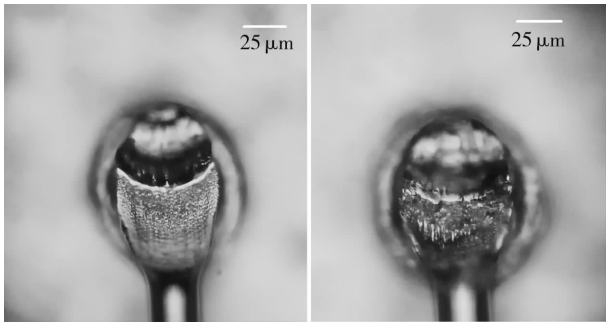
3.3　劈刀磨损对键合可靠性的影响

劈刀在使用过程中，会不断磨损、沾污，影响劈刀与金丝之间耦合效果，进而影响超声能量的传递，最终限制金丝与厚膜金之间的原子扩散[10]。对于 BSOB 方式，初始状态、键合 40 万个点后的劈刀端面图和月牙形貌分别如图 6 和图 7 所示。可以看出，初始状态时，劈刀端面光滑，无磨损和沾污，键合的月牙表面光滑。键合 40 万个点后，端面有明显的磨损和沾污，键合点表面变粗糙了。



(a) 初始　　(b) 40 万个点后

图 6　劈刀端面图



(a) 初始后　　(b) 40 万个点后

图 7　月牙键合点形貌图

对于 BSOB 方式，拉力值、Cpk 随键合点数的变化曲线如图 8 所示。可以看出，键合 40 万个点后，拉力值、Cpk 无明显波动，均大于规范值。300 ℃/24 h 储存前后的拉力值对比如表 6 所示。高温储存后，拉力降低，变化规律与劈刀磨损试验前键合金丝的高温储存结果类似，不再赘述。从表 6 可知，拉力值、Cpk 均明显大于规范要求，说明 BSOB 方式满足长期可靠性的要求。

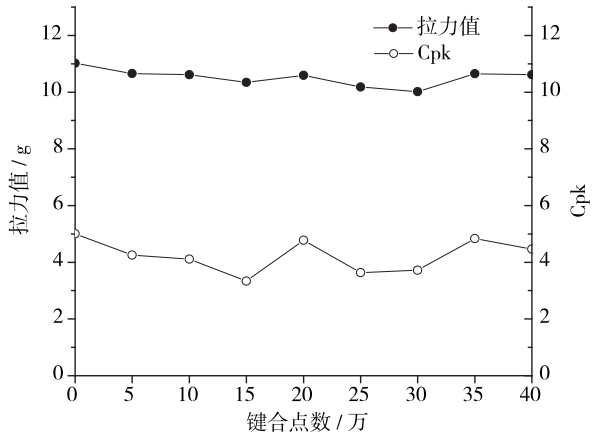


图 8　拉力值、Cpk 随键合点数的变化曲线

表 6　BSOB 方式在 40 万个点、300 ℃/24 h 的前后对比

方式	最大值/g	最小值/g	平均值/g	标准差/g	Cpk
初始	11.39	9.12	10.61	0.46	4.47
300 ℃及 24 h后	11.01	7.08	9.42	0.77	2.12

采用 BSOB 方式，在键合 40 万个点后，未出现键合不粘或短线尾等异常情况，表明 BSOB 方式具有较高的工艺稳健性。

目检按标准 GJB548-2005《微电子器件试验方法和程序》方法 2017.1 进行。BSOB 方式本质上是复合键合，即一个键在另一个键上形成单一金属键合，满足 GJB2438-2002《混合集成电路通用规范》中关于复合键合的要求。

4　结　论

本文对 BSOB 键合方式在厚膜基板上的键合参数进行优化，与 BBOS 方式进行对比。结果表明，两种方式的初始键合拉力、Cpk 无明显差异。在 300 ℃/24 h 后，BSOB 方式的拉力值更加离散，原因是月牙键合点形变量差异更大，高温储存使其残余应力得到释放。采用 BSOB 方式键合 40 万个点后，未出现任何键合不粘、短线尾等异常情况。键合 40 万个点后，初始和 300 ℃/24 h 后的拉力值、Cpk 均明显高于规范值。这表明 BSOB 方式健壮性较好，适用于厚膜基板的引线互联。BSOB 方式属于复合键合，满足相关规范要求。

参 考 文 献：

[1] 李振亚，赵钰. 混合集成电路技术发展与展望 [J]. 中国电子科学研究院学报，2009，2(4)：119-124.

[2] 门国捷. 国外宇航级混合集成电路发展浅析 [J]. 电子与封装，2014，14(7)：44-48.

[3] 朱瑞廉. 混合微电路技术手册 [M]. 北京：电子工业出版社，2004：7-8，73-79.

[4] HARMAN G. Wire bonding in microelectronics [M]. New York：McGraw-Hill Companies，2010：36-37.

[5] 罗俊，秦国林，李晓红，等. 厚膜混合集成电路可靠性技术 [J]. 微电子学，2011，41(1)：111-115.

[6] HINCH S W. 表面安装技术手册 [M]. 北京：兵器工业出版社，1992：392-396.

[7] REN Z. Silver bonding wire for BSOB (Bond-Stitch-on-Ball)/BBOS(Bonding-Ball-on-Stitch) [C] //China Semicond Technol Int Conf. Shanghai，China. 2016：1-3.

[8] RAMELOW M S，SCHMITZ S，SCHUCH B，et al. Development and status of Cu ball/wedge bonding in 2012 [J]. J Elec Mater，2013，42(3)：558-595.

[9] TAN K C，LIONG J Y. Bond stitch on ball for bare copper wire [C] //35th IEEE/CPMT Int Elec Manufac Technol Conf. Perak，Malaysia. 2012：1-7.

[10] 沙帕拉·K·普拉萨德. 复杂的引线键合互连工艺 [M]. 刘亚强，译. 北京：中国宇航出版社，2015：180.

蓄电池在线内阻测试技术研究

苏良勇，陈 磊，袁 麟，陈 刚
（重庆西南集成电路设计有限责任公司，重庆 401332）

摘 要： 通过对蓄电池的原理分析，论述了蓄电池的劣化程度与电池内阻的关系。依据蓄电池自供电的在线测试仪电路原理，提出了针对微弱信号隔离降噪、放大、采集和处理等操作的数字化方案。采用实际电路，对设计方案进行功能性验证。测量结果表明，该内阻测试电路满足设计需求和精度要求，同时该电路设计能大大简化电路布局和元器件使用，为后续单芯片集成化、ASIC设计提供了设计参考和理论基础。

关键词： 电池劣化；交流内阻测量；数字滤波器；相关检测算法
中图分类号：TN407 **文献标识码：**A **文章编号：**1004-3365(2020)03-0444-06
DOI：10.13911/j.cnki.1004-3365.180469

Research of Online Internal Resistance Test Technology on Battery

SU Liangyong, CHEN Lei, YUAN Lin, CHEN Gang
(*Chongqing Southwest Integrated Circuit Design Co., Ltd., Chongqing* 401332, *P. R. China*)

Abstract: Through the analysis of the principle of battery, the relationship between the deterioration of battery and the internal resistance of battery was discussed. According to the circuit principle of battery self-powered on-line tester, a digitization scheme for weak signal isolating, noise reducing, amplifying, sampling and processing was proposed. A practical circuit was used to verify the function of the design scheme. The measurement results showed that the internal resistance test circuit had met the design and precision requirements. Meanwhile, the circuit design could greatly simplify the circuit layout and reduce the amounts of components. The scheme provided a design reference and theoretical basis for single chip integration and ASIC design in the future.

Key words: battery deterioration; AC internal resistance measurement; digital filter; correlation detection algorithm

0 引 言

目前市场上的内阻测试仪具有显示和控制等多种功能，能同时测试电压和电阻，测试精度较高，但体积和功耗较大。在电动汽车中，锂电池采用多组电池串并联结构，需要对每个电池模组进行在线检测，即在汽车运动和静止状态都实时检测。由于锂电池本身占用空间较大，加之制造成本控制等因素，对内阻测试电路的体积和功耗提出了极为苛刻的要求[1]。测试仪器方案不能集成在电动汽车的电池组上，现阶段，市场上没有成熟的方案和相关应用产品。

目前电池内阻测试的主要方法有密度法、开路电压法、直流放电法和交流测试法。

密度法主要应用于传统的非封闭式铅酸蓄电池内阻测量，通过测量内部电解液的浓度来估算蓄电池的内阻[2-3]。缺点是适用范围狭窄，对封闭液体电池、锂电池无法测量，测量结果的精度也较差。

开路电压法通过检测电池两极的电压来估算电池内阻。在电池不亏电状态下，测量结果还可用，一旦电池亏电后，精度会显著降低，时常得到错误的结

收稿日期：2018-11-14；**定稿日期：**2019-11-27
基金项目：国家重点研发计划资助项目(2018YFB0104001-03)
作者简介：苏良勇(1971—)，男(汉族)，重庆人，主要从事 RF 芯片及模块测试、芯片应用及系统集成方案的研究。

果[4]。在浮充状态下，电池两端电压也可能是虚假的，不是电池真正的电压。

直流放电法是对锂电池、干电池等电池进行内阻测量的传统方法。工作原理是将一个很大的恒定直流电流强制灌入电池，测量此时电池两端的瞬间电压，并根据公式 $R=U/I$，计算出当前的电池内阻[5]。这种方法的测量精度较高，可以测到微欧级内阻。缺点是：1）只能测量大容量锂电池，小容量锂电池无法承受大电流；2）电池内部会发生极化现象，产生极化内阻，测量时间不可过长；3）大电流对电池有一定损伤；4）只能静态测试。

针对传统方式的缺陷和锂电池测量的实际使用环境要求，本文采用了交流内阻测量法。该方法测量范围广，对电池本身基本不会造成损伤，可在线测试。采用频率为 1 kHz 的交变电流注入蓄电池，通过监测电池两端电压获取电池内阻值，适合在线测试[6-7]和实际使用。通过对现有内阻测试方案进行分析，提出适用于多组串并联结构电池的小型化、数字化改进方案，并通过实际电路进行验证。目前精度可以达到 ± 0.1 mΩ 以内，满足设计要求。虽然测量精度不如直流放电法，但能达到行业要求。测试方案易于芯片集成化和模块小型化，为后续单芯片集成化提供了实践和理论依据。

1　在线内阻测试仪设计方案

1.1　蓄电池阻抗分析原理

蓄电池内阻等效电路图如图 1 所示[8]。L_p、L_n 为正负极电感；R_{tp} 和 R_{tn} 是电极粒子迁移电阻；C_{dlp} 和 C_{dln} 是极板双电极电容；Z_{wp}、Z_{wn} 为 Warburg 阻抗，阻值与电解液在电极中的扩散速度有关；R_{HF} 为欧姆电阻，包含蓄电池内部的电极、隔膜、电解液、连接条和极柱等全部零部件的电阻，在短期时间内可认为是不变的[9]。

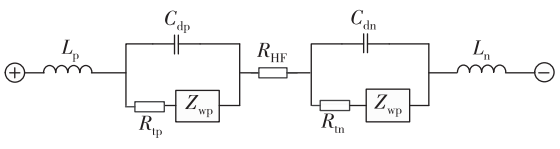


图 1　蓄电池阻抗等效电路

蓄电池阻抗包含欧姆电阻和正负极阻抗，有：

$$Z_{cell}=Z_p+R_{HF}+Z_n \tag{1}$$

可以看出，蓄电池阻抗是一个复阻抗，采用交流内阻测试方法，阻抗值是频率的函数。

正常情况下，蓄电池存储的电量越充足，内阻越小，反之则越大。蓄电池长期使用后会出现劣化的现象。在电池充电至相同的电压条件下，劣化的电池内阻值大于正常的电池内阻值，电池容量随之下降[8]。通常采用 SoH 来描述和衡量电池劣化程度。SoH 是测量容量与标称容量的比值，表征电池的老化程度。通过对比整组蓄电池的内阻值，可以找出电池组中出现劣化的电池。当内阻值相对于基准值增加 20％以上时，蓄电池性能会下降一个等级[10]，所以，应对此单元电池采取纠正或更换措施。

1.2　蓄电池内阻设计整体方案

内阻测试仪原理如图 2 所示。内阻测试仪电路为数模混合电路，包含数字振荡器、D/A 转换器、*V-I*转换器、高增益放大器、A/D 转换器和数字处理单元等六个部分。

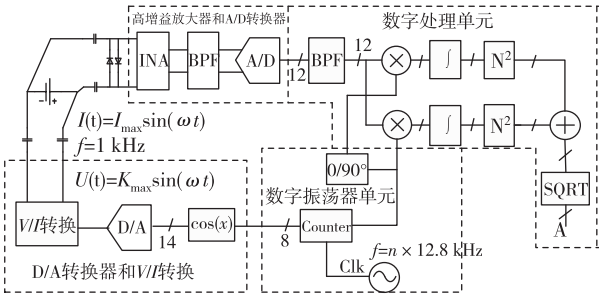


图 2　内阻测试仪原理

数字振荡器单元用于提供系统的时钟信号，包含 D/A 转换器、数字处理单元等。通过地址查表法，为 D/A 转换器提供频率为 1 kHz 的数字正弦波交流信号，再经过分频器，产生幅度和频率相同、相位相差 90°的数字方波信号，用于相关器的正交乘法运算。

D/A 转换器产生的 1 kHz 正弦波信号通过 *V-I* 转换器转换为正弦波交流恒流源，为蓄电池提供激励电流源，电流可调范围为 50～100 mA。

正弦波电流源通过电池后，产生正弦波电压信号，由于内阻非常小，电压信号幅度为 μV 级。交流电压信号经过隔直电容后，仅保留交流部分，再通过高增益放大器放大至 mV 级电压信号，然后通过 A/D转换器，将模拟电压信号转换为数字信号。

数字处理单元包含数字滤波器和相关运算两部分。数字滤波器连接在 A/D 转换器后面，用于滤除 1 kHz 信号之外的其他噪声，包括量化噪声和随机噪声、电池负载工作时产生的噪声等。相关运算电路包含两路数字信号正交乘法器和积分器、两路信号平方根运算电路。

1.3 关键单元设计方案

由于蓄电池内阻比连接的导线电阻小得多，为了减小导线电阻对内阻测试精度的影响，内阻测试采用开尔文四线法[11]，如图 3 所示。内部 *V-I* 转换器产生 1 kHz 交流恒流电流信号，通过隔直电容传递到电池的两端电极上，电池两端产生微弱的电压信号，经过高增益运算放大器放大后，送到 A/D 转换器进行数据采集。

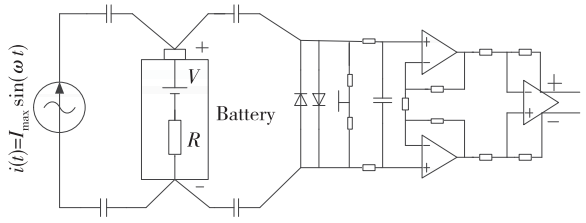


图 3 开尔文四线法接线方案

高增益放大器输入端的电容取值不能太小，与电流源的最大电流 I_{max}、电流源输出可提供的最高电压 U_{max}、信号的频率 f 有关，电容值的大小为：

$$C=\frac{\int_0^{T/2} I_{max}\sin(\omega t)\mathrm{d}t}{2U_{max}}=\frac{I_{max}}{2\pi f U_{max}} \tag{2}$$

单电池组的电压可达 30 V，隔直电容将承受 30 V 高压。若采用多层片式陶瓷电容(MLCC)，需考虑电容的直流偏压特性。*V-I* 转换器的输出端和运放输入端需设置保护二极管，以避免电路过压烧毁[12]。

D/A 转换器实现数模转换，*V-I* 转换有两个功能。D/A 转换器的位数为 10 位，采样频率设为 A/D转换器的 20 倍，即 256 kHz。1 kHz 输入信号在 1 个周期内共采样 20×12.8=256 个数据，因此余弦表的位数为 8 位，表内相邻两个角度的步进值为 360°/256=1.406 25°。

本文方案中高增益放大器采用仪表运放常用的三运放结构，最大增益为 1 000 倍。第一级双运放提供极高的输入阻抗，第二级运放提供极高的共模抑制。放大器中，内部结构完全对称，电阻的温度系数相同，可减小运放静态条件下的直流失调，也可减小电池两端在正常运行状态条件下的共模噪声。电池内阻的最小分辨率为±0.1 mΩ，*V-I* 转换器的最小输出电流为 50 mA，经过蓄电池后，电压为 50 mA× 0.1 mΩ=5 μV，再经过放大器放大后，幅度为 5 mV。A/D 转换器的参考电压为 1.8 V，位数为 12 位，则 A/D 转换器的最小分辨率为 $1.8\ \mathrm{V}/2^{12}\approx 0.44$ mV，满足内阻测试仪±0.1 mΩ 的精度要求。

根据电路数字化结构和工艺等因素综合考虑，采样频率采用公式 $f_{in}=f_s\times 5/2^6$ 来计算。输入信号频率为 1 kHz，A/D 转换器的采样率则为 12.8 kHz。在输入信号的 5 个周期内，即 5 ms 时间内，A/D 共采集了 64 个不同的数据代码，完成了一次循环。采样率与输出频率之比不是整数，可减小量化噪声的影响，并且满足数字振荡器内余弦表 2^N 个数据位的要求。

数字滤波器采用传统 FIR 滤波器，*N* 阶 FIR 滤波器的函数表达式为：

$$y(n)=\sum_{i=0}^{N-1} a(i)x(n-i) \tag{3}$$

数字滤波器采用 40 阶等波纹 FIR 滤波器，采样率为 12.8 kHz，带宽为 0.3 kHz，带外抑制大于 30 dB，阶跃响应稳定时间为 3.9 ms。滤波器特性曲线如图 4 所示，数字滤波器的电路结构如图 5 所示。

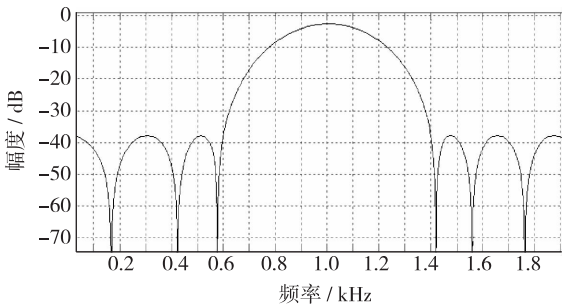


图 4 数字滤波器的特性曲线

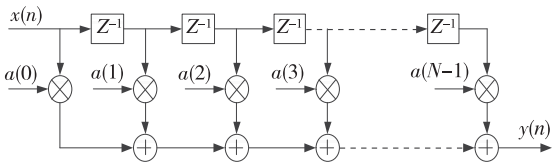


图 5 数字滤波器的电路结构

数字振荡器包含一个加法计数器、两个分频器和一个 7 位余弦表，使用同一时钟源，如图 6 所示。加法计数器按照采样时钟频率，产生步进为 1 的周期斜坡信号，并作为余弦表的地址信号，再通过查找表方式产生正弦波信号。两路乘法器的本振输入端分别采用频率与输入信号同相(起始相位为 0°)和相位差为 90°的方波信号。

如图 7 所示，相关器包含乘法器和积分器两部分。乘法器用于实现本振方波信号和 A/D 采集信号的乘法运算。累加器用于累计乘法器输出的乘积项。当累计次数达到 2^N 次后，在输出数据中舍弃低

N 位无效数据，即为相关器输出值。相关器的数学表达式为：

$$Y(n)=\frac{1}{N}\sum_{k=0}^{N-1}f_1(k)f_2(n-k) \tag{4}$$

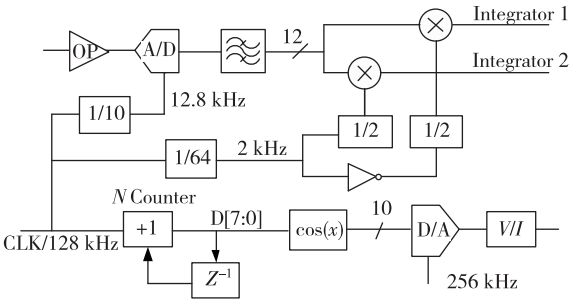


图 6　内部时钟分配方案

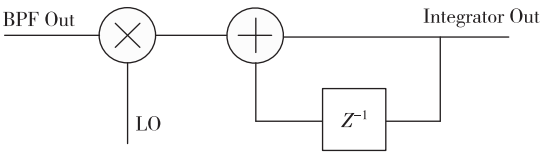


图 7　积分器结构

2　电路结构理论分析

2.1　相关检测原理

相关检测原理的基础是被测信号在时间轴上具有前后相关性的特点，即两个函数之间有一定的关系。如果两者的乘积在一段时间内累积平均值为零，两个函数不相关，反之则相关。互相关检测抗干扰能力强，常用于微弱信号的检测[13]。相关器输入两个相关的周期信号，分别为：

$$f_1(t)=v_1(t)+n_1(t) \tag{5}$$

$$f_2(t)=v_2(t-\tau)+n_2(t) \tag{6}$$

式中，$v_1(t)$为参考信号，$n_1(t)$是叠加在 $v_1(t)$的随机噪声，$v_2(t-\tau)$为与 $v_1(t)$相关的被测信号，$n_2(t)$为叠加在 $v_2(t-\tau)$的随机噪声。两路信号经过相关器进行运算，计算过程为：

$$V_o(\tau)=\lim_{\tau\to\infty}\frac{1}{T}\int_0^T f_1(t)f_2(t-\tau)\mathrm{d}t=\lim_{\tau\to\infty}\frac{1}{T}\int_0^T v_1(t)v_2(t-\tau)\mathrm{d}t \tag{7}$$

式(7)表明，对两个混有噪声的有限功率信号进行相乘和积分处理，可将信号从噪声中检出，达到抑制噪声的目的。相关器由相敏检波器和低通滤波器组成。乘法器包含模拟乘法器和开关式乘法器两种。开关式乘法器具有结构简单、抗干扰能力强的特点，经常被采用[14]。

假设参考信号 $v_1(t)$为方波信号，经过傅里叶级数展开，函数表达式为：

$$v_1(t)=\frac{4}{\pi}\left[\cos(\omega t)-\frac{1}{3}\cos(3\omega t)+\frac{1}{5}\cos(5\omega t)-\cdots\cdots\right] \tag{8}$$

被检测信号 $v_2(t-\tau)$为：

$$v_2(t-\tau)=A\cos(\omega t+\varphi) \tag{9}$$

被检测信号与参考信号的乘积为：

$$v_1\times v_2(t-\tau)=\frac{2A}{\pi}\{\cos(\omega t\pm(\omega t+\varphi))-\frac{1}{3}[\cos(3\omega t\pm(\omega t+\varphi))]+\frac{1}{5}[\cos(5\omega t\pm(\omega t+\varphi))]-\cdots\cdots\} \tag{10}$$

对式(9)进行积分，相关器输出结果为：

$$a_1=\frac{1}{T}\int_0^T v_1(t)v_2(t-\tau)\mathrm{d}t=\frac{2A}{\pi}\cos\varphi \tag{11}$$

如果参考信号 $v_1(t)$超前 1/4 周期，即 90°，按照同样方法，可推算出相关器输出值：

$$a_2=\frac{1}{T}\int_0^T v_1(t-\frac{T}{4})v_2(t-\tau)\mathrm{d}t=\frac{2A}{\pi}\sin\varphi \tag{12}$$

从式(10)和式(11)可以看出，经过相关器的计算结果与被检测信号幅值 A 成正比，两路输出信号分别与 $\cos\varphi$ 和 $\sin\varphi$ 成正比。采用下式，可消除相位 φ 的影响：

$$\varphi_A=\sqrt{a_1^2+a_2^2}=\frac{2A}{\pi} \tag{13}$$

2.2　内阻测试仪算法分析

通过 D/A 转换器，输出 1 kHz 正弦波电流信号，幅度为 I_{max}（由 V-I 转换电路来设置电流大小），忽略 V-I 转换器的相移，则交流电流源为：

$$I(t)=I_{max}\sin(\omega t) \tag{14}$$

电流信号经过蓄电池内阻，产生电压信号 $V_R(t)$，电池内阻 $Z=|R|\times e^{j\Delta\varphi}$，则电压信号式为：

$$V_R(t)=R\times I_{max}\sin(\omega t+\Delta\varphi) \tag{15}$$

经过高增益放大器、A/D 转换器和数字滤波器，假定这部分电路总的增益为 G，相移为 φ_1，则滤波器输出为：

$$V_F(t)=R\times G\times I_{max}\sin(\omega t+\Delta\varphi+\varphi_1) \tag{16}$$

振荡器经过分频后，得到两路相位相差 $T/4$ 的方波信号，分别提供给两个正交乘法器。根据式(11)和式(12)的计算结果，信号经过乘法器与积分

器后，经过 N 个周期的积分运算，积分器输出结果为：

$$V_{O1}=R\times K\times\cos\varphi \tag{17}$$

$$V_{O2}=R\times K\times\sin\varphi \tag{18}$$

式中，K 可以认为是一个常数，为：

$$K=\frac{2\times G\times I_{max}}{\pi} \tag{19}$$

经过平方和与求根，得到最后的结果 A 为：

$$A=\sqrt{V_{O1}^2+V_{O2}^2}=R\times K \tag{20}$$

即：

$$R=\frac{A}{K} \tag{21}$$

由于电池组、高增益放大器、A/D 转换器和数字处理均会产生一定的时间延迟，输入信号和参考信号之间存在相位差 φ，经过乘法运算后，计算结果与最大值相比，将减少到 $1/\cos\varphi$ 倍。根据式(19)，经过正交算法，内阻的实部阻抗 R 值只与 K 值有关，与输入信号和输出信号之间的延迟时间无关[8]。因此，采用正交运算的方案，消除了相位延迟的影响，简化了电路设计和校准过程。

2.3 内阻测试仪的误差分析及校准

相关器采用开关式乘法器，由两个相位相差 90° 的方波信号作为参考信号，占空比为 50%。占空比的角度误差用 $\Delta\varphi_d$ 表示，测量结果的幅度误差为：

$$\varepsilon_d=\frac{1-\cos(\Delta\varphi_d)}{2} \tag{22}$$

假如两路正交参考信号的相位偏差为 $\Delta\varphi_o$，通过理论分析，当参考信号与乘法器输入信号波形相位相差约 45°时，幅度误差最大。最大误差为：

$$\varepsilon_o=1-\sqrt{1-0.5\sin(2\Delta\varphi_o)} \tag{23}$$

电路采用数字化设计方案，通过调整，可以较好地保证两路参考信号的占空比和正交性，从而保证内阻测试的精度。

根据第 2.2 节的结论，在测试电池内阻之前，需对 K 值进行测试和校准。具体的校准方法如下。

在测试内阻的过程中，为了适应从 1 mΩ 到 100 mΩ范围内的不同阻值，需调整放大器的增益 G，保证 A/D 输入端的信号幅度在最佳的区间范围内。

测试系统通过测量高精度固定电阻 R，得到输出幅度 A，然后通过式(21)可计算出 K 值。

3 设计结果分析

本文采用 Matlab 软件，并结合实际电路，进行等效电路的仿真和设计。仿真模型如图 8 所示，在内阻测试电路输入端叠加有高斯白噪声的 1 kHz 交流信号，参考信号采用两路相位相差 90°、波形之间延时 0.25 ms 的方波信号。通过内部运算单元进行正交相关运算和平方根运算，50 ms 后，数据趋于稳定。

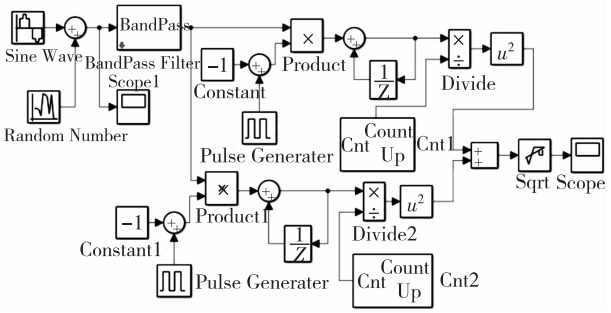


图 8 内阻测试仪仿真结构图

仿真结果如图 9 和图 10 所示。可以看到，输入信号几乎被噪声淹没，输出信号经过一定时间的积分运算后，输出电平趋于稳定。仿真结果表明，本文的测试方案能有效屏蔽噪声的影响。

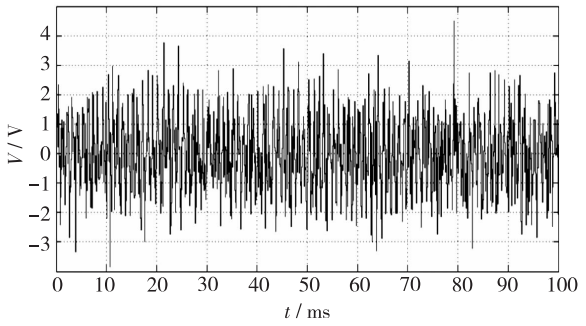


图 9 在乘法器输入端叠加噪声的输入波形

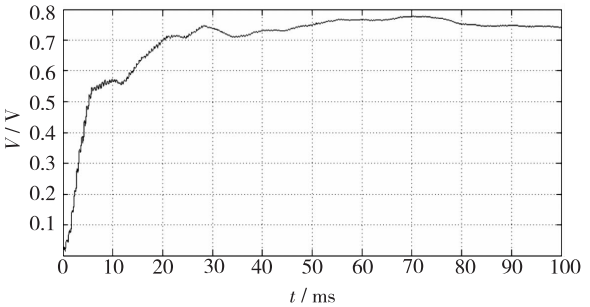


图 10 积分输出波形

采用行业专用的 CHT3563 精密电池内阻测试仪进行对比测试，测试的内阻值如表 1 所示。可以看出，当阻值大于 1 mΩ 时，测试值与 CHT3563 测试值非常接近，结果满足设定要求。当阻值小于 1 mΩ时，误差增大。这是由于系统本身存在一定的

误差，测试线缆之间也存在一定的微弱电磁干扰，但误差仍然在可接受范围内。

表 1　内阻测试仪与 CHT3563 的测试对比结果

内阻样本值/mΩ	CHT3563 的测试值/mΩ	本文系统测试值/mΩ	两个测试值的误差/%
0.3	0.32	0.35	−9.4
0.6	0.64	0.66	−3.1
0.9	0.92	0.94	−2.2
1.8	1.83	1.84	−0.5
3.6	3.64	3.62	0.5
4.2	4.25	4.22	0.7
6.8	6.83	6.85	−0.3

本文方案大量采用数字电路设计，取代了传统模拟电路方案，实现了正弦波形产生、数字滤波、乘法和积分运算等功能，减小了内阻测试仪的体积和功耗。在满足在线内阻测试方式的同时，提高了系统的稳定性和精度，简化了模拟电路方案。最终测试结果表明，该方案具有可行性。

4　结　论

本文根据蓄电池的特点，采用交流压降内阻测量法，使用数字电路来取代传统的模拟电路，利用相关检测算法来提取微弱的电压幅度信息。验证结果表明，在电池正常工作的状态下，内阻测试系统可实现内阻的在线精确测试，精度达到±0.1 mΩ 以内。这满足了设计预定的精度要求，为进一步的芯片集成方案提供了设计理论依据。

参 考 文 献：

[1] 攀彬，钱国刚，王洪英. 电动汽车用锂离子动力蓄电池内阻特性试验研究 [C] // 中国汽车工程学会年会. 北京，中国. 2011：219-224.

[2] 许新竹. 铅酸蓄电池内阻测量方法的研究 [D]. 哈尔滨：哈尔滨工业大学，2017.

[3] NAKAJO K，KUMARASINGHE S，SHIMAMURA Y，et al. On-line measurement system for internal resistance in lead acid battery [C] // 55th Annual Conf SICE. Tsukuba，Japan. 2016.

[4] 李立伟，邹积岩. 蓄电池内阻测量装置的研究 [J]. 电源技术，2003，27(1)：42-44.

[5] 杜旭浩，李秉宇，陈晓东. 基于直流二次放电法的蓄电池内阻测试 [J]. 电源技术，2017，41(11)：1599-1601.

[6] CHEN F，GAO Y. An algorithm for on-line measurement of the internal resistance of proton exchange membrane full cell [J]. Fuel Cells，2015，15(2)：337-343.

[7] CULCU H，VERBRUGGE B，OMAR N，et al. Internal resistance of cells of lithium battery modules with FreedomCAR model [J]. World Elec Vehicle J，2009，3(4)：702-710.

[8] 林志强，孙水华. 利用在线内阻测试方法捕捉蓄电池电池组中的异常个体 [J]. 贵州大学学报(自然科学版)，2010，27(6)：74-76，80.

[9] 徐晓东，刘洪文，杨权. 锂离子电池内阻测试方法研究 [J]. 中国测试，2010，36(6)：24-26.

[10] 李森，陈奎. 电力蓄电池内阻监测探讨 [J]. 煤炭科技，2013，33(2)：32-33.

[11] 赵英伟，庞克俭. Kelvin 四线连接电阻测试技术及应用 [J]. 半导体技术，2005，30(11)：44-46.

[12] WANG D，BAO Y，SHI J J. Online lithium-ion battery internal resistance measurement application in state-of-charge estimation using the extended Kalman filter [J]. Energies，2017，10(9)：1284-1288.

[13] 郭亮，陈宝明，董有尔，等. 基于 AD630 实现蓄电池内阻在线测量 [J]. 现代电子技术，2011，41(6)：20-24.

[14] 王海英，赵宇，王建民，等. 电池内阻误差补偿技术研究 [J]. 哈尔滨理工大学学报，2017，22(4)：23-27.

·产品与可靠性·

归零工作对提升产品可靠性的效用研究

张世莉，陈　亮，陈亚兰
（中国电子科技集团公司 第二十四研究所，重庆 400060）

摘　要： 随着我国航天型号产品使用严酷度的逐步升级，对产品的质量等级和使用寿命的要求也越来越高。为了提升产品固有可靠性，满足航天产品的高可靠要求，文章阐述了质量归零工作的要求和具体内容，并以两个在可靠性试验和用户使用中出现的偶然失效问题为例，通过归零研究，找到了影响器件长期可靠性的问题根源及解决措施。这为提升产品的设计和工艺技术平台能力，持续改进产品的质量，促进产品固有可靠性的提升起到了积极作用。

关键词： 质量管理；归零；固有可靠性；航天产品
中图分类号：TN406　　**文献标识码：**A　　**文章编号：**1004-3365(2020)03-0450-05
DOI：10.13911/j.cnki.1004-3365.190569

Research on Utility of Close Loop to Improve Product Reliability

ZHANG Shili, CHEN Liang, CHEN Yalan
(*The 24th Research Institute of China Electronics Technology Group Corporation, Chongqing* 400060, *P. R. China*)

Abstract: With the escalating of severe degree of the use of aerospace products in China, the demand for the quality grade and service life of components is also getting higher and higher. In order to improve the inherent reliability of products, and to meet the high reliability requirements of aerospace products, this paper expounded the requirements and detailed contents of product quality's close loop method, and took two accidental failure examples in long-term reliability test and using process. By the close loop method, the primary causes of the problems which affected the long-term reliability of the device and its solution measures were found. The results were helpful for improving the capabilities of design and process platform, continuously improving the product's quality, and promoting the inherent reliability of products.

Key words: quality management; close loop; inherent reliability; aerospace product

0　引　言

随着我国航天事业的不断发展，航天型号产品的严酷度等级逐步提升，这就要求所有航天用产品的固有可靠性水平务必提升。各种航天型号产品通常是由成千上万个乃至上千万个元器件组成的，一旦其中的某一个电子元器件发生故障，就会引起整机的局部功能失效，更为严重的时候可能会引起整体功能丧失。为了满足航天产品的高可靠使用要求，作为微电路及混合模块电路生产单位，除了事前进行电路设计时，应优先选用成熟工艺技术，加强如降额设计、热设计、结构设计、环境应力设计和防静电设计等电路可靠性设计措施[1]，并加强设计工艺评审、生产过程控制，从设计制造方面提升产品固有可靠性外，还需要事后从研制生产、实际使用过程中出现偶然或批次性质量问题的失效分析中，深入开展质量问题归零工作，发现导致问题产生的深层次原因及产品的失效机理[2]，确定引起电路失效的薄弱环节，并向设计和工艺进行反馈，促使设计和工艺

收稿日期：2019-08-30；**定稿日期：**2019-10-15
基金项目：模拟集成电路国家重点实验室基金资助项目(614280204030317)
作者简介：张世莉(1974—)，女(汉族)，四川广安人，硕士，高级工程师，长期从事产品质量技术研究。

平台设计人员的技术水平以及生产管理水平得到进一步提升，从根本上达到提升产品固有可靠性的目的。

1　质量问题归零及其基本要求

根据笔者长期以来从事科研生产及质量管理方面的工作经验，可以确定，产品在研制生产及用户使用过程中出现质量问题的原因主要有三类：技术原因、管理原因和技术管理原因，即引起产品失效的质量问题既有技术方面的原因，也有管理方面的原因。

航天产品质量问题归零工作通常按照一定的程序和要求进行，质量归零工作主要分为技术归零和管理归零两种。技术归零工作应满足“定位准确、机理清楚、问题复现/试验验证、措施有效、举一反三”五条要求；管理归零工作应满足“过程清楚、责任明确、措施落实、严肃处理、完善规章”五条要求[3-4]。

在进行产品质量问题处理时，无论是技术人员还是管理人员，须摒弃那种为了归零交差而归零的思想，必须从思想上高度重视，严格按照上述“双五归零”原则，本着查找问题根源，采取有效纠正措施，杜绝类似问题发生的思想，扎扎实实开展归零分析工作。通过归零工作，找到引发问题的薄弱环节，促进设计、工艺、管理等平台的提升。对于研制及使用单位来说，通常比较重视产品出现的批次性质量问题，但对于产品的偶然性失效问题，往往不愿意花费大量的时间和精力去研究导致偶然事件发生的原因。下面以两个偶然失效案例为牵引，就扎实开展归零工作对提升产品固有可靠性的作用进行分析。

2　典型归零案例

2.1　工艺偶然缺陷导致电路寿命试验后失效

某高速 D/A 转换器产品按单片集成电路总规范 B1 级鉴定，检验合格。后续应航天某重点工程要求，对该批产品再次补充进行试验：包括再抽样 23 只进行 125 ℃、1 000 h 寿命试验，D 组试验以及结构分析等试验。当抽取 23 只电路进行 125 ℃、1 000 h 寿命试验后，1 只电路出现失效。

经分析，电路故障定位于电迁移导致某铝条断开处[5-6]。显微镜照片如图 1 所示，SEM 照片如图 2 所示。从图 1、图 2 可以明显看到，电路内部出现了铝原子堆积产生的小丘，小丘附近因铝原子迁移形成了空洞，该空洞直接导致铝条断开，从而影响了电路功能。

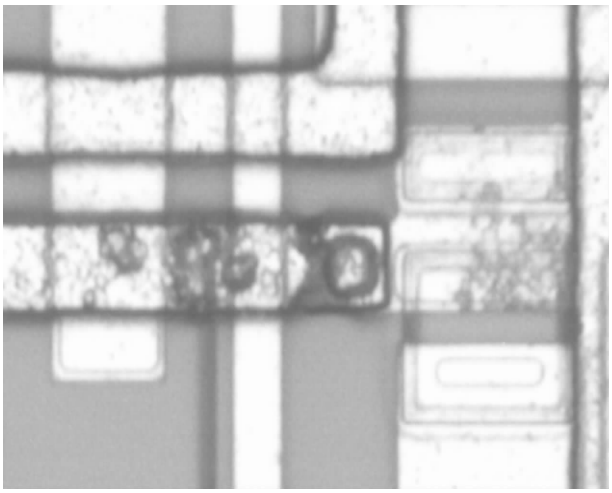


图 1　失效部位（显微图片）

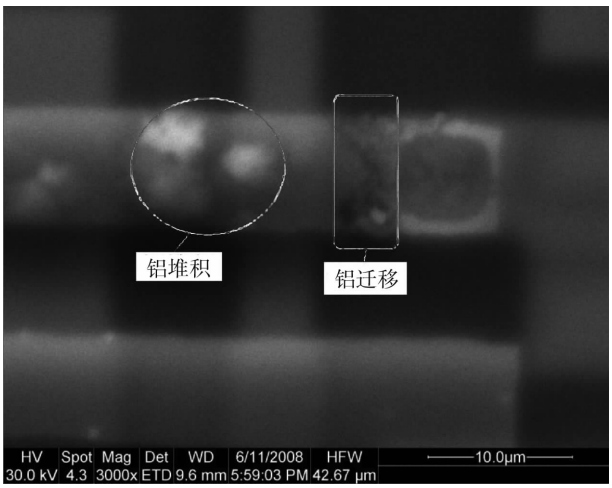


图 2　失效部位（SEM 图片）

该产品之前有 22 只进行了寿命试验，全部合格。本次再次投入 23 只做寿命试验，有 1 只失效。经举一反三彻查，该产品铝条裕量设计满足要求。同工艺套路的产品自建线以来已累积销售约 200 万只，且已有 846 批单片电路进行过周期检验（即进行了寿命试验），均未出现类似失效。因此，可以确定本次电迁移失效属于偶然加工缺陷导致，其失效机率非常低，约为 5×10^{-7}。

为了找到产生工艺缺陷的原因，对失效品和同期寿命的 8 只电路再次进行了 FIB 分析。失效品 FIB 图片如图 3 所示，通孔覆盖最差样品的 FIB 图片如图 4 所示。从 FIB 图片分析发现，该产品通孔

覆盖率最差约 20%。尽管如此，因该铝条厚度为 1.2 μm，宽度为 9 μm，按照半导体集成电路总规范(GJB597A—1996)第 3.5.5 条规定，芯片内部铝导体推荐的允许电流密度应为 2×10^5 A/cm^2，按此标准计算的铝电迁移阈值应为 $9\times1.2\times2\times10^5$ A/cm^2 = 21.6 mA。电路失效部位为电路基准部分，其电流仅为 2 mA，也就是说，当通孔覆盖为 20%时，其安全电流密度为 4.3 mA，也远远超过了电路中对电流密度的要求，进一步证明了本次失效属于偶然失效。

从销售使用情况、历年来的考核数据以及 FIB 的进一步分析，均证明了本次失效属于偶然失效。通过 FIB 和 SEM 分析，可以看到本电路存在薄弱环节：电路通孔台阶角度均为 90 °左右，通孔侧壁有轻微向内凹陷，通孔形貌陡直，在铝覆盖通孔侧壁和顶部时，由于沉积入射角过小，这两处铝厚度控制非常困难，因此不可避免存在均匀性控制难题。

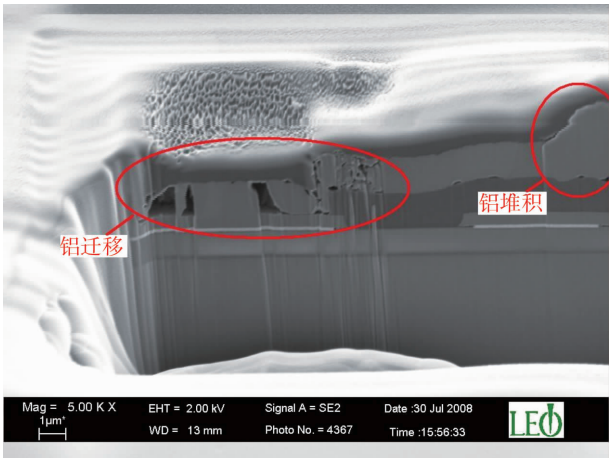


图 3　失效品 FIB 图片

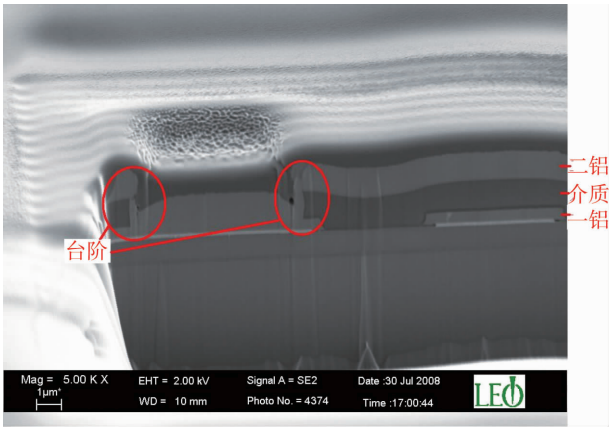


图 4　寿命样品 FIB 图片(覆盖最差)

通孔问题是业界普遍面临的工艺技术共性难题。为满足整机高可靠性要求，提高产品抗电迁移能力及其固有可靠性，本文提出了系列改进措施。首先是加宽加厚铝条设计，提升铝条的降额等级。其次是通过技术攻关改进通孔形貌，即将现有较陡直的通孔形貌通过开发新的 RIE 腐蚀工艺来形成较平坦的倒梯形结构[7]，使其剖面形貌呈“碗口”状(顶部宽底部窄)，减少通孔的纵宽比，从根本上提高铝对通孔的台阶覆盖率，提高台阶处铝线的电迁移失效阈值，进而提高电路的固有及长期可靠性。通孔剖面结构如图 5。通过长达半年、大量的技术攻关，通孔优化改进后的 SEM 图片如图 6 所示。

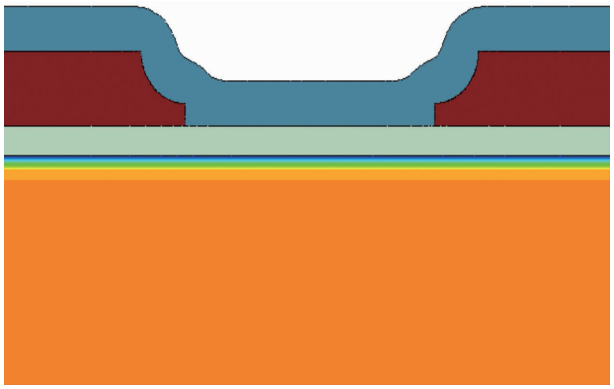


图 5　通孔剖面结构示意图

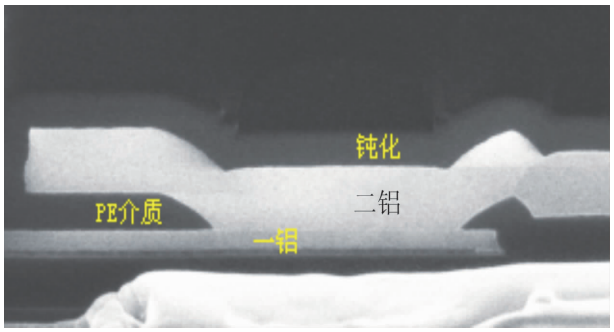


图 6　二铝覆盖优化后通孔的 SEM 照片

从图 5、图 6 可以看出，原陡直、覆盖率差的通孔，通过改进工艺，实现了坡度小于 70 °、台阶覆盖率大于 90%的倒梯形通孔[7]。

2.2　片电容失效

自 2010 年起，我单位陆续为某用户研发并提供外协组件类产品系列。该系列产品的电路结构、版图设计、工艺加工流程较为复杂，且电路无外壳保护。对于这类产品，相关设计及工艺方面均显经验不足。

开发初期，该组件类产品在温度循环后接连发生了 2 次电容失效的事件。失效部位及形貌如图 7

和图 8 所示。

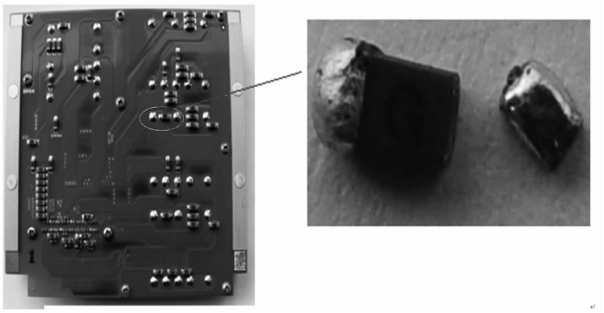


图 7　电容失效位置及断裂图

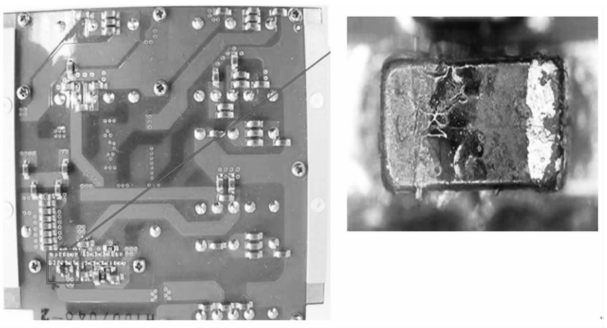


图 8　电容失效位置及裂纹图

经分析，两次电路失效均为加工过程中外力碰撞或应力不均匀导致的片电容失效。其他产品经分析试验验证，举一反三，均不存在类似问题。因此，判定两次失效均为偶然失效。

经彻查，该类片电容为我单位在合格供方购买的“七专”产品，并经入所检验和二筛检验合格后投入使用。我单位已投入生产的其他成熟混合模块电路在生产使用过程中还从未出现过类似的片电容失效事件。因此，对该失效电容在版图中的位置、电路的结构以及工艺加工流程进行了汇总分析，发现 2 只失效电容均位于手工焊点附近，如图 9 所示。

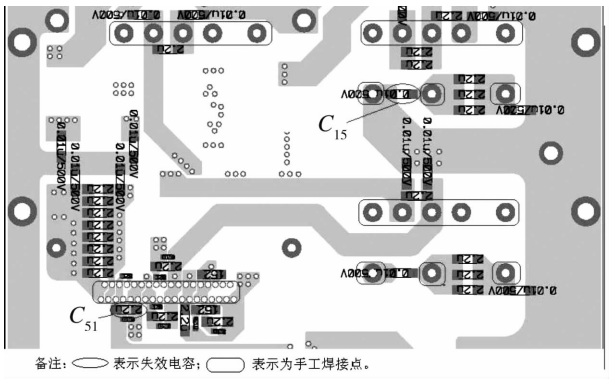


图 9　片电容失效位置图

经进一步分析，2 只电容失效原因是，在电路板上组装焊接模块或插座过程中，电容受到了较大的热冲击，以及热冲击过程中带来的机械应力的共同作用，或者焊接过程中烙铁碰撞电容，使电容端头脱落或内部产生微裂纹，电容在经受后续试验应力后发生短路。

虽然两次电容失效均为偶然失效，但通过对电路的版图设计进行分析，发现电路结构设计不够合理[8]，电容离手工焊点较近，对工艺手工操作要求较高，必然增大偶然失效发生的机率。针对归零工作中发现的问题，我单位对该类已生产的 17 个外协组件类产品逐一进行了产品的线路、版图、结构设计方案和工艺加工方案的复查和评估，对复查发现的潜在风险进行了评估，提出了后续解决方案。对需要更改优化的产品，及时通报了用户，获得用户认可后，进行了优化改进。对暂时不能优化改进的项目，逐一制定了生产过程控制措施，如《某产品手工焊接工艺实施控制办法》。该工艺办法包括了热风预热减少焊接温度梯度、物理隔热以及物理散热来减少对电容的热冲击等方式。同时，针对各组件产品外形特点，还开发了相应的保护套，避免这种无外壳组件产品在贮存、传递、运输过程中遭受意外损伤。

3　归零工作带来的成效

3.1　归零工作对技术平台的提升作用

根据上述电迁移失效归零工作发现的双层布线工艺在二铝台阶处覆盖率偏低的问题，我单位通过大量的技术攻关与实验验证，优化了通孔光刻的胶膜厚度和硬烘温度，调整优化了通孔刻蚀气体流量、腔室压力及极板功率，成功开发出了坡度小于 70 ° 的倒梯形通孔，使二铝在该处的台阶覆盖率大于 90%。该工艺条件已固化到工艺规范——《LAM590 等离子刻蚀工艺规范-9》中。该工艺技术可用于双层和多层金属布线模拟 IC 的研制和生产，并已推广应用到我单位多个同类产品上，进一步确保了该类产品的固有可靠性。

根据片电容失效以及后续对组件类产品评审过程中发现的版图、结构设计与工艺加工兼容以及工艺本身存在的问题，设计部门出台了《组件类电路设计规则》，规范了电路设计流程、热仿真审核流程、原理图绘制、版图设计注意事项及其审核流程，加强了设计评审。同时，工艺规则中增加了工艺设计的审

查内容，包括基板、元器件、管壳及封装的选用、微组装流程设计、厚薄膜布线通用规则、贴装规则等内容。通过设计、工艺规则的出台与完善，进一步规范了组件类产品的设计工艺流程，加强了设计工艺评审，取得了非常良好的效果。自 2011 年下半年开始，未再出现类似质量问题。

3.2 归零工作对相关人员的能力提升作用

通过归零过程中的故障定位、故障机理、故障复现以及举一反三等工作，参与归零工作的相关人员深刻领会了“军工产品质量第一”的内涵，感知了军工任务赋予的强大责任，明白了“严、慎、细、实”科研作风的极端重要性，从而激发了精益求精干好工作的主观能动性。

更为重要的是，技术人员进一步弄清楚了电路的工作原理及其失效的机理，认识到了自身工作中存在的薄弱环节，认清了后续工作中持续改进的方向，技术能力得到质的提升。

另一方面，通过扎扎实实开展归零工作，找到了产品质量问题产生的深层次原因。针对典型问题编制案例，针对性地组织开展培训，进而对其他相关人员起到学习和警示的作用。

3.3 归零工作对管理平台的提升作用

因管理原因导致的质量问题应进行管理归零。通过管理归零工作中“过程清楚、责任明确、措施落实、严肃处理、完善规章”等方面审视自身存在的不足，完善相关管理制度，促进管理平台的提升。另一方面，大多产品质量问题都属于技术、偶然问题，也与管理不完善、执行力不够等问题密切相关。如电容偶然失效，看似属于结构设计技术问题，其实也反映出设计及工艺评审还不到位，需进一步加强设计及工艺细节的评审等。因此，归零工作同样对管理平台的提升具有很好的促进作用。

4 结束语

失效分析与归零是一项繁琐、细致的工作，必须认真对待。对于失效分析、质量归零工作中的偶然失效，更应在思想上引起高度重视，而不能因为是偶然事件就放松警惕。必须找到偶然事件产生的根源所在，采取有效的解决措施，降低偶然失效发生的概率。通过失效分析、质量归零工作，纠正设计和生产中的错误，提升设计、工艺人员的技术水平和能力，提升产品设计、工艺技术及管理平台的水平，使产品在设计、工艺制造、过程管理等方面得到持续改进，提高产品固有的可靠性。因此，失效分析、质量归零工作对航天产品可靠性的提高具有显著的实用价值。

参 考 文 献：

[1] 曾生奎. 可靠性设计与分析 [M]. 北京：国防工业出版社，2011.

[2] 孔学东，恩云飞. 电子元器件失效分析及典型案例 [M]. 北京：国防工业出版社，2006.

[3] GJB9001C-2017. 质量管理体系要求 [S]. 2017.

[4] GB_T29076-2012. 航天产品质量问题归零实施要求 [S]. 2012.

[5] CAMPBELL S A. 微电子制造科学原理与工程技术 [M]. 第二版. 北京：电子工业出版社，2003.

[6] 姚立真. 可靠性物理 [M]. 北京：电子工业出版社，2004.

[7] 唐昭焕，王大平，梁涛，等. 双层铝互连倒梯形通孔刻蚀技术研究 [J]. 微电子学，2012，42(2)：266-269.

[8] 刘锐，陈亚兰，唐万军，等. 片式多层陶瓷电容失效模式研究 [J]. 微电子学，2013，43(3)：449-452.

进口元器件可靠性评估方法探讨

唐万军，胡　波，张世莉
（中国电子科技集团公司 第二十四研究所，重庆 400060）

摘　要： 介绍了进口元器件的使用现状、特点，分析了影响元器件使用可靠性的各项主要因素。在此基础上，根据工程实践，总结了制定进口元器件可靠性技术评估方案的一般思路、原则和方法，并针对不同评估结果，给出处理意见。这些方法和原则同样适用于国产元器件的研制试验和应用可靠性评估。

关键词： 失效模式；可靠性评估；使用风险
中图分类号：TN406　　**文献标识码：**A　　**文章编号：**1004-3365(2020)03-0455-04
DOI：10.13911/j.cnki.1004-3365.190584

Discussion on the Method of Reliability Evaluation for Imported Devices and Elements

TANG Wanjun, HU Bo, ZHANG Shili
(*The 24th Research Institute of China Electronics Technology Group Corporation, Chongqing* 400060, *P. R. China*)

Abstract: The current using situation and characteristics of the imported components were introduced, and the main factors affecting the using reliability of components were analyzed. On the basis of the analysis, the general ideas, principles and methods of formulating the technical evaluation scheme for the reliability of imported components were summarized according to engineering practices. Treatment opinions were given for the different evaluation results. These methods and principles were also applicable to the development experiment and application reliability evaluation of domestic components.

Key words: failure mode; reliability evaluation; using risk

0　引　言

目前，受到国内电子元器件制造整体水平的限制，国内制造的复杂高性能电子系统中，不可避免地会存在一定比例的进口元器件。由于高端技术封锁、使用量小、中间商关系复杂等因素的影响，应用于武器装备、航空航天等高可靠领域的进口元器件通常具有以下一个或多个特征：1）供货不稳定，批次信息追溯困难；2）元器件应用资料、可靠性数据缺失或不完整；3）实际应用偏离厂家典型应用，甚至超额使用；4）存在仿制、翻新件风险，是否原厂、原装产品的识别难度大；5）质量等级低于总体要求；6）缺乏技术状态变化信息。

为促进元器件国产化和控制进口元器件的使用风险，我国在武器装备、航空航天等高可靠性应用领域，一直严格控制着电子系统中进口元器件的使用比例和选用范围。航天工业总公司先后发布并实施了 QJ2671-94《进口元器件质量管理要求》、QJ3065.1-98《元器件选用管理要求》等一系列标准，取得了较好的质量控制效果。但在工程实践中，仍有使用进口元器件导致质量问题发生。对于一些重大工程应用，为确保万无一失，在进行常规管理的同时，采用技术手段对所用进口元器件进行针对性的可靠性评估，获得直接的可靠性数据至关重要。这些数据可用于指导器件选择、总体方案优化和可靠

收稿日期：2019-10-10；**定稿日期：**2019-12-11
作者简介：唐万军(1974—)，男(汉族)，重庆人，硕士，高级工程师，从事模拟集成电路设计和技术质量工作。

性评估[1]。

本文探讨了进口元器件使用风险管控的一般思路、原则和方法。

1 相关资料收集

1.1 器件技术资料

充分了解厂家提供的元器件技术资料是正确应用元器件的基础，也是设计元器件可靠性技术评估方案的重要依据。技术资料包括工作原理、数据图表、功能框图、应用指南(应用线路、适用领域、推荐工艺)等。

国外通用型元器件资料一般都很详实，能够有效地指导使用。而对于新型高端非通用型元器件，应用技术资料相对较少，一般也不会提供可靠性数据，使用人员仍应通过各种渠道来获得尽可能多的技术资料。在一定程度上，掌握技术资料的多少直接影响着可靠性评估方案的复杂程度和有效性。

对于进口大规模集成电路，如存储电路、逻辑运算电路、可编程电路及 CPU 等，在了解一般技术资料、应用指南的同时，还应尽可能了解其制造工艺。这些信息可用于辅助评估元器件的技术成熟度和制造成熟度。

1.2 应用环境数据

产品的最终应用环境或元器件的实际工作环境将直接影响系统总体方案设计，同时也基本限定了元器件、原材料的可选择范围。

各级电子系统的设计人员应根据 GJB4239-2001《装备环境工程通用要求》，并结合总体要求，确定产品的最终应用环境，以及所用元器件在寿命周期内可能经历的各种环境，如气候环境、机械环境、温度环境和空间环境等。在设计之初就应获得量化的应用环境要求，如工作温度范围、机械应力、辐照剂量等。根据 GJB1032-90《电子产品环境应力筛选方法》和 GJB/Z 34-93《电子产品定量环境应力筛选指南》，结合元器件自身特点，并参考相应的元器件总规范，确定与之相对应的验证试验项目和条件。这些是非常重要的。

这些量化的环境要求将作为最终产品或选用元器件环境适应性评估的重要依据。

1.3 可靠性失效模式及机理分析

分析产品或元器件的可能失效模式和失效机理，是可靠性工程中的一项重要内容，也是制定可靠性技术评估方案的重要依据[2]。

对于半导体集成电路类进口元器件，上机后的主要失效模式有：1) 器件体碎裂/引出端断裂；2) 烧毁(开路/短路)；3) 参数漂移/超差；4) 功能失效。

引起失效的主要原因有：1) 机械应力；2)过电/温度应力；3) 静电/电磁损伤；4) 制造缺陷(芯片缺陷/封装缺陷)；5) 使用不当(工作点设置/工艺装配)；6) 元器件技术状态发生变化

对于具体型号进口元器件的可能失效模式及机理分析，应查阅同型号或同类进口元器件的历史使用数据，并参照国内外同类元器件的可靠性数据，重点关注主要失效模式，如集成电路的开路、短路、功能失效、参数漂移等。综合利用 FTA 或 FMEA 技术，分析失效机理及引起失效的各种可能原因，如静电损伤、过电应力、过温度应力、机械应力、制造缺陷等。

开展这项工作的目的是找到可能诱发元器件失效的因素或激励条件，对比产品寿命周期内出现类似激励的可能性，定性评估元器件的使用可靠性，同时也是确定加速试验模型、量化评估元器件寿命的重要基础。

2 可靠性评估方案制定

2.1 性能符合性评估

开展性能符合性评估的主要目的是了解进口元器件的真正性能。工作内容通常包括两项：一是检验元器件实物性能与厂家资料标称性能的符合性；二是评估元器件在已知总体设计限制(如限定的温度范围、电条件等)下的实际性能是否满足设计对元器件的期望性能要求(非典型应用时适用)。

性能符合性评估方案的制定应根据具体元器件特性和实际使用要求制定，关注重点包括：1) 设计保证的功能及性能指标是否通过验证；2) 元器件在实际应用条件下的功能及参数是否满足设计要求，应留有余量；3) 参数一致性问题，通常认为参数一致性不好的元器件，其制造成熟度较低。

优秀的进口元器件性能符合性评估方案通常具有以下特征：1) 工作量及工作难度适中；2) 可有效识别元器件是否正品。

从性能角度辅助证明所评估元器件在系统上选用或使用的合理性。

2.2 环境适应性评估

环境适应性评估方案制定的主要依据是元器件应用环境数据和相应的失效机理，原则上应对元器件使用的各种可能环境进行评估。

设计进口元器件环境适应性评估技术方案时，常用的试验类型有两种：验证性试验和极限应力试验。两种试验的主要区别如下。

1）验证性试验

- 以通过预定试验项目为目的，仅判定是否满足使用；
- 试验条件通常设置在应力接收门限处，通常为恒定应力；
- 试验判据为是否通过试验；
- 试验过程不一定导致试验品失效；
- 具有较大的抽样风险。

2）极限应力试验

- 以确定器件能承受的最大安全应力为目的，既能判定是否满足使用，还可量化余量；
- 通常以渐进方式加载应力，直至产品失效或达到预定试验极限[3]；
- 试验结果为试验品能承受的最大应力；
- 抽样风险相对较小。

对于重点工程项目所用进口元器件，推荐选择极限应力试验，以降低评估抽样风险。

2.3 长期可靠性评估

表征产品长期可靠性的指标为非工作状态失效率 λ_{NP} 和工作状态失效率 λ_P，可以采用 GJB/Z 108A-2006《电子设备非工作状态可靠性预计手册》和 GJB/Z 299C-2006 器件《电子设备可靠性预计手册》进行理论预计。对于进口元器件，由于缺乏相关基础数据，采用试验方法评估器件的长期可靠性具有更高的置信度。

长期可靠性评估通常采用加速寿命试验方法，通过对元器件加载严酷的试验环境，在可接受的试验时间内获得更多的可靠性信息。开展该项评估试验的基础是依据主要失效机理建立加速试验模型，确定失效率或寿命与给定应力的关系。常用的加速模型有以下几种[4-5]。

1）逆幂律加速模型

$$\frac{\text{正常应力下的寿命}}{\text{加速应力下的寿命}}=\left(\frac{\text{加速应力}}{\text{正常应力}}\right)^N \tag{1}$$

式中，N 为加速因子。

该模型适用于失效分布在加速条件下不发生改变的情况。

2）阿伦尼斯加速模型

$$\text{寿命}=A\mathrm{e}^{\frac{E}{kT}} \tag{2}$$

式中，A 为按元器件实验确定的常数；e 为自然对数的底；E 为激活能；k 为波尔兹曼常数；T 为开尔文温度。

该模型适用于与温度相关的失效机理。

3）缅因纳法则加速模型

$$CD=\sum_{i=1}^{K}\frac{C_{Si}}{N_i}\leqslant 1 \tag{3}$$

式中，CD 表示累积损伤，$CD=1$ 时为寿命结束点；C_{Si} 表示按给定的平均应力 S_i 施加的循环次数；N_i 表示在应力 S_i 下失效前的循环次数；K 表示施加的负载数量。

该模型适用于积累损伤失效机理。

2.4 DPA 试验

进口元器件存在制造过程追溯困难的特点，因此，利用对采购批元器件抽样并进行 DPA 技术分析，评估其制造过程控制状况，至关重要。

各类进口元器件均可按 GJB4027A-2006《军用电子元器件破坏性物理分析方法》中规定的适用项目和方法进行分析，例如对塑封半导体集成电路，可执行“工作项目 1103”规定的 7 个 DPA 项目。

另外，在 DPA 试验中应收集进口器件内部芯片版图信息，逐步建立数据库。这是后续批次间进行技术状态控制和可靠性综合评估的重要依据。

2.5 方案剪裁原则

以上介绍的 4 类可靠性评估方案适用于元器件选用阶段的可行性评估和使用阶段的批次性质量状况评估。在实际工作中，应根据具体元器件特点（质量等级、技术/制造成熟度等）、使用阶段等信息进行必要的评估项目剪裁。通常遵循以下原则[6]。

1）非继承性元器件，如首次选用元器件，应全面评估元器件性能、环境适应性、长期可靠性及制造过程控制状况。

2）非首次使用，如应用变化较大的元器件，应重点针对应用变化部分设计评估方案。

3）继承性应用元器件，如使用阶段的批次性质量状况评估，评估的重点在技术状态及可靠性是否发生变化。当未识别出技术状态发生变化时，可用常规检验及二次筛选代替评估。

4）DPA 试验应每批进行。如果条件具备，选用阶段建议进行结构分析，评估其结构、工艺设计的合理性。

3 评估结果分析及应用

3.1 性能符合性评估结果

对于性能评估结果，分为以下几种情况进行处理。

1）如果评估结果与元器件厂商数据表一致，且在预定使用条件下的功能、性能均满足实际要求，则可判定所用元器件电性能符合选用要求；

2）评估结果与元器件厂商数据表一致，但在预定使用条件下的功能、性能不满足实际要求，如果不能通过调整元器件在在系统上的使用条件换取需要的性能，则应重新选择元器件。

3）如果参数一致性不好，表明该元器件的制造成熟度较低，性能波动较大或质量不稳定。对这样的元器件应慎重使用，因其他因素限制，不得不使用时，应进行严格的二次筛选，以确保装机件的参数一致性和可靠性。

3.2 环境适应性评估结果

如果能够通过环境适应性评估，表明所选用元器件具备抗拒寿命周期内可能经受的各种环境应力的能力。

如果未能够通过环境适应性评估，应进行具体的分析，明确元器件抗环境应力的具体薄弱点。对于单项失效，有些情况可以通过调整系统设计，采取一定的防护措施，减缓元器件在寿命周期内的环境应力。如机械应力失效，可采取局部加固/减振措施；如温度应力失效，可采取局部控温措施；如抗辐照能力不足，可采取局部屏蔽措施等。

对于环境适应性评估有多项失效的元器件，原则上应重新选型。

3.3 长期可靠性评估结果

对于长期可靠性评估结果的处理应基于可采信的失效分析结果，即对加速度试验过程中失效品应进行失效原因分析，正确识别失效机理与所加应力的相关性、与所用加速试验模型的适应性，应排除那些由试验加速应力产生了其他失效机理的情况（此时原选用的加速试验模型已不适用）。

如果失效机理与预知失效机理一致，且按适用的加速试验模型确定的寿命不满足总体要求时，可判定所选用元器件不满足长期可靠性要求。如失效机理已发生变化，应分析原因并修订评估方案，重新开展评估试验。

3.4 DPA 试验结果

对于 DPA 试验失效（按规定重新抽样试验仍不合格）的元器件，原则上应判为批次性不合格。连续 3 批 DPA 不合格的进口元器件应禁用[7]。

DPA 试验中，识别出元器件技术状态发生变化，如芯片版图版本变化、工艺变化等，又不能判定为仿制品的情况，应按初始选用评估方案重新进行可靠性评估。

3.5 综合分析

对于具体的元器件，应根据评估结果（失效项次及失效点）、总体设计方案、元器件备选性及进度/费用，确定是调整总体设计方案适应器件还是重新选用元器件。对于性能良好、仅长期可靠性不满足要求的元器件，经各方折中后，也可采取实施周期性维护、定期更换的方式，控制使用风险。

4 结 论

本文介绍了进口元器件可靠性技术评估方案的方法、原则和处理意见，有利于使用人员和管理人员正确了解、评估进口元器件的真实质量状况和可靠性，有利于正确选用和使用进口元器件，控制进口元器件在整机中的使用风险。这些方法和原则同样适用于国产元器件的研制试验和应用可靠性评估。

参 考 文 献：

[1] 朱旭光. 越大规模集成电路可靠性评估综述 [J]. 计算机工程应用技术，2012，8(1)：204-206.

[2] 陈颖，孙博，谢劲松，等. 高可靠元器件的使用环境、试验条件和失效机理 [J]. 可靠性物理与失效分析技术，2007，25(6)：23-30.

[3] 刘炳章，丁同才. 小子样验证高可靠性的可靠性评估方法及其应用 [J]. 质量与可靠性，2004，9(1)：19-22.

[4] 张鹏，陈亿裕. 塑封器件失效机理及其快速评估技术研究 [J]. 半导体技术，2006，31(9)：676-679.

[5] 黄云，恩云飞，杨丹. 混合电路存贮可靠性及评价方法 [J]. 微电子学，2007，37(2)：173-176.

[6] 马璇. 电子元器件失效机理验证试验 [J]. 电子元器件应用，2003，5(5)：50-53.

[7] 蔡金燕. 电子装备系统性能可靠性分析与评估研究 [D]. 南京：南京理工大学，2010.